



**PIC16CR7X**  
데이터 쉬트

28/40 핀 , 8 비트 CMOS ROM  
마이크로컨트롤러

**마이크로칩 디바이스의 코드 프로텍트 기능 대하여 아래 사항을 참조 할것 ::**

- 마이크로칩에서 생산되는 제품들은 각각의 데이터 시트에 포함된 스펙을 충족 시키고 있다 .
- 마이크로칩은 시장에서 정상적인 방법과 조건에서 마이크로칩 제품이 사용 되었을때 가장 안정적일것으로 생각 하고 있다 .
- 코드 프로텍션을 깨트리기 위한 비도적적이고 불법적인 방법들이 있다 . 우리가 알고 있는 이러한 방법들은 마이크로칩 제품을 마이크로칩 데이터 시트에 포함 되어 있는 동작 스펙 범위 밖에서의 사용을 요구 하고 있다 . 아마도 그런일을 하는 사람들은 지적 도둑질에 종사하고 있는 것이다 .
- 마이크로칩은 코드의 안정성에 걱정이 많은 사용자와 함께 기꺼이 일을 할것이다 .
- 마이크로칩 뿐만 아니라 어떤 다른 반도체 제조 회사도 완벽히 그들의 코드의 안전을 보증 할수는 없다 . 코드 프로텍션은 마이크로칩의 제품이 완벽히 코드가 깨지지 않는것을 보증 함을 의미하지는 않는다 .

코드 프로텍션 기술은 끊임없이 개선 되고 있다 . 마이크로칩은 마이크로칩 제품의 코드 프로텍트 기능을 지속적으로 개선 시킬것을 약속한다 . 마이크로칩 제품의 코드 프로텍트 기능을 부수기 위한 시도는 아마도 Digital Millennium Copyright Act 에 위반이 될것이다 . 만약 사용자의 소프트웨어 혹은 다른 저작권에 대하여 허가를 받지 않고 그러한 행위들이 발생 한다면 사용자는 자신의 보호를 위하여 고소하기 위한 권리를 가질수 있다

이 자료는 사용자의 편리성을 위하여 한국어로 제공이 되고 있다 . 마이크로칩 뿐만 아니라 그와 연관이 되어 있는 보조자및 회사 그리고 모든 책임자 , 고용인 , 직원및 에이전트들은 혹시 있을지도 모를 오류에 대한 책임이 없다 . 보다 정확한 참조를 위해서 마이크로칩 테크놀로지의 원본 자료를 참조 하기를 바란다 .

정보는 장치 어플리케이션을 고려하는 부분이 이 발행에 포함되어 있으며 또한 단지 당신의 편리를 위하여 제공되고 있을 뿐 업데이트는 하지 않을 수도 있다 . 사용자의 어플리케이션 에 스펙을 정확히 적용 시키는 것은 사용자의 책임이다 . 마이크로칩은 제한적으로 제품의 조건 , 품질 , 성능을 제외하고는 명시되거나 함축되거나 , 쓰거나 말로 하거나 법정이거나 다른 모든 것에 대하여 어떤 종류의 어떤 표현이나 보증도 하지 않는다 . 마이크로칩은 이러한 정보와 그것의 사용으로부터 발생하는 것에 대하여 모든 책임이 없다 . 일상 생활을 지원 하는 시스템에 있는 중요한 구성 요소의 하나로써의 마이크로칩 제품의 사용은 마이크로칩에 의하여 인정하고 표현 한 것을 제외한 모든 부분은 인정 되지 않는다 . 묵시적 또는 그렇지않으면 마이크로칩 지적 권리 아래에서 어떠한 허용도 인정 되지 않는다

**트레이드 마크**

마이크로칩 이름 , 로고 , Accuron, dsPIC, KEELoQ, microID, MPLAB, PIC, PICmicro, PICSTART, PRO MATE, PowerSmart, rPIC 그리고 SmartShunt 들은 미국및 다른 나라에서도 마이크로칩 테크놀로지의 트레이드 마크로 등록이 되어 있다 .


AmpLab, FilterLab, Migratable Memory, MXDEV, MXLAB, SEEVAL, SmartSensor 그리고 The Embedded Control Solutions Company 들은 미국에서 마이크로칩 테크놀로지의 트레이드 마크로 등록이 되어 있다 .

Analog-for-the-Digital Age, Application Maestro, dsPICDEM, dsPICDEM.net, dsPICworks, ECAN, ECONOMONITOR, FanSense, FlexROM, fuzzyLAB, In-Circuit Serial Programming, ICSP, ICEPIC, Linear Active Thermistor, Mindi, MiWi, MPASM, MPLIB, MPLINK, PICKit, PICDEM, PICDEM.net, PICLAB, PICTail, PowerCal, PowerInfo, PowerMate, PowerTool, REAL ICE, rLAB, rPICDEM, Select Mode, Smart Serial, SmartTel, Total Endurance, UNI/O, WiperLock 그리고 ZENA 들은 미국및 다른 나라에서도 마이크로칩 테크놀로지의 트레이드 마크로 등록이 되어 있다 .

SQTP 는 미국에서 마이크로칩 테크놀로지의 서비스 마크이다 .

여기에서 언급한 다른 모든 트레이드 마크들은 그들의 각각의 회사의 속성이다 .

©2006 년 미국 마이크로칩 테크놀로지에서 작성 되었으며 모든 권리가 마이크로칩에 있다 .

 표시는 재생 용지에 사용 된것이다 .

**QUALITY MANAGEMENT SYSTEM  
CERTIFIED BY DNV  
== ISO/TS 16949:2002 ==**

*마이크로칩은 본사및 디자인 , 아리조나주 핸들러및 탬페 그리고 2003 년 캘리포니아 마운틴 뷰의 웨이퍼 제작 설비에 대한 ISO/TS-16949 :2002 품질 인증을 받았다 . 마이크로칩의 품질 시스템 공정을 통하여 PICmicro® 8-bit MCUs, KEELoQ® code hopping devices, Serial EEPROMs, microperipherals, nonvolatile memory 그리고 analog 제품 이 생산 된다 . 게다가 디자인및 개발 장비의 생산에 대한 마이크로칩 품질 시스템은 ISO 9001:2000 에서 인증 되었다 .*

## 28/40 핀 , 8 비트 CMOS ROM 마이크로 콘트롤러

이 데이터 쉬트에는 다음과 같은 디바이스가 포함 된다 :

- PIC16CR73                      • PIC16CR76
- PIC16CR74                      • PIC16CR77

### 고 성능 RISC CPU:

- 고 성능 RISC CPU
- 오직 35 개의 싱글 워드 명령어
- 2 사이클의 프로그램 점프 명령을 제외한 모든 명령어는 1 사이클 명령어
- 처리 속도 :            DC – 20 MHz 클럭 입력  
                                 DC – 200 ns 명령 사이클
- 최대 8K x 14 워드의 ROM 프로그램 메모리 , 최대 368 x 8 바이트의 데이터 메모리 (RAM)
- PIC16F73/74/76/77 과 기능 호환
- PIC16F873/874/876/877 과 동일한 핀 아웃
- 인터럽트 구조 내장 ( 최대 12 소스 )
- 8 레벨 하드웨어 스택 구조
- 직접 , 간접 , 상대적 어드레싱 모드
- 프로세서는 직접 프로그램 메모리 액세스 가능

### 마이크로 콘트롤러 특수 기능 :

- 파워 - 온 리셋 (POR)
- 파워 - 업 타이머 (PWRT) 및 오실레이터 스타트 - 업 타이머 (OST)
- 신뢰성 동작을 위한 칩 내부의 RC 오실레이터로 구동 되는 워치 - 독 타이머 (WDT)
- 파워 절약 슬립 모드
- 선택 가능한 오실레이터 옵션

### 주변 장치 :

- 타이머 0 : 8 비트 프리스케일러를 내장 한 8 비트 타이머 / 카운터
- 타이머 1 : 프리스케일러를 내장 한 16 비트 타이머 / 카운터 , 외부 크리스탈 / 클럭에 의해 슬립 모드에서도 증가 가능
- 타이머 2 : 8 비트 주기 레지스터 , 프리스케일러 , 포스트스케일러를 내장 한 8 비트 타이머 / 카운터
- 두개의 캡처 , 컴페어 , PWM 모듈 :
  - 캡처는 16 비트 , 최대 분해능은 12.5 ns
  - 컴페어는 16 비트 , 최대 분해능은 200 ns
  - PWM 최대 분해능은 10 비트
- 8 비트 , 최대 8 채널 A/D 변환기
- SPI (마스터 모드) 와 I<sup>2</sup>C™ (슬레이브) 기능이 가능한 동기 시리얼 포트 (SSP)
- 유니버설 동기 비동기 수신기 송신기 모듈 (USART/SCI)
- 병렬 슬레이브 포트 (PSP) , 외부  $\overline{RD}$  ,  $\overline{WR}$  와  $\overline{CS}$  제어 핀을 가진 8 비트 단위의 PSP (40/44 핀에서만 지원 됨 )
- 브라운-아웃 리셋 (BOR) 을 위한 브라운-아웃 검출 회로 내장

### CMOS 기술력 :

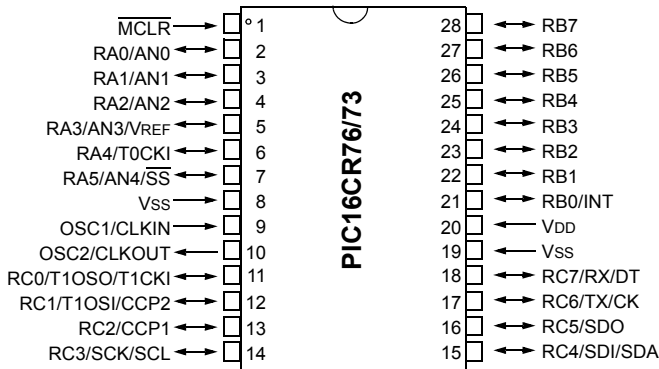
- 저 전력 , 고속의 CMOS ROM 기술
- 스택 디자인
- 넓은 동작 전압 범위 : 2.0V to 5.5V
- 높은 썩크 / 소스 전류 : 25 mA
- 산업용 온도 범위
- 저 전력 소비 :
  - 일반적으로 < 2 mA @ 5V, 4 MHz – 예상치
  - 일반적으로 20  $\mu$ A @ 3V, 32 kHz – 예상치
  - 평균 백업 모드시 < 1  $\mu$ A – 예상치

디바이스	프로그램 메모리 (# 싱글 워드 명령어)	데이터 SRAM (바이트)	I/O	인터럽트	8 비트 AD (채널)	CCP (PWM)	SSP		USART	8/16 비트 타이머
							SPI (마스터)	I <sup>2</sup> C™ (슬레이브)		
PIC16CR73	4096	192	22	11	5	2	Yes	Yes	Yes	2 / 1
PIC16CR74	4096	192	33	12	8	2	Yes	Yes	Yes	2 / 1
PIC16CR76	8192	368	22	11	5	2	Yes	Yes	Yes	2 / 1
PIC16CR77	8192	368	33	12	8	2	Yes	Yes	Yes	2 / 1

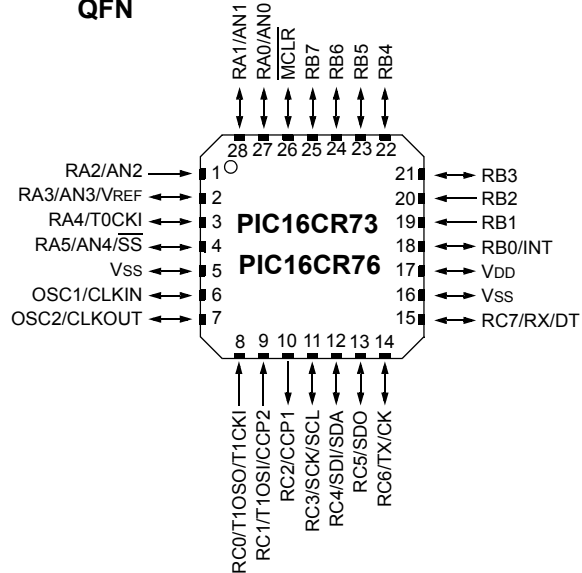
# PIC16CR7X

## 핀 다이어그램

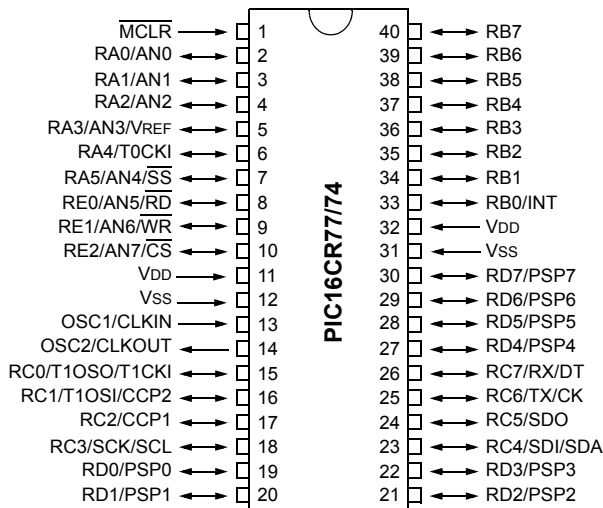
### PDIP, SOIC, SSOP



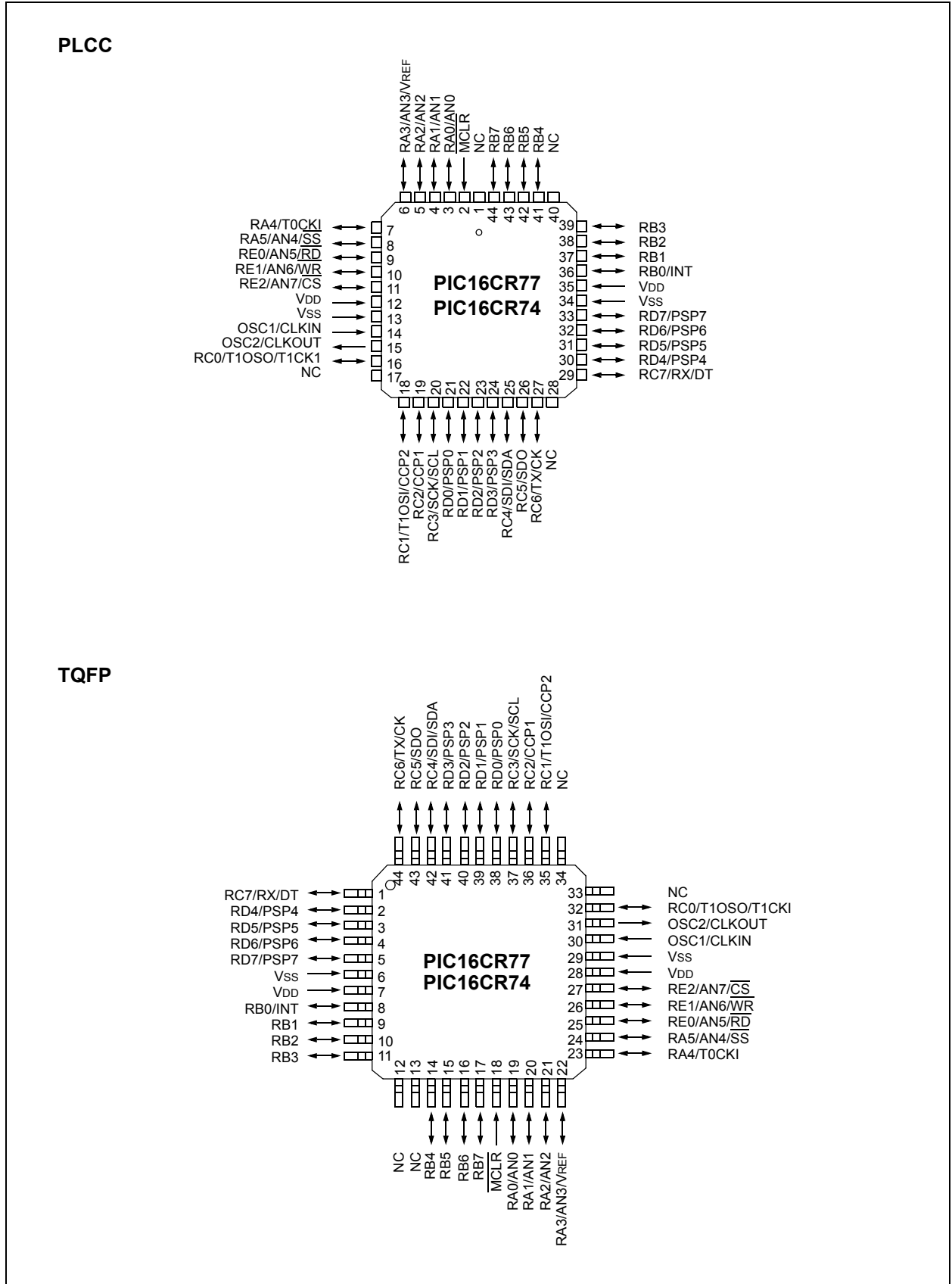
### QFN



### PDIP



핀 다이어그램 ( 앞페이지에 이어 계속 됨 )



# PIC16CR7X

## 목차

디바이스 소개 .....	5
메모리 구조 .....	13
프로그램 메모리 읽기 .....	29
I/O 포트 .....	31
타이머 0 모듈 .....	43
타이머 1 모듈 .....	47
타이머 2 모듈 .....	51
캡처 / 컴페어 /PWM 모듈 .....	53
동기 시리얼 포트 (SSP) 모듈 .....	59
유니버설 동기 비동기 수신기 송신기 모듈 (USART) .....	69
a/d 컨버터 모듈 .....	83
cpu 의 특별한 기능들 .....	89
명령어 셋 요약 .....	105
개발 지원 .....	113
전기적 특성 .....	117
DC 및 AC 특성 그래프 및 테이블 .....	139
패키지 정보 .....	149
부록 A: 개정 이력 .....	159
부록 B: 디바이스 차이점 .....	159
부록 C: 컨버전시 고려 사항 .....	160
마이크로칩 웹 사이트 .....	167
변경 통지 서비스 .....	167
커스터머 지원 .....	167
설문지 .....	168
제품 아이디 시스템 .....	169

## 마이크로칩 커스터머 분들에게

마이크로칩 제품을 성공적으로 사용 하도록 도와 드리기 위하여 가능한 한 최선의 자료를 커스터머 분들에게 제공 하여 드리고 있습니다 . 저희는 여러분의 요구에 부흥 하기 위하여 지속적으로 개선을 할 예정입니다 . 제공 하여 드리는 자료들은 새로 간행 되는 경우 업데이트 되고 개선 될 것입니다 .

만약 여러분이 이러한 자료에 대하여 어떤 질문 사항이나 코멘트가 있으시면 이 - 메일 [docerrors@mail.microchip.com](mailto:docerrors@mail.microchip.com) 또는 데이터 쉬트 뒷 부분의 설문지를 작성 하셔서 팩스 (480) 792-4150 로 보내 주셔서 마케팅 팀과 상의 하시기 바랍니다 . 여러분의 피 - 드백을 환영 합니다 .

### 최신의 데이터 쉬트

데이터 쉬트의 최신 버전을 얻기 위해서는 아래의 마이크로칩 웹 - 사이트를 방문 하시길 바랍니다 :

<http://www.microchip.com>

여러분은 각 문서의 아래 쪽에 표기 되어 있는 문서 번호를 통하여 현재 버전을 확인 가능 합니다 . 문서 번호의 마지막 글자가 현재 버전 넘버를 의미 하고 있습니다 . ( 예를들면 DS30000A 는 DS30000 의 A 버전입니다 . 즉 최신 데이터 쉬트입니다 ) .

### 에라타

데이터 쉬트와 조금 다르게 제품이 동작 하면 아마도 각 제품에 대한 에라타 쉬트가 있을 겁니다 . 따라서 그러한 디바이스및 자료 에 대하여 마이크로칩으로 피드 - 백을 하여 주시면 저희는 에라타 쉬트를 제공 하여 드릴 것입니다 . 그러한 에라타 쉬트에는 실리콘 및 문서의 개정 번호를 명기 하게 됩니다 .

각 디바이스의 존재 하는 에라타 쉬트를 얻기 위해서는 다음을 통하여 가능 합니다 :

- 마이크로칩 웹 - 사이트 <http://www.microchip.com>
- 마이크로칩 한국 지사 ( 마지막 페이지를 참조 )

여러분이 한국 지사 또는 U.S 문서 센터와 상의 하시는 경우는 디바이스 이름 , 실리콘 버전 , 사용 하는 데이터 쉬트의 문서 번호를 알려 주시기 바랍니다 .

### 커스터머 알림 시스템

마이크로칩 모든 제품에 대한 최신의 정보를 얻기 위해서는 마이크로칩 사이트 [www.microchip.com](http://www.microchip.com) 에 등록 하시길 바랍니다

## 1.0 디바이스 소개

이 데이터 북에는 다음과 같은 디바이스에 대한 정보를 포함하고 있다:

- PIC16CR73
- PIC16CR74
- PIC16CR76
- PIC16CR77

PIC16CR73/76 디바이스는 오직 28 핀 패키지만 가능하지만 PIC16CR74/77 디바이스는 40 핀과 44 핀 패키지 디바이스가 가능하다. 다음에 서술된 내용을 제외하면 모든 PIC16CR7X 디바이스는 같은 아키텍처를 채택하고 있다:

- PIC16CR73 과 PIC16CR76 디바이스는 PIC16CR74 와 PIC16CR77 디바이스의 1/2 프로그램 메모리 크기를 가지고 있다.
- 28핀 디바이스들은 3 개의 I/O 포트 그룹을 가지고 있는 반면 40/44 핀은 5 개의 그룹을 가지고 있다.
- 28 핀 디바이스들은 11 개의 인터럽트 소스를 가지고 있는 반면 40/44 핀은 12 개를 가지고 있다.
- 28 핀 디바이스들은 5 개의 A/D 입력 채널을 가지고 있지만 40/44 핀은 8 개를 가지고 있다.
- 병렬 슬레이브 포트(PSP) 기능은 40/44 핀 디바이스에서만 가능하다.

각 디바이스에 대한 간략한 소개는 테이블 1-1 을 참조하기를 바라며 또한 PIC16CR73/76 그리고 PIC16CR74/77 디바이스의 블록 다이어그램은 그림 1-1 과 그림 1-2 를 각각 참조하기를 바란다. 각 제품에 대한 핀 레이아웃에 대한 설명은 테이블 1-2 과 테이블 1-3 을 참조하기를 바란다.

보다 자세한 사항은 “PICmicro<sup>®</sup> 미드-레인지 MCU 패밀리 참조 매뉴얼” (DS33023) 을 참조하기를 바라며 그 매뉴얼은 마이크로칩 지사 또는 마이크로칩 웹 사이트에서 다운로드가 가능하다. 참조 매뉴얼을 통하여 각 디바이스 아키텍처 및 주변장치 모듈에 대한 빠르고 쉬운 이해가 가능하므로 적극 활용하기를 바란다.

테이블 1-1: PIC16CR7X 디바이스 구조

주요 사항	PIC16CR73	PIC16CR74	PIC16CR76	PIC16CR77
동작 주파수	DC – 20 MHz	DC – 20 MHz	DC – 20 MHz	DC – 20 MHz
다양한 리셋 ( 및 시간 지연 )	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)
ROM 프로그램 메모리 (14 비트 워드)	4K	4K	8K	8K
데이터 메모리 (바이트)	192	192	368	368
인터럽트	11	12	11	12
I/O 포트	포트 A,B,C	포트 A,B,C,D,E	포트 A,B,C	포트 A,B,C,D,E
타이머	3	3	3	3
캡처 / 컴페어 /PWM 모듈	2	2	2	2
직렬 통신	SSP, USART	SSP, USART	SSP, USART	SSP, USART
병렬 통신	—	PSP	—	PSP
8 비트 AD 컨버터 모듈	5 개의 입력 채널	8 개의 입력 채널	5 개의 입력 채널	8 개의 입력 채널
명령어 셋	35 명령어	35 명령어	35 명령어	35 명령어
패키지	28 핀 DIP 28 핀 SOIC 28 핀 SSOP 28 핀 MLF	40 핀 PDIP 44 핀 PLCC 44 핀 TQFP	28 핀 DIP 28 핀 SOIC 28 핀 SSOP 28 핀 MLF	40 핀 PDIP 44 핀 PLCC 44 핀 TQFP

# PIC16CR7X

그림 1-1: PIC16CR73 과 PIC16CR76 블록 다이어그램

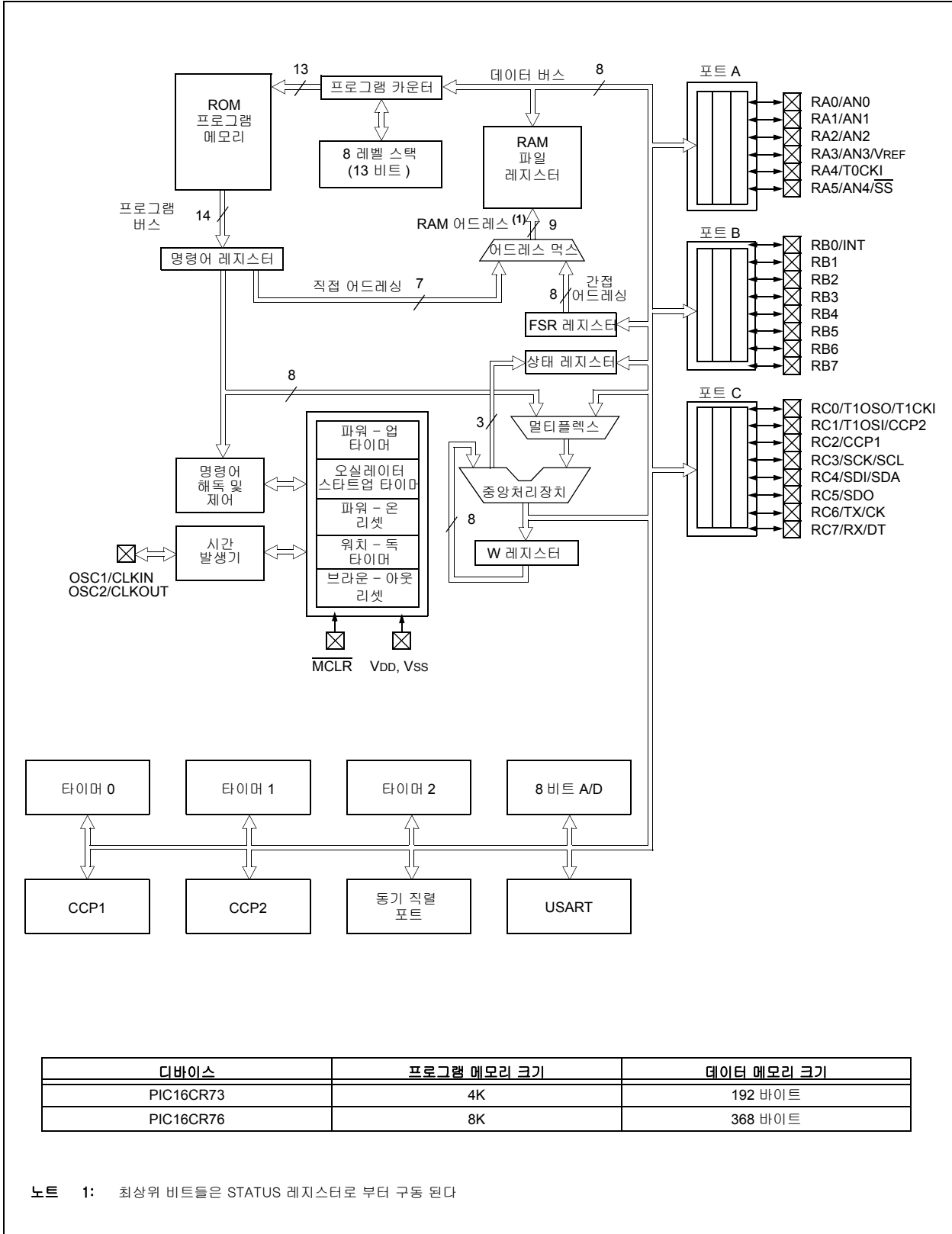
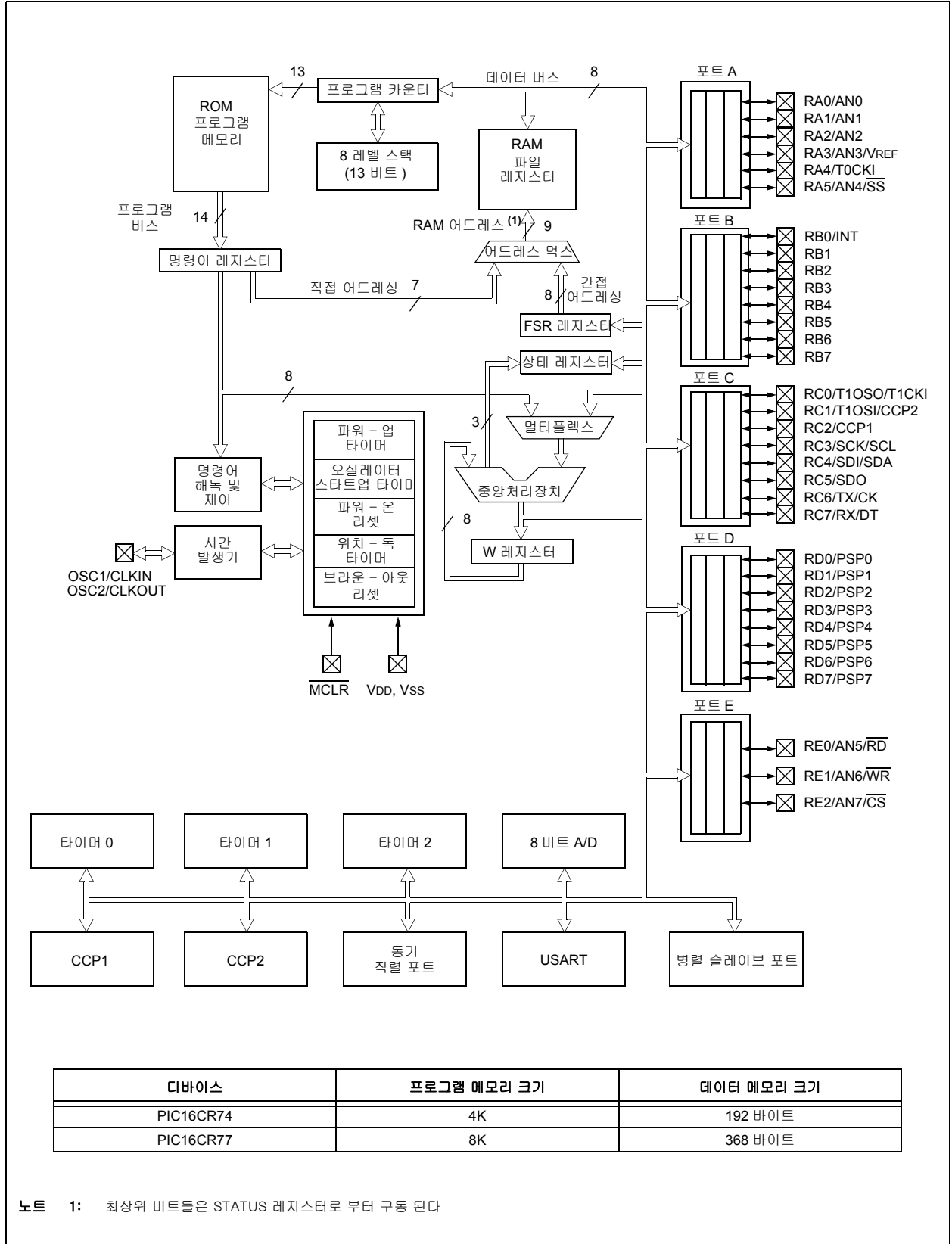




그림 1-2: PIC16CR74 과 PIC16CR77 블록 다이어그램



# PIC16CR7X

테이블 1-2: PIC16CR73 과 PIC16CR76 핀 - 아웃 서술

핀 이름	PDIP SSOP SOIC 핀 #	MLF 핀 #	I/O/P 타입	버퍼 타입	서술
OSC1/CLKIN OSC1  CLKIN	9	6	I  I	ST/CMOS <sup>(3)</sup>	크리스탈 오실레이터 또는 외부 클럭 입력 . 크리스탈 오실레이터 또는 외부 클럭 소스 입력으로 사용 가능 . RC 오실레이터 모드인 경우 버퍼는 슈미트 트리거 입력으로 동작 . 그 외는 CMOS 입력 포트로 동작 됨 . 외부 클럭 소스 입력 . 항상 OSC1 핀 기능과 관련됨 (OSC1/CLKIN, OSC2/CLKOUT 핀을 참조) .
OSC2/CLKOUT OSC2  CLKOUT	10	7	O  O	—	크리스탈 오실레이터 또는 클럭 출력 . 크리스탈 오실레이터 출력 . 크리스탈 오실레이터 모드에서는 크리스탈 또는 레조네 이터가 연결 가능 . RC 모드에서 CLKOUT 핀으로는 OSC1 으로 공급되는 주파수의 1/4 분주된 주파수 즉 명령어 사이클과 같은 펄 스가 출력 됨 .
MCLR	1	26	I	ST	마스터 클리어 (리셋) 입력 . 이 핀이 로우 상태이면 디바이 스를 리셋 시킨다 .
RA0/AN0 RA0 AN0 RA1/AN1 RA1 AN1 RA2/AN2 RA2 AN2 RA3/AN3/VREF RA3 AN3 VREF RA4/T0CKI RA4 T0CKI RA5/AN4/SS RA5 AN4 SS	2  3  4  5  6  7	27  28  1  2  3  4	I/O I  I/O I  I/O I  I/O I  I/O I I	TTL  TTL  TTL  TTL  ST  TTL	포트 A 는 양방향 I/O 포트로 사용 가능 .  디지털 I/O. 아날로그 입력 0.  디지털 I/O. 아날로그 입력 1.  디지털 I/O. 아날로그 입력 2.  디지털 I/O. 아날로그 입력 3. A/D 기준 전압 입력 .  디지털 I/O - 출력으로 사용 되면 오픈 - 드레인 포트 . 타이머 0 외부 클럭 입력 .  디지털 I/O. 아날로그 입력 4. SPI 슬레이브 선택 입력 .
RB0/INT RB0 INT RB1 RB2 RB3 RB4 RB5 RB6 RB7	21  22 23 24 25 26 27 28	18  19 20 21 22 23 24 25	I/O I  I/O I/O I/O I/O I/O I/O I/O	TTL/ST <sup>(1)</sup>  TTL TTL TTL TTL TTL TTL TTL	포트 B 는 양방향 I/O 포트로 사용 가능 . 포트 B 는 핀이 입력으 로 사용될때 소프트웨어적으로 내부 풀 - 업 기능 사용 가능  디지털 I/O. 외부 인터럽트 .  디지털 I/O. 디지털 I/O. 디지털 I/O. 디지털 I/O. 디지털 I/O. 디지털 I/O. 디지털 I/O. 디지털 I/O.

범례 : I = 입력 O = 출력 I/O = 입력 / 출력 P = 전원  
? = 사용되지 않음 TTL = TTL 입력 ST = 슈미트 트리거 입력

- 노트 1: 외부 인터럽트로 구성이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다  
2: 직렬 검증 모드로 사용이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다  
3: RC 오실레이터 모드로 구성이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다 . 그 외는 CMOS 입력 포트로 동작 됨

테이블 1-2: PIC16CR73 과 PIC16CR76 핀 - 아웃 서술 ( 앞 페이지에 이어 계속 됨 )

핀 이름	PDIP SSOP SOIC 핀 #	MLF 핀 #	I/O/P 타입	버퍼 타입	서술
RC0/T1OSO/T1CKI RC0 T1OSO T1CKI	11	8	I/O O I	ST	포트 C 는 양방향 I/O 포트로 사용 가능  디지털 I/O. 타이머 1 오실레이터 출력 . 타이머 1 외부 클럭 입력 .
RC1/T1OSI/CCP2 RC1 T1OSI CCP2	12	9	I/O I I/O	ST	디지털 I/O. 타이머 1 오실레이터 입력 . 캡처 2 입력 , 컴퍼어 2 출력 , PWM2 출력 .
RC2/CCP1 RC2 CCP1	13	10	I/O I/O	ST	디지털 I/O. 캡처 1 입력 / 컴퍼어 1 출력 / PWM1 출력 .
RC3/SCK/SCL RC3 SCK SCL	14	11	I/O I/O I/O	ST	디지털 I/O. SPI 모드를 위한 동기 직렬 클럭 입력 / 출력 . I <sup>2</sup> C™ 모드를 위한 동기 직렬 클럭 입력 / 출력 .
RC4/SDI/SDA RC4 SDI SDA	15	12	I/O I I/O	ST	디지털 I/O. SPI 데이터 입력 . I <sup>2</sup> C™ 데이터 입력 / 출력 .
RC5/SDO RC5 SDO	16	13	I/O O	ST	디지털 I/O. SPI 데이터 출력 .
RC6/TX/CK RC6 TX CK	17	14	I/O O I/O	ST	디지털 I/O. USART 비동기 송신 . USART 동기 클럭 .
RC7/RX/DT RC7 RX DT	18	15	I/O I I/O	ST	디지털 I/O. USART 비동기 수신 . USART 동기 데이터 .
Vss	8, 19	5, 16	P	—	로직 및 I/O 핀들을 위한 그라운드 .
VDD	20	17	P	—	로직 및 I/O 핀들을 위한 전원 공급 .

범례 : I = 입력      O = 출력      I/O = 입력 / 출력      P = 전원  
? = 사용되지 않음      TTL = TTL 입력      ST = 슈미트 트리거 입력

- 노트 1: 외부 인터럽트로 구성이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다  
 2: 직렬 검증 모드로 사용이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다  
 3: RC 오실레이터 모드로 구성이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다 . 그 외는 CMOS 입력 포트로 동작 됨

# PIC16CR7X

테이블 1-3: PIC16CR74 과 PIC16CR77 핀 - 아웃 서술

핀 이름	PDIP 핀 #	PLCC 핀 #	QFP 핀 #	I/O/P 타입	버퍼 타입	서술
OSC1/CLKIN OSC1  CLKIN	13	14	30	I  I	ST/CMOS <sup>(4)</sup>	크리스탈 오실레이터 또는 외부 클럭 입력 . 크리스탈 오실레이터 또는 외부 클럭 소스 입력으로 사 용 가능 . RC 오실레이터 모드인 경우 버퍼는 슈미트 트 리거 입력으로 동작 . 그 외는 CMOS 입력으로 동작 됨 외부 클럭 소스 입력 . 항상 OSC1 핀 기능과 관련된 (OSC1/CLKIN, OSC2/CLKOUT 핀을 참조 ) .
OSC2/CLKOUT OSC2  CLKOUT	14	15	31	O  O	—	크리스탈 오실레이터 또는 클럭 출력 . 크리스탈 오실레이터 출력 . 크리스탈 오실레이터 모드에서는 크리스탈 또는 레조 네이터가 연결 가능 . RC 모드에서 CLKOUT 핀으로는 OSC1 으로 공급되는 주파수의 1/4 분주된 주파수 즉 명령어 사이클과 같은 펄스가 출력 됨 .
MCLR	1	2	18	I	ST	마스터 클리어 (리셋) 입력. 이 핀이 Low 상태이면 디바 이스를 리셋 시킨다 .
RA0/AN0 RA0 AN0 RA1/AN1 RA1 AN1 RA2/AN2 RA2 AN2 RA3/AN3/VREF RA3 AN3 VREF RA4/T0CKI RA4 T0CKI RA5/AN4/SS RA5 AN4 SS	2  3  4  5  6  7	3  4  5  6  7  8	19  20  21  22  23  24	I/O I  I/O I  I/O I  I/O I  I/O I  I/O I I	TTL  TTL  TTL  TTL  ST  TTL	포트 A 는 양방향 I/O 포트로 사용 가능 .  디지털 I/O. 아날로그 입력 0.  디지털 I/O. 아날로그 입력 1.  디지털 I/O. 아날로그 입력 2.  디지털 I/O. 아날로그 입력 3. A/D 기준 전압 입력 .  디지털 I/O - 출력으로 사용 되면 오픈 - 드레인 포트 . 타이머 0 외부 클럭 입력 .  디지털 I/O. 아날로그 입력 4. SPI 슬레이브 선택 입력 .

범례 : I = 입력      O = 출력      I/O = 입력 / 출력      P = 전원  
? = 사용 되지 않음 TTL = TTL 입력 ST = 슈미트 트리거 입력

- 노트 1: 외부 인터럽트로 구성이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다  
2: 직렬 검증 모드로 사용이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다  
3: 일반 용도로 I/O 가 사용이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다 . 또한 외부 마이크로 프로세서와의 인터페  
이스로 사용이 되는 PSP 로 구성이 되는 경우는 버퍼는 TTL 입력으로 동작 된다  
4: RC 오실레이터 모드로 구성이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다 . 그 외는 CMOS 입력 포트로 동작 됨

테이블 1-3: PIC16CR74 과 PIC16CR77 핀 - 아웃 서술 ( 앞 페이지에 이어 계속 됨 )

핀 이름	PDIP 핀 #	PLCC 핀 #	QFP 핀 #	I/O/P 타입	버퍼 타입	서술
RB0/INT RB0 INT	33	36	8	I/O I	TTL/ST <sup>(1)</sup>	포트 B 는 양방향 I/O 포트로 사용 가능. 핀이 입력으로 사용될 때 소프트웨어적으로 내부 풀-업 기능 사용 가능.  디지털 I/O. 외부 인터럽트.
RB1	34	37	9	I/O	TTL	디지털 I/O.
RB2	35	38	10	I/O	TTL	디지털 I/O.
RB3	36	39	11	I/O	TTL	디지털 I/O.
RB4	37	41	14	I/O	TTL	디지털 I/O.
RB5	38	42	15	I/O	TTL	디지털 I/O.
RB6	39	43	16	I/O	TTL	디지털 I/O.
RB7	40	44	17	I/O	TTL	디지털 I/O.
RC0/T1OSO/ T1CKI RC0 T1OSO T1CKI	15	16	32	I/O O I	ST	포트 C 는 양방향 I/O 포트로 사용 가능.  디지털 I/O. 타이머 1 오실레이터 출력. 타이머 1 외부 클럭 입력.
RC1/T1OSI/CCP2 RC1 T1OSI CCP2	16	18	35	I/O I I/O	ST	디지털 I/O. 타이머 1 오실레이터 입력. 캡처 2 입력, 컴페어 2 출력, PWM2 출력.
RC2/CCP1 RC2 CCP1	17	19	36	I/O I/O	ST	디지털 I/O. 캡처 1 입력 / 컴페어 1 출력 / PWM1 출력.
RC3/SCK/SCL RC3 SCK SCL	18	20	37	I/O I/O I/O	ST	디지털 I/O. SPI 모드를 위한 동기 직렬 클럭 입력 / 출력. I <sup>2</sup> C™ 모드를 위한 동기 직렬 클럭 입력 / 출력.
RC4/SDI/SDA RC4 SDI SDA	23	25	42	I/O I I/O	ST	디지털 I/O. SPI 데이터 입력. I <sup>2</sup> C™ 데이터 입력 / 출력.
RC5/SDO RC5 SDO	24	26	43	I/O O	ST	디지털 I/O. SPI 데이터 출력.
RC6/TX/CK RC6 TX CK	25	27	44	I/O O I/O	ST	디지털 I/O. USART 비동기 송신. USART 동기 클럭.
RC7/RX/DT RC7 RX DT	26	29	1	I/O I I/O	ST	디지털 I/O. USART 비동기 수신. USART 동기 데이터.

범례 : I = 입력      O = 출력      I/O = 입력 / 출력      P = 전원  
? = 사용되지 않음 TTL = TTL 입력 ST = 슈미트 트리거 입력

- 노트 1:** 외부 인터럽트로 구성이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다  
**2:** 직렬 검증 모드로 사용이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다  
**3:** 일반 용도로 I/O 가 사용이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다. 또한 외부 마이크로 프로세서와의 인터페이스로 사용이 되는 PSP 로 구성이 되는 경우는 버퍼는 TTL 입력으로 동작 된다  
**4:** RC 오실레이터 모드로 구성이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다. 그 외는 CMOS 입력 포트로 동작 됨

# PIC16CR7X

테이블 1-3: PIC16CR74 과 PIC16CR77 핀 - 아웃 서술 ( 앞 페이지에 이어 계속 됨 )

핀 이름	PDIP 핀 #	PLCC 핀 #	QFP 핀 #	I/O/P 타입	버퍼 타입	서술
RD0/PSP0 RD0 PSP0	19	21	38	I/O I/O	ST/TTL <sup>(3)</sup>	포트 D 는 양방향 I/O 포트 또는 마이크로 프로세서 연결시 에는 페러렐 슬레이브 포트로 사용 가능 .  디지털 I/O. 페러렐 슬레이브 포트를 위한 데이터 핀 .
RD1/PSP1 RD1 PSP1	20	22	39	I I/O I/O	ST/TTL <sup>(3)</sup>	디지털 I/O. 페러렐 슬레이브 포트를 위한 데이터 핀 .
RD2/PSP2 RD2 PSP2	21	23	40	I I/O I/O	ST/TTL <sup>(3)</sup>	디지털 I/O. 페러렐 슬레이브 포트를 위한 데이터 핀 .
RD3/PSP3 RD3 PSP3	22	24	41	I/O I/O	ST/TTL <sup>(3)</sup>	디지털 I/O. 페러렐 슬레이브 포트를 위한 데이터 핀 .
RD4/PSP4 RD4 PSP4	27	30	2	I/O I/O	ST/TTL <sup>(3)</sup>	디지털 I/O. 페러렐 슬레이브 포트를 위한 데이터 핀 .
RD5/PSP5 RD5 PSP5	28	31	3	I/O I/O	ST/TTL <sup>(3)</sup>	디지털 I/O. 페러렐 슬레이브 포트를 위한 데이터 핀 .
RD6/PSP6 RD6 PSP6	29	32	4	I/O I/O	ST/TTL <sup>(3)</sup>	디지털 I/O. 페러렐 슬레이브 포트를 위한 데이터 핀 .
RD7/PSP7 RD7 PSP7	30	33	5	I/O I/O	ST/TTL <sup>(3)</sup>	디지털 I/O. 페러렐 슬레이브 포트를 위한 데이터 핀 .
RE0/AN5/ $\overline{RD}$ / RE0 AN5 RD	8	9	25	I/O I I	ST/TTL <sup>(3)</sup>	포트 E 는 양방향 I/O 포트로 사용 가능 .  디지털 I/O. 아날로그 입력 5. 페러렐 슬레이브 포트를 위한 읽기 제어 .
RE1/AN6/ $\overline{WR}$ / RE1 AN6 WR	9	10	26	I/O I I	ST/TTL <sup>(3)</sup>	디지털 I/O. 아날로그 입력 6. 페러렐 슬레이브 포트를 위한 쓰기 제어 .
RE2/AN7/ $\overline{CS}$ / RE2 AN7 CS	10	11	27	I/O I I	ST/TTL <sup>(3)</sup>	디지털 I/O. 아날로그 입력 7. 페러렐 슬레이브 포트를 위한 칩 선택 제어 .
Vss	12,31	13,34	6,29	P	—	로직및 I/O 핀들을 위한 그라운드 .
VDD	11,32	12,35	7,28	P	—	로직및 I/O 핀들을 위한 전원 공급 .
NC	—	1,17, 28, 40	12,13, 33, 34		—	이 핀들은 내부적으로 연결 되어 있지 않음 . 이러한 핀들은 연결 되지 않은 상태로 나누어야 함 ..

범례 : I = 입력 O = 출력 I/O = 입력 / 출력 P = 전원

? = 사용 되지 않음 TTL = TTL 입력 ST = 슈미트 트리거 입력

- 노트 1: 외부 인터럽트로 구성이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다
- 2: 직렬 검증 모드로 사용이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다
- 3: 일반 용도로 I/O 가 사용이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다 . 또한 외부 마이크로 프로세서와의 인터페이스로 사용이 되는 PSP 로 구성이 되는 경우는 버퍼는 TTL 입력으로 동작 된다
- 4: RC 오실레이터 모드로 구성이 되면 버퍼는 슈미트 트리거 입력으로 동작 된다 . 그 외는 CMOS 입력 포트로 동작 됨

## 2.0 메모리 구조

PICmicro® MCU는 두개의 메모리 블록을 가지고 있다. 이 장에서 설명 하는 것처럼 동시에 액세스가 가능하게 하기 위하여 프로그램 메모리와 데이터 메모리는 서로 분리 된 각각의 버스를 가지고 있다. 또한 프로그램 메모리는 사용자의 코드에 의해 내부적으로 읽혀 질 수가 있다 ( 섹션 3.0 **老족慣瀏? 메모리 읽기 참조** ).

디바이스 메모리에 대한 자세한 사항은 "PICmicro® *드-라인지 MCU 패밀리 참조 매뉴얼*" (DS33023) 를 참조 하기를 바란다.

### 2.1 프로그램 메모리 구조

PIC16CR7X 디바이스는 최대 8K 워드 x 14 비트 프로그램 메모리 공간을 어드레싱 할 수 있는 13 비트 프로그램 카운터를 가지고 있다. PIC16CR77/76 디바이스는 8K 워드 크기의 프로그램 메모리 공간을 가지고 있고 PIC16CR73/74 디바이스는 4K 워드 프로그램 메모리 공간을 가지고 있다. PIC16CR7X 디바이스의 프로그램 메모리 구조에 대하여는 그림 2-1 을 통하여 확인 가능하다. 물리적으로 정의 되어 있는 어드레스 공간 이외의 부분을 액세스 하면 이는 워랩 - 어라운드 현상을 일으켜 000H 번지가 실행 될 것이다.

리셋 벡터는 000H 번지이며 인터럽트 벡터는 0004H 번지이다.

## 2.2 데이터 메모리 구조

데이터 메모리는 몇개의 뱅크로 나누어져 있으며 그안에는 범용 레지스터 (GPR) 와 특수기능 레지스터 (SFR) 를 포함하고 있다. 각 뱅크의 선택은 RP1 비트 (STATUS<6>) 와 RP0 비트 (STATUS<5>) 를 통하여 이루어진다:

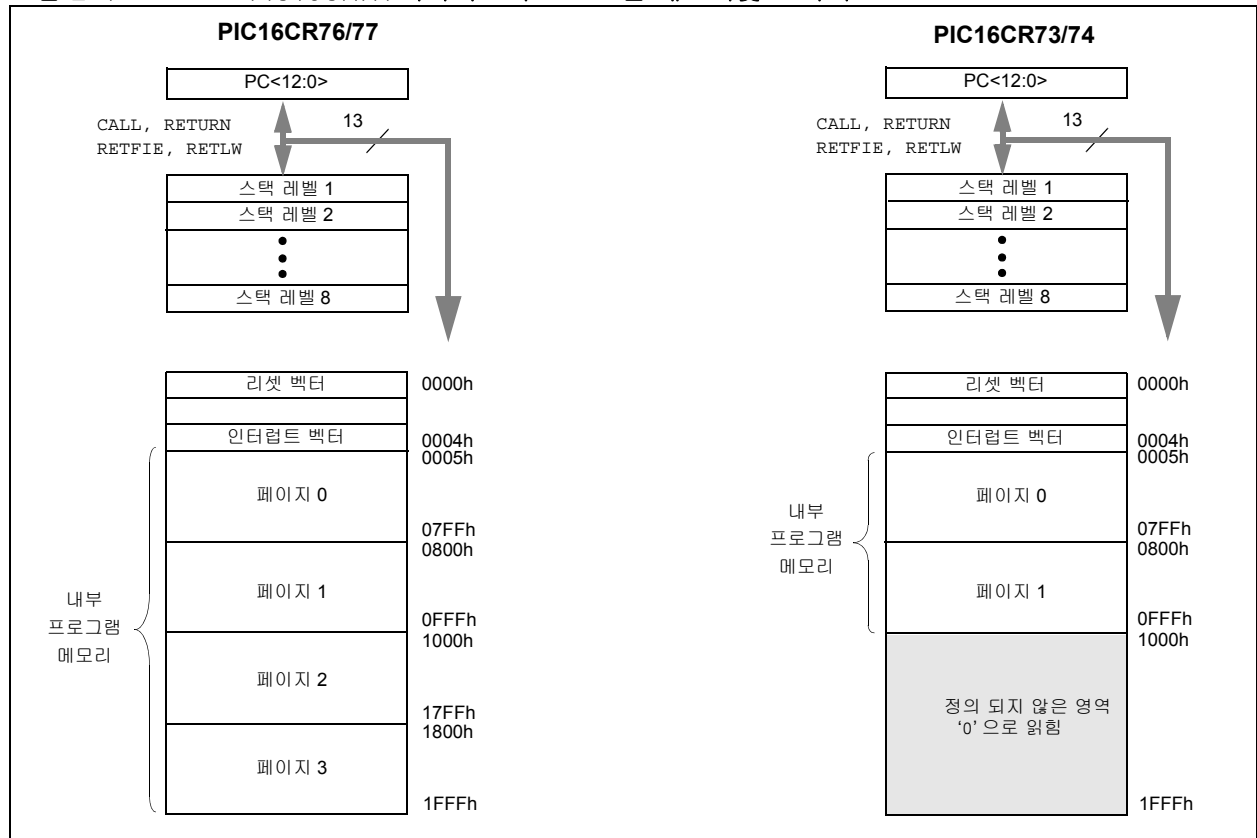
RP1:RP0	뱅크
00	0
01	1
10	2
11	3

각 뱅크는 7Fh (128 바이트) 까지 확장 가능하다. 각 뱅크의 아래 부분은 특수 기능 레지스터 (SFR) 를 위하여 예약 되어 있으며 SFR 위쪽 부분은 SRAM 으로 구성된 범용 레지스터 구간이다. 모든 뱅크 영역에는 SFR 구간을 포함 하고 있으며 자주 사용이 되는 SFR 영역은 사용자가 코드 사이즈를 줄이고 빠른 접근을 허용 하기 위하여 뱅크의 구분이 적용 되지 않는다.

### 2.2.1 범용 레지스터 파일

레지스터 파일 ( 그림 2-2 과 그림 2-3) 은 직접 또는 파일 선택 레지스터 (FSR) 를 통하여 간접 액세스가 가능하다.

그림 2-1: PIC16CR7X 디바이스의 프로그램 메모리 및 스택 구조



# PIC16CR7X

그림 2-2: PIC16CR77/76 레지스터 파일 구조

파일 어드레스		파일 어드레스		파일 어드레스		파일 어드레스	
간접어드레스 (*)	00h	간접어드레스 (*)	80h	간접어드레스 (*)	100h	간접어드레스 (*)	180h
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h		105h		185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
PORTC	07h	TRISC	87h		107h		187h
PORTD <sup>(1)</sup>	08h	TRISD <sup>(1)</sup>	88h		108h		188h
PORTE <sup>(1)</sup>	09h	TRISE <sup>(1)</sup>	89h		109h		189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch	PMDATA	10Ch	PMCON1	18Ch
PIR2	0Dh	PIE2	8Dh	PMADR	10Dh		18Dh
TMR1L	0Eh	PCON	8Eh	PMDATH	10Eh		18Eh
TMR1H	0Fh		8Fh	PMADRH	10Fh		18Fh
T1CON	10h		90h		110h		190h
TMR2	11h		91h		111h		191h
T2CON	12h	PR2	92h		112h		192h
SSPBUF	13h	SSPADD	93h		113h		193h
SSPCON	14h	SSPSTAT	94h		114h		194h
CCPR1L	15h		95h		115h		195h
CCPR1H	16h		96h		116h		196h
CCP1CON	17h		97h		117h		197h
RCSTA	18h	TXSTA	98h	범용 레지스터 16 바이트	117h	범용 레지스터 16 바이트	197h
TXREG	19h	SPBRG	99h		118h		198h
RCREG	1Ah		9Ah		119h		199h
CCPR2L	1Bh		9Bh		11Ah		19Ah
CCPR2H	1Ch		9Ch		11Bh		19Bh
CCP2CON	1Dh		9Dh		11Ch		19Ch
ADRES	1Eh		9Eh		11Dh		19Dh
ADCON0	1Fh	ADCON1	9Fh		11Eh		19Eh
	20h		A0h		11Fh		19Fh
					120h		1A0h
범용 레지스터 96 바이트		범용 레지스터 80 바이트		범용 레지스터 80 바이트		범용 레지스터 80 바이트	
		70h-7Fh 번지를 액세스		70h-7Fh 번지를 액세스		70h-7Fh 번지를 액세스	
뱅크 0	7Fh	뱅크 1	FFh	뱅크 2	17Fh	뱅크 3	1FFh

정의 되지 않은 데이터 메모리 부분, 항상 '0'으로 읽힘.  
 \* 물리적인 레지스터가 아니다.

**노트 1:** 이러한 레지스터들은 28 핀 디바이스에는 적용 되지 않는다.



그림 2-3: PIC16CR74/73 레지스터 파일 구조

파일 어드레스		파일 어드레스		파일 어드레스		파일 어드레스	
간접어드레스 (*)	00h	간접어드레스 (*)	80h	간접어드레스 (*)	100h	간접어드레스 (*)	180h
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h		105h		185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
PORTC	07h	TRISC	87h		107h		187h
PORTD <sup>(1)</sup>	08h	TRISD <sup>(1)</sup>	88h		108h		188h
PORTE <sup>(1)</sup>	09h	TRISE <sup>(1)</sup>	89h		109h		189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch	PMDATA	10Ch	PMCON1	18Ch
PIR2	0Dh	PIE2	8Dh	PMADR	10Dh		18Dh
TMR1L	0Eh	PCON	8Eh	PMDATH	10Eh		18Eh
TMR1H	0Fh		8Fh	PMADRH	10Fh		18Fh
T1CON	10h		90h		110h		190h
TMR2	11h		91h				
T2CON	12h	PR2	92h				
SSPBUF	13h	SSPADD	93h				
SSPCON	14h	SSPSTAT	94h				
CCPR1L	15h		95h				
CCPR1H	16h		96h				
CCP1CON	17h		97h				
RCSTA	18h	TXSTA	98h				
TXREG	19h	SPBRG	99h				
RCREG	1Ah		9Ah				
CCPR2L	1Bh		9Bh				
CCPR2H	1Ch		9Ch				
CCP2CON	1Dh		9Dh				
ADRES	1Eh		9Eh				
ADCON0	1Fh	ADCON1	9Fh				
	20h		A0h		120h		1A0h
범용 레지스터 96 바이트		범용 레지스터 96 바이트		20h-7Fh 번지를 억세스		A0h-FFh 번지를 억세스	
뱅크 0	7Fh	뱅크 1	FFh	뱅크 2	17Fh	뱅크 3	1FFh
					16Fh 170h		1EFh 1F0h

정의 되지 않은 데이터 메모리 부분, 항상 '0' 으로 읽힘.  
 \* 물리적인 레지스터가 아니다.

**노트 1:** 이러한 레지스터들은 28 핀 디바이스에는 적용 되지 않는다.

# PIC16CR7X

## 2.2.2 특수 기능 레지스터

특수기능 레지스터는 CPU와 주변장치의 동작을 제어하기 위하여 사용한다. 이러한 레지스터들은 모두 SRAM으로 구성이 되어 있으며 아래 테이블 2-1을 참조하기를 바란다.

SFR 레지스터는 두 종류로 나누어진다: 하나는 CORE (CPU) 기능과 관련된 특수 레지스터들이고 또 하나는 주변 장치의 동작을 제어하는 특수 레지스터들이다. CORE 기능과 관련된 레지스터들은 이장을 통하여 서술하게 되며 주변 장치와 관련된 레지스터의 동작은 주변 장치 관련 부분에서 서술한다..

테이블 2-1: SFR 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 에서의 값	상세한 페이지
<b>뱅크 0</b>											
00h <sup>(4)</sup>	INDF	이 지역의 어드레싱은 FSR이 가르키는 메모리 번지를 액세스 함 (물리적인 레지스터가 아님)								0000 0000	27, 96
01h	TMR0	타이머 0 모듈 레지스터								xxxx xxxx	45, 96
02h <sup>(4)</sup>	PCL	프로그램 카운터 (PC) 하위 바이트								0000 0000	26, 96
03h <sup>(4)</sup>	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C <sup>(2)</sup>	0001 1xxxx	19, 96
04h <sup>(4)</sup>	FSR	간접 데이터 메모리 어드레스 포인터								xxxx xxxxx	27, 96
05h	PORTA	—	—	쓸 때는 포트 A 데이터 래치에, 읽을 때는 포트 A 핀을 읽음						--0x 0000	32, 96
06h	PORTB	쓸 때는 포트 B 데이터 래치에, 읽을 때는 포트 B 핀을 읽음								xxxx xxxxx	34, 96
07h	PORTC	쓸 때는 포트 C 데이터 래치에, 읽을 때는 포트 C 핀을 읽음								xxxx xxxxx	35, 96
08h <sup>(5)</sup>	PORTD	쓸 때는 포트 D 데이터 래치에, 읽을 때는 포트 D 핀을 읽음								xxxx xxxxx	36, 96
09h <sup>(5)</sup>	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxxx	39, 96
0Ah <sup>(1,4)</sup>	PCLATH	—	—	—	프로그램 카운터의 상위 5비트를 위한 쓰기 버퍼					---0 0000	26, 96
0Bh <sup>(4)</sup>	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	21, 96
0Ch	PIR1	PSPIF <sup>(3)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	23, 96
0Dh	PIR2	—	—	—	—	—	—	—	CCP2IF	---- --0	24, 96
0Eh	TMR1L	16비트 TMR1 레지스터의 하위 홀딩 레지스터								xxxx xxxxx	50, 96
0Fh	TMR1H	16비트 TMR1 레지스터의 상위 홀딩 레지스터								xxxx xxxxx	50, 96
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	--00 0000	47, 96
11h	TMR2	타이머 2 모듈 레지스터								0000 0000	52, 96
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	52, 96
13h	SSPBUF	동기 시리얼 포트 수신 버퍼 / 송신 레지스터								xxxx xxxxx	64, 68, 96
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	61, 96
15h	CCPR1L	캡처 / 컴퍼어 / PWM 레지스터 1 (LSB)								xxxx xxxxx	56, 96
16h	CCPR1H	캡처 / 컴퍼어 / PWM 레지스터 1 (MSB)								xxxx xxxxx	56, 96
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	54, 96
18h	RCSTA	SPEN	RX9	SREN	CREN	—	FERR	OERR	RX9D	0000 -00x	70, 96
19h	TXREG	USART 송신 데이터 레지스터								0000 0000	75, 96
1Ah	RCREG	USART 수신 데이터 레지스터								0000 0000	77, 96
1Bh	CCPR2L	캡처 / 컴퍼어 / PWM 레지스터 2 (LSB)								xxxx xxxxx	58, 96
1Ch	CCPR2H	캡처 / 컴퍼어 / PWM 레지스터 2 (MSB)								xxxx xxxxx	58, 96
1Dh	CCP2CON	—	—	CCP2X	CCP2Y	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	54, 96
1Eh	ADRES	A/D 결과 레지스터 바이트								xxxx xxxxx	88, 96
1Fh	ADCON0	ADCS1	ADCS0	CHS2	CHS1	CHS0	$\overline{GO/DONE}$	—	ADON	0000 00-0	83, 96

**범례 :** x = 알수 없음, u = 변하지 않음, q = 조건에 따라 변함, ? = 정의 되지 않음, 항상 0으로 읽힘, r = 예약 되어 있음. 빗금 친 부분은 정의 되지 않은 영역이며 항상 0으로 읽힘.

- 노트 1:** 프로그램 카운터의 상위 바이트는 직접 액세스가 불가능하다. PCLATH는 PC<12:8>의 홀딩 레지스터이다. 그 값들은 프로그램 점프 (CALL or GOTO) 명령에서 프로그램 카운터의 상위 바이트로 전송이 된다.
- 2:** 다른 모든 리셋 (파워-업 리셋 아님)은 MCLR과 워치-독 리셋을 통한 포함한다.
- 3:** PSPIE와 PSPIF 비트는 28핀 디바이스에서는 예약 되어 있다. 항상 이 비트들은 클리어 상태를 유지한다.
- 4:** 이러한 레지스터는 어떠한 뱅크에서도 접근이 가능하다. 즉 뱅크의 구분이 없다.
- 5:** PORTD, PORTE, TRISD 그리고 TRISE 레지스터는 28핀 디바이스에서는 적용 되지 않고 항상 '0'으로 읽힌다.
- 6:** 이 비트는 항상 '1'로 읽힌다.

테이블 2-1: SFR 레지스터 요약 ( 앞 페이지에 이어 계속 됨 )

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 에서의 값	상세한 페이지
<b>뱅크 1</b>											
80h <sup>(4)</sup>	INDF	이 지역의 어드레싱은 FSR 이 가르키는 메모리 번지를 액세스 함 ( 물리적인 레지스터가 아님 )								0000 0000	27, 96
81h	OPTION_REG	RBP $\bar{U}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	20, 44, 96
82h <sup>(4)</sup>	PCL	프로그램 카운터 (PC) 하위 바이트								0000 0000	26, 96
83h <sup>(4)</sup>	STATUS	IRP	RP1	RP0	$\bar{T}O$	$\bar{P}D$	Z	DC	C <sup>(2)</sup>	0001 1xxx	19, 96
84h <sup>(4)</sup>	FSR	간접 데이터 메모리 어드레스 포인터								xxxx xxxx	27, 96
85h	TRISA	—	—	포트 A 방향 설정 레지스터						--11 1111	32, 96
86h	TRISB	포트 B 방향 설정 레지스터								1111 1111	34, 96
87h	TRISC	포트 C 방향 설정 레지스터								1111 1111	35, 96
88h <sup>(5)</sup>	TRISD	포트 D 방향 설정 레지스터								1111 1111	36, 96
89h <sup>(5)</sup>	TRISE	IBF	OBF	IBOV	PSPMODE	—	포트 E 방향 설정 레지스터			0000 -111	38, 97
8Ah <sup>(1,4)</sup>	PCLATH	—	—	—	프로그램 카운터의 상위 5 비트를 위한 쓰기 버퍼					---0 0000	26, 96
8Bh <sup>(4)</sup>	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	21, 96
8Ch	PIE1	PSPIE <sup>(3)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	22, 97
8Dh	PIE2	—	—	—	—	—	—	—	CCP2IE	---- --0	24, 97
8Eh	PCON	—	—	—	—	—	—	$\bar{P}OR$	BOR	---- --qq	22, 97
8Fh	—	정의 되지 않은 영역								—	—
90h	—	정의 되지 않은 영역								—	—
91h	—	정의 되지 않은 영역								—	—
92h	PR2	타이머 2 모듈 주기 레지스터								1111 1111	52, 97
93h	SSPADD	동기 시리얼 포트 (I <sup>2</sup> C™ 모드) 어드레스 레지스터								0000 0000	68, 97
94h	SSPSTAT	SMP	CKE	D/A	P	S	R/W	UA	BF	0000 0000	60, 97
95h	—	정의 되지 않은 영역								—	—
96h	—	정의 되지 않은 영역								—	—
97h	—	정의 되지 않은 영역								—	—
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	69, 97
99h	SPBRG	보 - 레이트 발생 레지스터								0000 0000	71, 97
9Ah	—	정의 되지 않은 영역								—	—
9Bh	—	정의 되지 않은 영역								—	—
9Ch	—	정의 되지 않은 영역								—	—
9Dh	—	정의 되지 않은 영역								—	—
9Eh	—	정의 되지 않은 영역								—	—
9Fh	ADCON1	—	—	—	—	—	PCFG2	PCFG1	PCFG0	---- -000	84, 97

**범례 :** x = 알수 없음, u = 변하지 않음, q = 조건에 따라 변함, ? = 정의 되지 않음, 항상 0으로 워킹, r = 예약 되어 있음.  
 빗금 친 부분은 정의 되지 않은 영역이며 항상 0으로 워킹.

- 노트 1:** 프로그램 카운터의 상위 바이트는 직접 액세스가 불가능하다. PCLATH 는 PC<12:8> 의 홀딩 레지스터이다. 그 값들은 프로그램 점프 (CALL or GOTO) 명령에서 프로그램 카운터의 상위 바이트로 전송이 된다.
- 2:** 다른 모든 리셋 ( 파워 - 업 리셋 아님 ) 은 MCLR 과 워치 - 독 리셋을 통한 포함 한다.
- 3:** PSPIE 와 PSPIF 비트는 28 핀 디바이스에서는 예약 되어 있다. 항상 이 비트들은 클리어 상태를 유지 한다.
- 4:** 이러한 레지스터는 어떠한 뱅크에서도 접근이 가능하다. 즉 뱅크의 구분이 없다.
- 5:** PORTD, PORTE, TRISD 그리고 TRISE 레지스터는 28 핀 디바이스에서는 적용 되지 않고 항상 '0' 으로 워킹다.
- 6:** 이 비트는 항상 '1' 로 워킹다.

# PIC16CR7X

테이블 2-1: SFR 레지스터 요약 ( 앞 페이지에 이어 계속 됨 )

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 에서의 값	상세한 페이지
<b>뱅크 2</b>											
100h <sup>(4)</sup>	INDF	이 지역의 어드레스는 FSR 이 가르키는 메모리 번지를 액세스 함 ( 물리적인 레지스터가 아님 )								0000 0000	27, 96
101h	TMR0	타이머 0 모듈 레지스터								xxxx xxxx	45, 96
102h <sup>(4)</sup>	PCL	프로그램 카운터 (PC) 의 하위 바이트								0000 0000	26, 96
103h <sup>(4)</sup>	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxxx	19, 96
104h <sup>(4)</sup>	FSR	간접 데이터 메모리 어드레스 포인터								xxxx xxxx	27, 96
105h	—	정의 되지 않은 영역								—	—
106h	PORTB	쓸 때는 포트 B 데이터 래치에 , 읽을 때는 포트 B 핀을 읽음								xxxx xxxxx	34, 96
107h	—	정의 되지 않은 영역								—	—
108h	—	정의 되지 않은 영역								—	—
109h	—	정의 되지 않은 영역								—	—
10Ah <sup>(1,4)</sup>	PCLATH	—	—	—	프로그램 카운터의 상위 5 비트를 위한 쓰기 버퍼			---	0 0000	26, 96	
10Bh <sup>(4)</sup>	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	21, 96
10Ch	PMDATA	데이터 레지스터 하위 바이트								xxxx xxxxx	29, 97
10Dh	PMADR	어드레스 레지스터 하위 바이트								xxxx xxxxx	29, 97
10Eh	PMDATH	—	—	데이터 레지스터 상위 바이트			xxxx xxxxx	29, 97	29, 97		
10Fh	PMADRH	—	—	—	어드레스 레지스터 상위 바이트			xxxx xxxxx	29, 97		
<b>뱅크 3</b>											
180h <sup>(4)</sup>	INDF	이 지역의 어드레스는 FSR 이 가르키는 메모리 번지를 액세스 함 ( 물리적인 레지스터가 아님 )								0000 0000	27, 96
181h	OPTION_REG	RBP $\overline{U}$	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0	1111 1111	20, 44, 96
182h <sup>(4)</sup>	PCL	프로그램 카운터 (PC) 의 하위 바이트								0000 0000	26, 96
183h <sup>(4)</sup>	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxxx	19, 96
184h <sup>(4)</sup>	FSR	간접 데이터 메모리 어드레스 포인터								xxxx xxxxx	27, 96
185h	—	정의 되지 않은 영역								—	—
186h	TRISB	포트 B 방향 설정 레지스터								1111 1111	34, 96
187h	—	정의 되지 않은 영역								—	—
188h	—	정의 되지 않은 영역								—	—
189h	—	정의 되지 않은 영역								—	—
18Ah <sup>(1,4)</sup>	PCLATH	—	—	—	프로그램 카운터의 상위 5 비트를 위한 쓰기 버퍼			---	0 0000	26, 96	
18Bh <sup>(4)</sup>	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	21, 96
18Ch	PMCON1	— <sup>(6)</sup>	—	—	—	—	—	—	RD	1--- ---0	29, 97
18Dh	—	정의 되지 않은 영역								—	—
18Eh	—	예약 되어 있음 . 항상 클리어 상태를 유지 함								0000 0000	
18Fh	—	예약 되어 있음 . 항상 클리어 상태를 유지 함								0000 0000	

범례 : x = 알 수 없음 , u = 변하지 않음 ,  $\alpha$  = 조건에 따라 변함 , ? = 정의 되지 않음 , 항상 0 으로 읽힘 , r = 예약 되어 있음 .  
 빗금 친 부분은 정의 되지 않은 영역이며 항상 0 으로 읽힘 .

- 노트 1: 프로그램 카운터의 상위 바이트는 직접 액세스가 불가능하다 . PCLATH 는 PC<12:8> 의 홀딩 레지스터이다 . 그 값들은 프로그램 점프 (CALL or goto) 명령에서 프로그램 카운터의 상위 바이트로 전송이 된다 .
- 2: 다른 모든 리셋 ( 파워 - 업 리셋 아님 ) 은 MCLR 과 워치 - 독 리셋을 통한 포함 한다 .
- 3: PSPIE 와 PSPIF 비트는 28 핀 디바이스에서는 예약 되어 있다 . 항상 이 비트들은 클리어 상태를 유지 한다 .
- 4: 이러한 레지스터는 어떠한 뱅크에서도 접근이 가능하다 . 즉 뱅크의 구분이 없다 .
- 5: PORTD, PORTE, TRISD 그리고 TRISE 레지스터는 28 핀 디바이스에서는 적용 되지 않고 항상 '0' 으로 읽힌다 .
- 6: 이 비트는 항상 '1' 로 읽힌다 .

## 2.2.2.1 STATUS 레지스터

STATUS 레지스터는 ALU의 산술적인 상태, 리셋 상태 그리고 데이터 메모리를 위한 뱅크 선택 비트들을 포함하고 있다.

STATUS 레지스터는 다른 레지스터처럼 명령어에서 목적지로 사용될 수도 있다. 만약 그 명령어가 STATUS 레지스터의 Z, DC, C 비트에 영향을 미치는 명령어라면 이 비트에 쓰는 것은 금지된다. 이러한 비트들은 칩 내부에 있는 로직에서 셋트 하거나 클리어가 된다.

더구나  $\overline{TO}$ 와  $\overline{PD}$  비트는 쓰기가 불가능한 읽기 전용 비트들이다. 그러므로 목적지로서 STATUS 레지스터를 가지는 명령어의 결과는 의도하는 바와 다를 수도 있다.

예를들어 CLRWF STATUS 명령을 실행 하면 STATUS 레지스터의 상위 3 비트는 클리어 되고 Z 비트는 셋트 된다. STATUS 레지스터는 '000u u1uu' (여기에서 u = 변하지 않음)로 된다.

그러므로 BCF, BSF, SWAPF 그리고 MOVWF 명령어를 사용하여 STATUS 레지스터를 바꾸는 것이 더 유리하다. 왜냐하면 이러한 명령어들은 STATUS 레지스터의 어떠한 비트들에도 영향을 주지 않기 때문이다. STATUS 레지스터의 각 비트에 영향을 주지 않는 명령어에 대해서는 "명령어 요약"부분을 참조하기를 바란다.

**노트 1:** C와 DC 비트는 바로우와 디지털 바로우 비트로 동작이 된다. 자세한 예는 SUBLW와 SUBWF 명령을 참조하기를 바란다.

레지스터 2-1: STATUS: ( 어드레스 03h, 83h, 103h, 183h)

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C
비트 7							비트 0

**범례 :**

R = 읽기 가능 비트	W = 쓰기 가능 비트	U = 정의 되지 않은 비트, 항상 '0'으로 읽힘
-n = POR 상태에서의 값	'1' = 비트가 셋트 됨	'0' = 비트가 클리어 됨      x = 정의 되지 않은 비트임

- 비트 7      **IRP:** 뱅크 선택 비트 ( 간접 어드레싱에서 사용 됨 )  
 1 = 뱅크 2, 3 (100h-1FFh)  
 0 = 뱅크 0, 1 (00h-FFh)
- 비트 6-5    **RP1:RP0:** 뱅크 선택 비트 ( 직접 어드레싱에서 사용 됨 )  
 11 = 뱅크 3 (180h - 1FFh)  
 10 = 뱅크 2 (100h - 17Fh)  
 01 = 뱅크 1 (80h - FFh)  
 00 = 뱅크 0 (00h - 7Fh)  
 각 뱅크는 128 바이트의 크기를 가진다
- 비트 4      **TO:** 타임 - 아웃 비트  
 1 = 파워 - 온 상태 또는 CLRWDT, SLEEP 명령이 실행 된 이후 이 비트는 1로 셋트 됨  
 0 = 위치 독 타임 - 아웃이 발생 되었음
- 비트 3      **PD:** 파워 - 다운 비트  
 1 = 파워 - 온 상태 이후 또는 CLRWDT 명령의 실행에 의하여 이 비트는 1로 셋트 됨  
 0 = SLEEP 명령의 실행에 의해 비트는 0으로 클리어 됨
- 비트 2      **z:** Zero 비트  
 1 = 연산의 결과 또는 논리 연산의 결과가 0으로 되었을 때  
 0 = 연산의 결과 또는 논리 연산의 결과가 0이 아닌 경우
- 비트 1      **DC:** 디지털 캐리 / 바로우 비트 (ADDWF, ADDLW, SUBLW, SUBWF 명령)  
 1 = 결과의 4 번째 비트로 부터 캐리 아웃 발생  
 0 = 결과의 4 번째 비트로 부터 캐리 아웃 발생 되지 않음
- 비트 0      **C:** 캐리 / 바로우 (ADDWF, ADDLW, SUBLW, SUBWF 명령)  
 1 = 최종 결과의 최상위 비트로 부터 캐리 발생  
 0 = 최종 결과의 최상위 비트로 부터 캐리 발생 되지 않음

**노트 :** 바로우인경우 극성은 뒤 바뀐다. 감산은 두번째 오퍼랜드에 2의 보수를 더함으로써 수행 된다. 로테이트 명령 (RRF, RLF) 에 대해 이 비트는 소스 레지스터의 상위 또는 하위로 로드 된다.

# PIC16CR7X

## 2.2.2.2 OPTION\_REG 레지스터

OPTION\_REG 레지스터는 읽고 쓰기가 가능하며 타이머 0 모듈의 프리스케일러 / WDT 모듈의 포스트 스케일러 (하나의 할당 가능한 프리스케일러임), 외부 INT 인터럽트, TMR0 그리고 포트 B 에 위크 풀 - 업을 제어하는 여러개의 비트들을 내장 하고 있다.

노트 : TMR0 레지스터가 1:1 분주비를 사용 한다면 프리스케일러는 WDT 쪽으로 할당 가능하다.

### 레지스터 2-2: OPTION\_REG: ( 어드레스 81h, 181h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
$\overline{\text{RBPU}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
비트 7						비트 0	

**범례 :**  
 R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않은 비트, 항상 '0' 으로 읽힘  
 -n = POR 상태에서의 값                '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                x = 정의 되지 않은 비트임

- 비트 7             **$\overline{\text{RBPU}}$ :** 포트 B 풀 - 업 인에이블 비트  
 1 = 포트 B 풀 - 업이 디제이블 됨  
 0 = 각 포트 래치 값에 의하여 포트 B 풀 - 업이 인에이블 됨
- 비트 6            **INTEDG:** 인터럽트 에지 선택 비트  
 1 = RB0/INT 핀의 상승 에지에서 인터럽트를 발생 시킴  
 0 = RB0/INT 핀의 하강 에지에서 인터럽트를 발생 시킴
- 비트 5            **T0CS:** TMR0 클럭 소스 선택 비트  
 1 = RA4/T0CKI 핀으로 공급 되는 클럭을 선택 함  
 0 = 내부 명령어 사이클 클럭을 선택 함 (CLKOUT)
- 비트 4            **T0SE:** TMR0 소스 에지 선택 비트  
 1 = TMR0 레지스터를 RA4/T0CKI 핀으로 공급 되는 펄스의 하강 에지에서 증가 시킴  
 0 = TMR0 레지스터를 RA4/T0CKI 핀으로 공급 되는 펄스의 상승 에지에서 증가 시킴
- 비트 3            **PSA:** 프리스케일러 할당 선택 비트  
 1 = 프리스케일러를 WDT 쪽으로 할당 시킴  
 0 = 프리스케일러를 타이머 0 모듈 쪽으로 할당 시킴
- 비트 2-0        **PS2:PS0:** 프리스케일러 분주비 선택

비트 값	TMR0 비율	WDT 비율
000	1 : 2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

## 2.2.2.3 INTCON 레지스터

INTCON 레지스터는 읽고 쓰기가 가능한 레지스터이며 각종 인터럽트 인에이블 비트 및 TMR0 레지스터 오버플로우 및 RB 포트 변화 인터럽트 그리고 외부 RB0/INT 핀 에지 인터럽트를 위한 요구 플래그들을 포함하고 있다.

노트 : 각종 인터럽트 인에이블 비트 및 글로벌 인터럽트 인에이블 비트 GIE (INTCON<7>)의 상태와 무관하게 인터럽트 조건이 발생하면 해당 인터럽트 요구 플래그들은 1로 셋트 된다. 따라서 사용자는 사용하고자 하는 인터럽트를 인에이블 시키기 전에 반드시 해당 인터럽트 요구 플래그들을 0으로 클리어 시켜야 할 것이다.

레지스터 2-3: INTCON: ( 어드레스 0Bh, 8Bh, 10Bh, 18Bh)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF
비트 7							비트 0

**범례 :**

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않은 비트, 항상 '0' 으로 읽힘  
 -n = POR 상태에서의 값                      '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 정의 되지 않은 비트임

- 비트 7                      **GIE:** 글로벌 인터럽트 인에이블 비트  
 1 = 마스크 되지 않은 모든 인터럽트를 인에이블 시킴  
 0 = 모든 인터럽트를 디제이블 시킴
- 비트 6                      **PEIE:** 주변 장치 인터럽트 인에이블 비트  
 1 = 마스크 되지 않은 모든 주변 장치 인터럽트를 인에이블 시킴  
 0 = 모든 주변 장치 인터럽트를 디제이블 시킴
- 비트 5                      **TMR0IE:** TMR0 오버 - 플로우 인터럽트 인에이블 비트  
 1 = TMR0 인터럽트를 인에이블 시킴  
 0 = TMR0 인터럽트를 디제이블 시킴
- 비트 4                      **INTE:** RB0/INT 외부 인터럽트 인에이블 비트  
 1 = RB0/INT 외부 인터럽트를 인에이블 시킴  
 0 = RB0/INT 외부 인터럽트를 디제이블 시킴
- 비트 3                      **RBIE:** RB 포트 변화 인터럽트 인에이블 비트  
 1 = RB 포트 변화 인터럽트를 인에이블 시킴  
 0 = RB 포트 변화 인터럽트를 디제이블 시킴
- 비트 2                      **TMR0IF:** TMR0 오버 - 플로우 인터럽트 요구 플래그 비트  
 1 = TMR0 레지스터가 오버 - 플로우 되었음 ( 반드시 소프트웨어로 클리어 시켜야 함 )  
 0 = TMR0 레지스터의 오버 - 플로우가 발생 되지 않았음
- 비트 1                      **INTF:** RB0/INT 외부 인터럽트 요구 플래그 비트  
 1 = RB0/INT 외부 인터럽트 요구 플래그가 발생 되었음 ( 반드시 소프트웨어로 클리어 시켜야 함 )  
 0 = RB0/INT 외부 인터럽트 요구 플래그가 발생 되지 않았음
- 비트 0                      **RBIF:** RB 포트 변화 인터럽트 요구 플래그 비트  
 불일치 조건은 계속 하여 **RBIF** 비트를 셋트 시킨다. 따라서 사용자는 포트 B 를 읽음으로써 불일치 조건을 해제 시킬 수 있으며 또한 **RBIF** 비트를 소프트웨어로 클리어 시켜야 한다.  
 1 = 적어도 RB7:RB4 핀 상의 하나의 포트에 상태 변화가 발생 되었음 ( 반드시 소프트웨어로 클리어 시켜야 함 )  
 0 = RB7:RB4 핀 상에 상태 변화 된 핀이 하나도 없음

# PIC16CR7X

## 2.2.2.4 PIE1 레지스터

PIE1 레지스터는 주변장치 인터럽트를 위한 각종 인에이블 비트들을 포함하고 있다.

노트 : 주변 장치 인터럽트를 사용 하기 위해서는 반드시 PEIE (INTCON<6>) 가 1 로 셋트 되어 있어야만 한다 .

### 레지스터 2-4: PIE1: ( 어드레스 8Ch)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE
비트 7							비트 0

#### 범례 :

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않은 비트 , 항상 '0' 으로 읽힘  
 -n =POR 상태에서의 값                      '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 정의 되지 않은 비트임

- 비트 7                      **PSPIE<sup>(1)</sup>**: 병렬 슬레이브 포트 읽기 / 쓰기 인터럽트 인에이블 비트  
 1 = PSP 읽기 / 쓰기 인터럽트를 인에이블 시킴  
 0 = PSP 읽기 / 쓰기 인터럽트를 디제이블 시킴
- 비트 6                      **ADIE**: A/D 컨버터 인터럽트 인에이블 비트  
 1 = A/D 컨버터 인터럽트를 인에이블 시킴  
 0 = A/D 컨버터 인터럽트를 디제이블 시킴
- 비트 5                      **RCIE**: USART 수신 인터럽트 인에이블 비트  
 1 = USART 수신 인터럽트를 인에이블 시킴  
 0 = USART 수신 인터럽트를 디제이블 시킴
- 비트 4                      **TXIE**: USART 송신 인터럽트 인에이블 비트  
 1 = USART 송신 인터럽트를 인에이블 시킴  
 0 = USART 송신 인터럽트를 디제이블 시킴
- 비트 3                      **SSPIE**: 동기 시리얼 포트 인터럽트 인에이블 비트  
 1 = 동기 시리얼 포트 인터럽트를 인에이블 시킴  
 0 = 동기 시리얼 포트 인터럽트를 디제이블 시킴
- 비트 2                      **CCP1IE**: CCP1 인터럽트 인에이블 비트  
 1 = CCP1 인터럽트를 인에이블 시킴  
 0 = CCP1 인터럽트를 디제이블 시킴
- 비트 1                      **TMR2IE**: TMR2 인터럽트 인에이블 비트  
 1 = TMR2 인터럽트를 인에이블 시킴  
 0 = TMR2 인터럽트를 디제이블 시킴
- 비트 0                      **TMR1IE**: TMR1 오버 - 플로우 인터럽트 인에이블 비트  
 1 = TMR1 오버 - 플로우 인터럽트를 인에이블 시킴  
 0 = TMR1 오버 - 플로우 인터럽트를 디제이블 시킴

노트 1: PSPIE 는 28 핀 디바이스에서는 예약 되어 있으며 이 비트는 항상 0 을 유지 한다 .



## 2.2.2.5 PIR1 레지스터

PIR1 레지스터는 주변장치 인터럽트의 각종 요구 플래그 비트들을 포함 하고 있다 .

노트 : 각종 인터럽트 인에이블 비트 및 글로벌 인터럽트 인에이블 비트 GIE (INTCON<7> ) 의 상태와 무관하게 인터럽트 조건이 발생 하면 해당 인터럽트 요구 플래그들은 1 로 셋트 된다 . 따라서 사용자는 사용하고자 하는 인터럽트를 인에이블 시키기 전에 반드시 해당 인터럽트 요구 플래그들을 0 으로 클리어 시켜야 할 것이다 .

### 레지스터 2-5: PIR1: ( 어드레스 0Ch)

R/W-0	R/W-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
비트 7							비트 0

#### 범례 :

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않은 비트 , 항상 '0' 으로 읽힘  
 -n = POR 상태에서의 값                '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 정의 되지 않은 비트임

- 비트 7                      **PSPIF<sup>(1)</sup>**: 병렬 슬레이브 포트 읽기 / 쓰기 인터럽트 요구 플래그 비트  
 1 = 읽기 또는 쓰기 동작이 발생 하였음 ( 반드시 소프트웨어로 클리어 시켜야 함 )  
 0 = 읽기 또는 쓰기 동작이 발생 하지 않았음
- 비트 6                      **ADIF**: A/D 컨버터 인터럽트 요구 플래그 비트  
 1 = A/D 컨버전이 완료 되었음 ( 반드시 소프트웨어로 클리어 시켜야 함 )  
 0 = A/D 컨버전이 완료 되지 않았음
- 비트 5                      **RCIF**: USART 수신 인터럽트 요구 플래그 비트  
 1 = USART 수신 버퍼에 데이터가 들어 있음  
 0 = USART 수신 버퍼가 비어 있음
- 비트 4                      **TXIF**: USART 송신 인터럽트 요구 플래그  
 1 = USART 송신 버퍼가 비어 있음  
 0 = USART 송신 버퍼에 데이터가 들어 있음
- 비트 3                      **SSPIF**: 동기 시리얼 포트 (SSP) 인터럽트 요구 플래그 비트  
 1 = SSP 인터럽트 조건이 발생 되었다 . 이 비트는 인터럽트 서비스 루틴에서 나가기 전에 반드시 소프트웨어로 클리어 시켜야 한다 . 아래와 같은 조건들이 이 비트를 셋트 시킬 것이다 :  
     SPI  
     송신 / 수신이 발생 되었음 .  
     I<sup>2</sup>C 슬레이브  
     송신 / 수신이 발생 되었음 .  
     I<sup>2</sup>C 마스터  
     송신 / 수신이 발생 되었음 .  
     시작 조건이 SSP 모듈에 의해 발생 되었을 경우  
     멈춤 조건이 SSP 모듈에 의해 발생 되었을 경우  
     리 - 스타트 ( 재 시작 ) 조건이 SSP 모듈에 의해 발생 되었을 경우  
     액크놀러지 조건이 SSP 모듈에 의해 발생 되었을 경우  
     SSP 모듈이 아이들 상태일 때 시작 조건이 발생 하였을 때 ( 멀티 - 마스터 시스템 )  
     SSP 모듈이 아이들 상태일 때 멈춤 조건이 발생 하였을 때 ( 멀티 - 마스터 시스템 )  
 0 = SSP 인터럽트 조건이 발생 되지 않았음
- 비트 2                      **CCP1IF**: CCP1 인터럽트 요구 플래그 비트  
     **캡처 모드 :**  
     1 = 외부 핀에 사용자가 설정 하여 놓은 에지가 감지 된 경우 ( 반드시 소프트웨어에서 클리어 시켜야 함 )  
     0 = 외부 핀에 사용자가 설정 하여 놓은 에지가 감지 되지 않은 경우  
     **컴페어 모드 :**  
     1 = CCPR 레지스터와 TMR1 레지스터 값이 일치 ( 반드시 소프트웨어에서 클리어 시켜야 함 )  
     0 = CCPR 레지스터와 TMR1 레지스터 값이 일치 하지 않은 경우  
     **PWM 모드 :**  
     사용 되지 않음
- 비트 1                      **TMR2IF**: TMR2 와 PR2 레지스터 일치 되면 발생 되는 인터럽트 요구 플래그  
 1 = TMR2 와 PR2 레지스터 값이 일치 됨 ( 반드시 소프트웨어에서 클리어 시켜야 함 )  
 0 = TMR2 와 PR2 레지스터 값이 일치 되지 않음
- 비트 0                      **TMR1IF**: TMR1 오버 - 플로우 인터럽트 요구 플래그 비트  
 1 = TMR1 레지스터가 오버 - 플로우가 발생 되었음 ( 반드시 소프트웨어로 클리어 시켜야 함 )  
 0 = TMR1 레지스터에 오버 - 플로우가 발생 되지 않았음

노트 1: PSPIF 는 28 핀 디바이스에서는 예약 되어 있으며 이 비트는 항상 0 을 유지 한다

# PIC16CR7X

## 2.2.2.6 PIE2 레지스터

PIE2 레지스터는 CCP2 주변장치 인터럽트 인에이블 비트를 포함하고 있다.

레지스터 2-6: PIE2: ( 어드레스 8Dh)

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
—	—	—	—	—	—	—	CCP2IE
비트 7							비트 0

범례 :

R = 읽기 가능 비트      W = 쓰기 가능 비트      U = 정의 되지 않은 비트, 항상 '0' 으로 읽힘  
 -n =POR 상태에서의 값      '1' = 비트가 셋트 됨      '0' = 비트가 클리어 됨      d      x = 정의 되지 않은 비트임

비트 7-1      정의 되지 않았음 : 항상 '0' 으로 읽힘  
 비트 0      **CCP2IE**: CCP2 인터럽트 인에이블 비트  
                  1 = CCP2 인터럽트를 인에이블 시킴  
                  0 = CCP2 인터럽트를 디제이블 시킴

## 2.2.2.7 PIR2 어드레스

PIR2 레지스터는 CCP2 인터럽트 요구 플래그를 포함하고 있다.

노트 : 각종 인터럽트 인에이블 비트 및 GIE (INTCON<7> 의 상태와 무관하게 인터럽트 조건이 발생 하면 해당 인터럽트 요구 플래그들은 1 로 셋트 된다 . 따라서 사용자는 사용하고자 하는 인터럽트를 인에이블 시키기 전에 반드시 해당 인터럽트 요구 플래그들을 0 으로 클리어 시켜야 할 것이다 .

레지스터 2-7: PIR2: ( 어드레스 0Dh)

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
							CCP2IF
비트 7							비트 0

범례 :

R = 읽기 가능 비트      W = 쓰기 가능 비트      U = 정의 되지 않은 비트, 항상 '0' 으로 읽힘  
 -n =POR 상태에서의 값      '1' = 비트가 셋트 됨      '0' = 비트가 클리어 됨      x = 정의 되지 않은 비트임

비트 7-1      정의 되지 않았음 : 항상 '0' 으로 읽힘  
 비트 0      **CCP2IF**: CCP2 인터럽트 요구 플래그 비트  
                  캡처 모드 :  
                  1 = 외부 핀에 사용자가 설정 한 높은 에지가 감지 된 경우 ( 반드시 소프트웨어에서 클리어 시켜야 함 )  
                  0 = 외부 핀에 사용자가 설정 하여 높은 에지가 감지 되지 않았다 .  
                  컴페어 모드 :  
                  1 = CCPR 레지스터와 TMR1 레지스터 값이 일치 ( 반드시 소프트웨어에서 클리어 시켜야 함 )  
                  0 = CCPR 레지스터와 TMR1 레지스터 값이 일치 하지 않은 경우  
                  PWM 모드 :  
                  사용 되지 않음

## 2.2.2.8 PCON 레지스터

파워 제어 (PCON) 레지스터는 파워 - 온 리셋, 외부 MCLR 리셋, WDT 리셋 그리고 브라운 아웃 리셋등을 판별하는 비트들을 포함 하고 있다.

노트 : POR 상태에서 BOR 비트의 상태는 알수가 없다 . 따라서 사용자는 POR 상태에서 BOR 비트를 1 로 셋트를 하여 놓고 브라운 아웃 리셋이 발생이 되었을 때 BOR 비트가 0 으로 클리어 되는지를 체크 하는 프로그램을 넣어야 한다 . 또한 브라운 아웃 서킷이 디제이블(컨퓨그레이션 워드의 BOREN 비트를 디제이블 시킴에 의하여) 되어 있는 상태에서는 BOR 상태 비트는 예측 불가능하다 .

### 레지스터 2-8: PCON: ( 어드레스 8Eh)

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-1
—	—	—	—	—	—	POR	BOR
비트 7						비트 0	

**범례 :**

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않은 비트 , 항상 '0' 으로 읽힘  
 -n = POR 상태에서의 값                '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 정의 되지 않은 비트임

비트 7-2     **정의 되지 않았음 :** 항상 '0' 으로 읽힘

비트 1     **POR:** 파워 - 온 리셋 상태 비트

1 = 파워 - 온 리셋이 발생 되지 않았음

0 = 파워 - 온 리셋이 발생 되었음 ( POR 상태 이후에는 소프트웨어로 이 비트를 1 로 하여야 함 )

비트 0     **BOR:** 브라운 - 아웃 리셋 상태 비트

1 = 브라운 - 아웃 리셋이 발생 되지 않았음

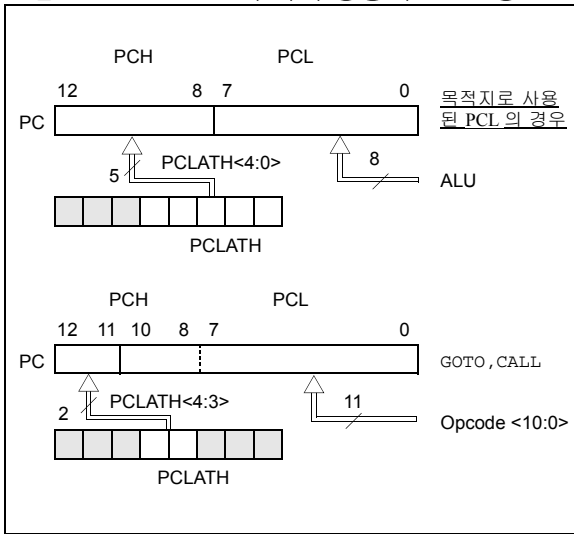
0 = 브라운 - 아웃 리셋이 발생 되었음 ( BOR 상태 이후에는 소프트웨어로 이 비트를 1 로 하여야 함 )

# PIC16CR7X

## 2.3 PCL 과 PCLATH

프로그램 카운터 (PC) 는 13 비트 크기로 되어 있다 . 하위 8 비트 PCL 레지스터는 직접 읽고 쓸수 있는 레지스터이지만 상위 비트들은 (PC<12:8>) 읽기는 불가능하며 PCLATH 레지스터를 통하여 간접적으로 쓰기는 가능하다 . 모든 리셋 상황에서 PC 의 상위 비트들은 0 으로 클리어가 된다 . 그림 2-1 은 PC 로의 로딩을 보여주는 두가지 예이다 . 왼쪽 그림은 일반적으로 어떻게 PC 값이 PCL 레지스터 (PCLATH<4:0> → PCH) 로 로드 되는지를 보여 주고 있으며 아래그림은 CALL 또는 GOTO 명령이 실행 되는 경우 (PCLATH<4:3> → PCH) PC 쪽으로 어떻게 로드가 되는지를 보여 주고 있다 .

그림 2-4: 두가지 상황의 PC 로딩



### 2.3.1 계산된 GOTO

계산된 GOTO 는 프로그램 카운터에 하나의 오프 - 셋 값을 더하여 이루어 진다 (ADDWF PCL). 계산된 GOTO 방법을 이용하여 테이블로부터 데이터를 읽는 경우 테이블 위치가 PCL 메모리 경계에 위치를 하고 있는지 주의 하여야 한다 . ( 각 블록은 256 바이트 ). 자세한 사항은 어플리케이션 노트 , “Implementing a Table Read” (AN556) 을 참고 하기를 바란다 .

### 2.3.2 스택

PIC16CR7X 패밀리는 13 비트로 구성된 8 개의 하드웨어 스택을 지원 하고 있다 . 스택 공간은 프로그램 또는 데이터 공간의 일부가 아니며 사용자는 스택 포인터를 읽거나 쓸수가 없다 . PC 값은 CALL 명령이 수행 되었을 경우 또는 인터럽트가 발생 하였을 경우 자동적으로 스택 공간으로 PUSH 되며 RETURN, RETLW 또는 RETFIE 명령이 수행이 되면 스택에 저장 되어있는 값이 PC 쪽으로 자동적으로 POP 되어 진다 . PCLATH 는 PUSH 또는 POP 에 의하여 영향을 받지 않는다 .

스택은 원형 버퍼로서 동작을 한다 . 이것은 8 번 PUSH 되어지고 9 번째 PUSH 가 발생 되었다면 9 번째 PUSH 된것은 첫번째 스택에 쓰여 지는것을 의미한다 . 그리고 10 번째 것은 두번째 스택에 쓰여 진다 .

**노트 1:** STATUS 레지스터에는 스택의 오버플로우 또는 언더플로우를 나타내는 별도의 플래그가 존재 하지 않는다 .  
**2:** PUSH 또는 POP 과 같은 특별한 명령어가 따로 존재 하지 않는다 . PUSH 또는 POP 은 CALL, RETURN, RETLW 그리고 RETFIE 와 같은 명령이 수행 되거나 인터럽트 벡터 어드레스로 점프 할 때 필요로 한다 .

## 2.4 프로그램 메모리 페이징

PIC16CR7X 디바이스는 연속적인 프로그램 메모리의 8K 워드 블록 내에서 어드레스가 가능하다 . 그러나 CALL 및 GOTO 명령은 단지 11 비트 어드레스 범위를 갖는다 . 이 11 비트 어드레스는 프로그램 메모리 사이즈 2K 워드 이내에서만 분기 할 수 있다는 것을 의미하므로 CALL 또는 GOTO 명령이 실행이 되면 어드레스의 최상위 2 비트는 PCLATH<4:3> 에 의하여 제공을 받는다 . 따라서 사용자는 CALL 또는 GOTO 명령을 실행 하기 이전에 반드시 정확하게 요구 되는 프로그램 메모리 페이지가 선택이 되었는지를 PCLATH<4:3> 를 체크 하여 확인 하여야만 한다 . 만약 CALL 문 ( 또는 인터럽트 ) 으로 부터 돌아오는 명령이 실행이 되면 스택으로부터 13 비트 PC 가 POP 되는 것이므로 RETURN 명령 실행시 ( 스택으로부터 어드레스가 POP 됨 ) PCLATH<4:3> 의 참조는 필요치 않게 된다 ..

**노트 :** RETURN 또는 RETFIE 명령이 실행이 된 후에도 PCLATH 레지스터의 값은 변화 하지 않는다 . 따라서 사용자는 다시 CALLS 또는 GOTOS 실행 이전에 다시 PCLATH 레지스터를 조절 하여 주어야 한다 .

예제 2-1 은 프로그램 메모리의 페이지 1 의 서브루틴을 호출 하는것을 보여 주고있다 . 이 예제는 PCLATH 레지스터가 인터럽트 서비스 루틴에서 정확히 저장 되고 반환 된다고 가정한다 ( 인터럽트가 사용 되는 경우 ).

예제 2-1: 페이지 0 에서 페이지 1 에 위치한 서브루틴을 호출 함

```

ORG 0x500
BCF PCLATH, 4
BSF PCLATH, 3 ; 페이지 1 선택
                ; (800h-FFFh)
CALL SUB1_P1 ; 페이지 1 에 있는 서브루틴
                ; 호출 (800h-FFFh)
:
:
ORG 0x900 ; 페이지 1 (800h-FFFh)
SUB1_P1
: ; 페이지 1 에 있는
: ; 서브 루틴 (800h-FFFh)
:
RETURN ; 페이지 1 을 리턴하여
                ; 페이지 0 로 돌아 감
                ; (000h-7FFh)
    
```

## 2.5 IINDF 와 FSR 레지스터를 이용한 간접 어드레싱

IINDF 레지스터는 물리적인 레지스터가 아니라 간접 어드레싱을 위해서 존재하는 가상의 레지스터이다.

실제로 어드레싱 하고자 하는 번지를 파일 선택 레지스터인 FSR 레지스터에 저장 시킨 후 IINDF 레지스터를 액세스 하면 FSR 레지스터의 내용을 실제 번지로 하여 액세스 할 것이다. IINDF 자기 자신을 간접 지정 방식으로 읽는다면 (FSR = 0) 00h 가 읽힐 것이다. 또한 간접 지정 방식으로 IINDF 레지스터에 데이터를 라이트 하는 경우는 동작이 되지 않는다 (단 STATUS 레지스터는 영향을 받을 것이다). 실제로 9 비트의 간접 지정 어드레스는 그림 2-2 에서 보여 주는 것처럼 8 비트 FSR 레지스터와 IRP 비트 (STATUS<7>) 를 합치는 것에 의하여 만들어 진다.

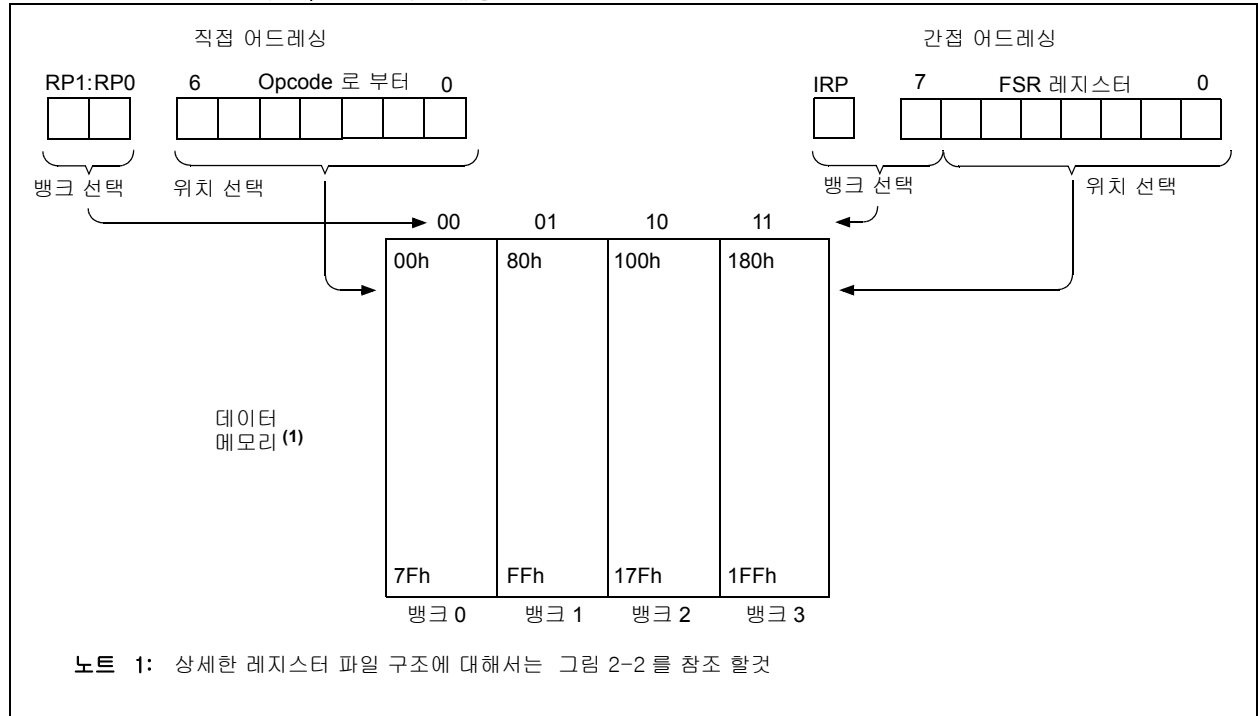
간접 어드레싱을 사용하여 RAM 20h-2Fh 번지를 0 으로 클리어 시키는 간단한 예제 프로그램을 예제 2-2 에 보여 주고 있다.

예제 2-2: 간접 어드레싱

```

MOV LW 0x20 ; RAM 포인터 초기화
MOV WF FSR ; 초기화
NEXT CLR F IINDF ; IINDF 레지스터 클리어
      INC F FSR, F ; 포인터 증가 시킴
      BTFS FSR, 4 ; 완료 되었는가?
      GOTO NEXT ; 아니면 계속 클리어 시킴
CONTINUE
      ; 프로그램 계속 수행 시킴
    
```

그림 2-5: 직접 / 간접 어드레싱



# PIC16CR7X

---

노트 :

## 3.0 프로그램 메모리 읽기

전원 VDD 가 공급 되어 프로그램이 정상으로 동작 수행 중인 경우 사용자는 ROM 프로그램 메모리로부터 데이터 읽기가 가능하다. 그와 같은 동작은 SFR(특별 기능 레지스터 집합) 레지스터를 통하여 간접 어드레싱 방법으로 행하여 진다. 캘리브레이션 파라메터 값 및 시리얼 넘버 그리고 7 비트 ASCII 코드등을 저장 하기 위하여 최대 14 비트 단위로 프로그램 메모리에 저장 가능하다. 정확하지 않은 명령어의 구조를 가진 메모리 영역의 읽기 실행의 결과는 NOP로 처리 된다.

프로그램 메모리로부터 데이터를 읽어 내기 위해서는 아래와 같이 특별한 5 개의 레지스터가 사용이 된다:

- PMCON1
- PMDATA
- PMDATH
- PMADR
- PMADRH

프로그램 메모리는 워드 단위로 읽기가 가능하며 체크섬 및 캘리브레이션 테이블로부터의 데이터를 읽기 위하여 프로그램 메모리 접근을 가능하게 하고 있다.

프로그램 메모리 블록으로부터 읽은 14 비트 데이터는 두 바이트 형태의 PMDATH:PMDATA 레지스터로 저장 이 된다. 또한 플래시 프로그램 메모리의 액세스를 위하여 두 바이트 형태의 PMADRH:PMADR 레지스터가 이용이 되며 이중 13 비트가 이용이 된다. 이 제품군들은 최대 8K 워드 플래시 프로그램 메모리 구조를 가지고 있으며 이는 0h 번지에서 3FFFh 번지 영역의 어드레스 공간을 액세스 한다. PMDATH와 PMADRH 레지스터의 사용 되지 않은 상위 비트들은 정의 되지 않은 영역이며 항상 '0'으로 읽히게 된다.

### 3.1 PMADR

어드레스 레지스터를 이용하여 플래시 프로그램 메모리의 최대 8K 워드까지 어드레싱이 가능하다.

프로그램 메모리의 어드레스가 선택이 되면 어드레스의 상위 MSB 바이트는 PMADRH 레지스터로 쓰여지며 LSB 바이트는 PMADR 레지스터로 쓰여 진다. 이때 PMADRH 레지스터의 사용 되지 않은 상위 MSB 비트들은 항상 0으로 클리어 되어 있어야만 한다.

### 3.2 PMCON1 레지스터

PMCON1 레지스터는 프로그램 메모리 제어를 위한 레지스터이다.

읽기 동작은 RD 제어 비트를 통하여 시작이 되며 이 비트는 소프트웨어에서 오직 1로 셋트만 가능하며 사용자는 0으로 클리어를 시킬수는 없다. 읽기 동작이 완료되면 RD 비트는 하드웨어적으로 자동적으로 0으로 클리어가 된다.

레지스터 3-1: PMCON1: ( 어드레스 18Ch)

R-1	U-0	U-0	U-0	U-x	U-0	U-0	R/S-0
예약	—	—	—	—	—	—	RD
비트 7							비트 0

**범례 :**

R = 읽기 가능 비트	W = 쓰기 가능 비트	U = 정의 되지 않은 비트, 항상 '0'으로 읽힘
-n = POR 상태에서의 값	'1' = 비트가 셋트 됨	'0' = 비트가 클리어 됨      x = 정의 되지 않은 비트임

비트 7      **예약 되어 있는 비트 :** '1'로 읽힘

비트 6-1    **정의 되어 있지 않음 :** '0'으로 읽힘

비트 0      **RD:** 읽기 제어 비트

- 1 = 프로그램 메모리로부터 읽기 동작을 시작함. 이 비트는 하드웨어적으로 0으로 클리어 됨. 이 비트는 오직 소프트웨어적으로 1로 셋트만 가능하며 0으로 클리어를 시킬수는 없음.
- 0 = 프로그램 메모리로부터 읽기 동작이 완료 되었음

# PIC16CR7X

## 3.3 프로그램 메모리로부터 데이터 읽기

프로그램 메모리로부터 읽고자 하는 두 바이트 어드레스를 PMADR 와 PMADRH 레지스터에 넣은 후 읽기 제어 비트인 RD (PMCON1<0>) 비트를 1로 셋트 한다. 읽기 제어 비트인 RD 비트가 1로 셋트 되면 마이크로 컨트롤러는 프로그램 메모리로부터 데이터를 읽기 위하여 두개의 명령어 사이클을 사용 하게 되고 두번째 NOP 명령 이후에 읽은 데이터는 PMDATA 와 PMDATH 레지스터에 저장이 된다. 따라서 RD 비트 이후에 2개의 NOP 명령이 필요 하게 된다. PMDATA 와 PMDATH 레지스터는 다음번 읽기 동작이 수행 될 때 까지 데이터를 그대로 유지 하게 될것이다.

## 3.4 코드 - 프로텍트 동안의 동작

프로그램 메모리는 코드 - 프로텍트 구조를 가지고 있다. 만약 코드 - 프로텍트 기능이 인에이블 되어 있다면 외부 프로그래머 등에 의하여 읽기 동작은 불가능 할 것이다.

그러나 코드 - 프로텍트 비트의 상태와 상관 없이 마이크로 컨트롤러 내부적으로 읽기 및 실행은 가능하다.

예제 3-1: 프로그램 메모리로부터 읽기 동작

	BSF	STATUS, RP1	;
	BCF	STATUS, RP0	; बैंक 2
	MOVF	ADDRH, W	;
	MOVWF	PMADRH	; 읽고자 하는 어드레스의 상위 바이트
	MOVF	ADDRL, W	;
	MOVWF	PMADR	; 읽고자 하는 어드레스의 하위 바이트
	BSF	STATUS, RP0	; बैंक 3 으로 설정
요구 되는 순서	BSF	PMCON1, RD	; 읽기 동작 순서
	NOP		; BSF PMCON1, RD 명령 이후 다음 두 사이클을 이용 하여 읽기 동작 수행
	NOP		;
	BCF	STATUS, RP0	; बैंक 2
	MOVF	PMDATA, W	; W = PMDATA 의 하위 바이트
	MOVF	PMDATH, W	; W = PMDATA 의 상위 바이트

테이블 3-1: 프로그램 메모리와 관련이 있는 레지스터

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 상태	다른 모든 리셋
10Dh	PMADR	하위 바이트 어드레스 레지스터								xxxx xxxx	uuuu uuuu
10Fh	PMADRH	—	—	—	상위 바이트 어드레스 레지스터					xxxx xxxx	uuuu uuuu
10Ch	PMDATA	하위 바이트 데이터 레지스터								xxxx xxxx	uuuu uuuu
10Eh	PMDATH	—	—	상위 바이트 데이터 레지스터					xxxx xxxx	uuuu uuuu	
18Ch	PMCON1	—(1)	—	—	—	—	—	—	RD	1--- ---0	1--- ---0

범례 : x = 알수 없음, u = 변하지 않음, r = 예약 되어 있음, - = 정의 되지 않았음. 항상 0으로 읽힘. 빗금친 영역은 프로그램 메모리 액세스를 위하여는 사용 되지 않음

노트 1: 이 비트는 항상 1로 읽힘



## 4.0 I/O 포트

어떤 I/O 포트들은 내장된 주변 장치 모듈의 일부 기능을 같이 사용하는 겸용 핀으로 구동이 되기도 한다. 일반적으로 주변 장치 모듈이 인에이블되어 있는 경우는 이러한 핀들은 범용 I/O 핀으로는 사용할 수가 없다.

I/O 포트에 대한 보다 자세한 사항은 "PICmicro® 미드-레인지 MCU 패밀리 참조 메뉴얼" (DS33023) 을 참조하기를 바란다.

### 4.1 PORTA 와 TRISA 레지스터

포트 A 는 6 비트 크기를 가진 양방향 포트이며 포트의 방향을 설정 하는 레지스터는 TRISA 레지스터이다. 따라서 TRISA 레지스터의 해당 비트를 1 로 셋트 (= 1) 하면 그 포트는 입력으로 설정 (하이-임피던스 모드) 되며 0 으로 클리어 (= 0) 시키면 출력으로 설정 (출력 래치의 값이 선택된 핀으로 출력 됨) 된다.

포트 A 레지스터를 읽는 것은 핀의 상태를 읽는 것을 말하며 쓰는 것은 포트 래치에 쓰는 것이다. 모든 쓰기 동작은 read-modify-write 동작이다. 즉 쓰기 동작은 핀의 상태를 읽어서 값을 변경 시킨후 다시 포트 데이터 래치에 쓰는 순서로 진행이 된다.

RA4 핀은 타이머 0 모듈 클럭 입력 핀으로도 사용 가능하다. RA4/T0CKI 은 슈미트 트리거 입력 또는 오픈 드레인 출력 핀으로 사용 가능하다. 다른 모든 포트 A 핀들은 TTL 입력 핀으로 사용되며 출력 핀으로 사용하는 경우는 CMOS 출력 레벨로 구동 된다.

다른 PORTA 핀들은 아날로그 입력과 VREF 입력으로 사용할 수도 있다. 각 핀의 구성은 ADCON1 레지스터 (A/D 제어 레지스터 1) 에 있는 제어 비트에 의하여 결정 된다.

**노트:** 파워 온 리셋 상태에서 이 핀들은 아날로그 입력 상태로 구성되며 항상 0으로 읽힌다

TRISA 레지스터를 이용하여 핀들이 아날로그 입력으로 사용되고 있을지라도 RA 핀들의 방향을 제어 할 수 있다. 따라서 사용자는 이 핀들이 아날로그 핀으로 사용이 되는 경우 TRISA 비트들이 1로 셋트 되어 있는지를 확인 하여야 한다.

#### 예제 4-1: 포트 A 초기화

```
BCF STATUS, RP0 ;
BCF STATUS, RP1 ; 0번크
CLRF PORTA ; 출력 데이터 래치를
; 0으로 클리어 시켜
; 포트를 초기화 시킴
BSF STATUS, RP0 ; 1번크 선택
MOVLW 0x06 ; 모든 핀들을
MOVWF ADCON1 ; 디지털 핀으로 구성 시킴
MOVLW 0xCF ; 입, 출력을 위한
; 초기 방향
; 설정
MOVWF TRISA ; RA<3:0> 는 입력
; RA<5:4> 는 출력
; TRISA<7:6> 은 항상
; '0' 으로 읽힌다 .
```

그림 4-1: RA3:RA0 그리고 RA5 핀 블럭 다이어그램

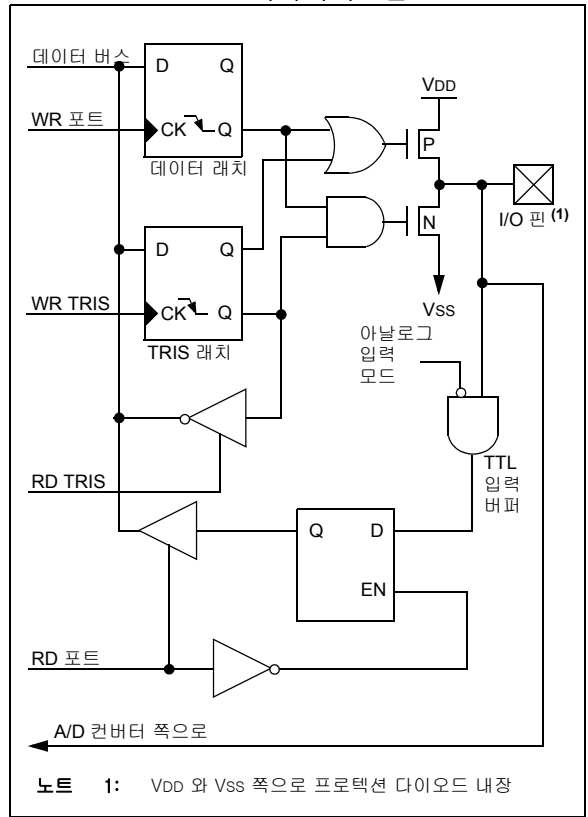
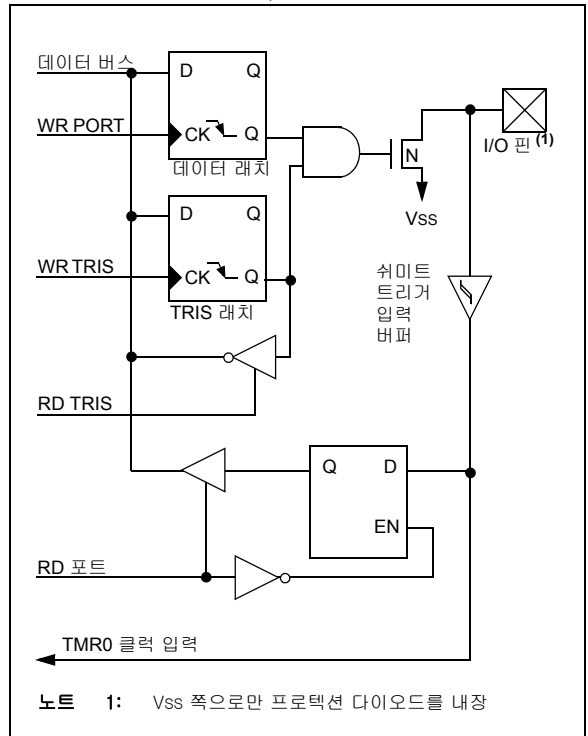


그림 4-2: RA4/T0CKI 핀의 블럭 다이어그램



# PIC16CR7X

테이블 4-1: 포트 A 기능

이름	비트 #	버퍼	기능
RA0/AN0	비트 0	TTL	입력 / 출력 또는 아날로그 입력 .
RA1/AN1	비트 1	TTL	입력 / 출력 또는 아날로그 입력 .
RA2/AN2	비트 2	TTL	입력 / 출력 또는 아날로그 입력 .
RA3/AN3/VREF	비트 3	TTL	입력 / 출력 또는 아날로그 입력 또는 VREF.
RA4/T0CKI	비트 4	ST	입력 / 출력 또는 타이머 0 를 위한 외부 클럭 입력 . 출력일 경우 오픈 드레인 .
RA5/AN4/SS	비트 5	TTL	입력 / 출력 또는 SSP 모듈을 위한 슬레이브 선택 입력 또는 아날로그 입력 .

범례 : TTL = TTL 입력 , ST = 슈미트 트리거 입력

테이블 4-2: 포트 A 와 관련이 되는 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 상태에서의 값	다른 모든 리셋에서의 값
05h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--0x 0000	--0u 0000
85h	TRISA	—	—	포트 A 방향 설정 레지스터						--11 1111	--11 1111
9Fh	ADCON1	—	—	—	—	—	PCFG2	PCFG1	PCFG0	----- -000	----- -000

범례 : x = 알수없음 , u = 변하지 않음 , = 정의 되지 않았음 , 항상 0 으로 워힘 . 빗금친 부분은 포트 A 구성에 사용하는 사용 되지 않음 .

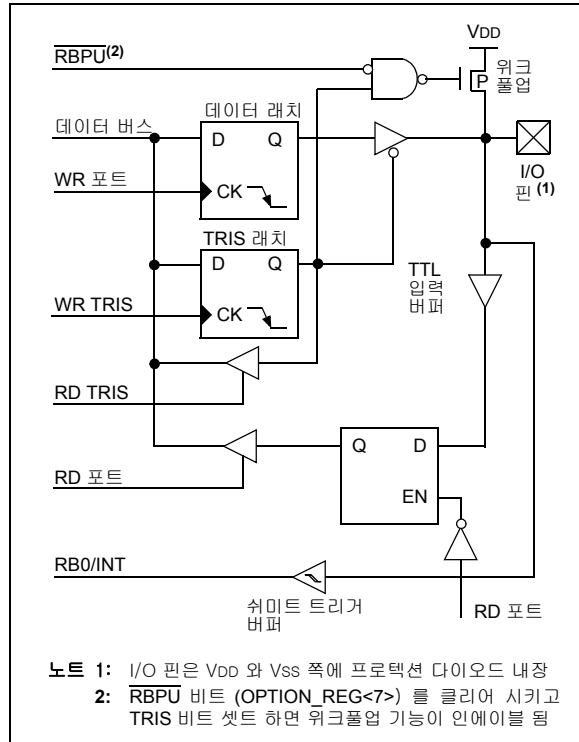
**노트 :** SPI 슬레이브 모드와 SS 신호가 인에이블 되어있는 SSP 모듈을 사용 할 때 A/D 컨버터는 반드시 PCFG2:PCFG0 = 100 , 101 , 11x 중의 하나로 셋팅 되어야만 한다 .

## 4.2 PORTB 와 TRISB 레지스터

포트 B 는 8 비트 크기의 양방향 포트이며 포트의 방향을 설정 하는 레지스터는 TRISB 레지스터이다 . 따라서 TRISB 레지스터의 해당 비트를 1 로 셋트 (= 1) 하면 그 포트는 입력으로 설정 (하이 - 임피던스 모드) 되며 0 으로 클리어 (= 0) 시키면 출력으로 설정 (출력 래치의 값이 선택 된 핀으로 출력 됨) 된다 .

각각의 포트 B 핀들은 내부에 위크 풀 - 업 저항을 내장 하고 있다 . 하나의 제어 비트를 이용 하여 모든 풀 - 업 기능을 인에이블 시킬 수 있다 . 이것은 RBPU (OPTION\_REG<7>) 비트를 0으로 클리어 시키는 것에 의하여 가능하다 . 위크 풀 - 업은 포트 핀이 출력으로 구성이 되면 자동적으로 디제이블 되며 POR( 파워 - 온 리셋 ) 상태에서는 초기 상태가 디제이블 이다 . T

그림 4-3: RB3:RB0 핀 블록 다이어그램



포트 B 핀 중에서 4 개의 핀 즉 RB7:RB4 핀들은 변화 인터럽트 기능을 가지고 있다 . 4 개의 핀중 입력으로 정의 된 핀들만이 변화 인터럽트의 대상이 되며 만약 몇 개의 핀이 출력으로 구성 되어 있다면 변화 인터럽트에서 이 핀들은 제외 된다 . 이 입력 단자의 값들은 이전에 읽은 값과 항상 비교 되며 두개가 일치 하지 않을 때 “불일치 조건” 이 성립 되며 이 때 B 포트 변화 인터럽트 요구 플래그인 RBIF(INTCON<0>) 비트가 1 로 셋트 된다 .

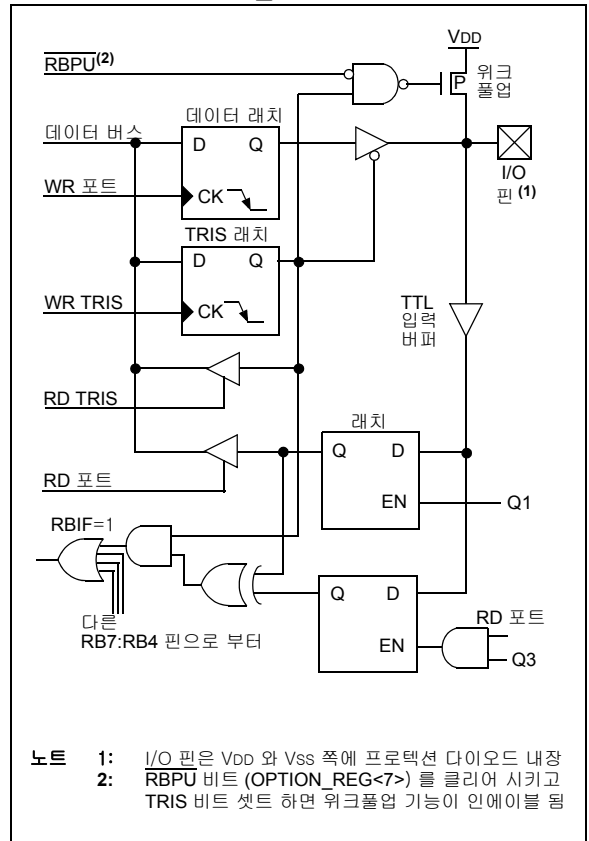
이러한 인터럽트를 이용 하여 디바이스를 슬립 모드로부터 깨울수 있다 . 인터럽트 서비스 루틴에서 사용자는 다음과 같은 방법을 이용 하여 인터럽트를 클리어 할 수 있다 :

- 포트 B 를 읽거나 데이터를 쓴다 . 이것은 불일치 조건을 끝낼 것이다 .
  - 인터럽트 요구 플래그인 RBIF 를 클리어 시킴 .
- 불일치 조건은 계속 하여 인터럽트 요구 플래그인 RBIF 비트를 1 로 셋트 할 것이다 . 따라서 사용자는 포트 B 를 읽음으로서 불일치 조건을 끝낼 수 있고 인터럽트 플래그인 RBIF 를 0 으로 클리어 시킬 수 있다 .

변화 인터럽트 기능은 주로 키를 눌렀을 때 디바이스를 깨우게 하는 어플리케이션에 이용 되며 이 경우 오직 포트 B 가 사용 된다 . 변화 인터럽트 기능을 사용하는 경우에는 포트 B 를 풀 - 링 하는 것은 바람직 하지 않다 . 이러한 불일치 인터럽트 기능은 소프트웨어적으로 4 개의 핀상에 풀 - 업 기능과 함께 사용할 수 있기 때문에 외부 키패드와의 인터페이스를 쉽게 하고 이를 통하여 키를 눌렀을 때 디바이스를 쉽게 깨울 수 있다 . 자세한 사항은 어플리케이션 노트 “Implementing Wake-up on Key Stroke” (AN552) 를 참고 하기를 바란다 .

RB0/INT 핀은 외부 인터럽트 입력 핀이며 INTEDG bit (OPTION\_REG<6>) 비트를 이용 구성 시킬 수 있다 . RB0/INT 핀에 대해서는 섹션 12.11.1 INT 인터럽트 부분에서 자세하게 설명 된다 .

그림 4-4: RB7:RB4 핀 블록 다이어그램



# PIC16CR7X

테이블 4-3: 포트 B 기능

이름	비트 #	버퍼	기능
RB0/INT	비트 0	TTL/ST <sup>(1)</sup>	입력 / 출력 핀 또는 외부 인터럽트 입력 핀 . 소프트웨어로 제어 가능한 위크 풀 - 업 내장 .
RB1	비트 1	TTL	입력 / 출력 핀 . 소프트웨어로 제어 가능한 위크 풀 - 업 내장 .
RB2	비트 2	TTL	입력 / 출력 핀 . 소프트웨어로 제어 가능한 위크 풀 - 업 내장 .
RB3	비트 3	TTL	입력 / 출력 핀 . 소프트웨어로 제어 가능한 위크 풀 - 업 내장 .
RB4	비트 4	TTL	입력 / 출력 핀 ( 변화 인터럽트 기능 내장 ) . 소프트웨어로 제어 가능한 위크 풀 - 업 내장 .
RB5	비트 5	TTL	입력 / 출력 핀 ( 변화 인터럽트 기능 내장 ) . 소프트웨어로 제어 가능한 위크 풀 - 업 내장 .
RB6	비트 6	TTL	입력 / 출력 핀 ( 변화 인터럽트 기능 내장 ) . 소프트웨어로 제어 가능한 위크 풀 - 업 내장 .
RB7	비트 7	TTL	입력 / 출력 핀 ( 변화 인터럽트 기능 내장 ) . 소프트웨어로 제어 가능한 위크 풀 - 업 내장 .

범례 : TTL = TTL 입력 , ST = 슈미트 트리거 입력

노트 1: 외부 인터럽트로 구성이 되면 버퍼는 슈미트 트리거 입력으로 설정 된다 .

테이블 4-4: 포트 B 와 관련이 되는 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 상태에서의 값	다른 모든 리셋에서의 값
06h, 106h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
86h, 186h	TRISB	포트 B 방향 설정 레지스터								1111 1111	1111 1111
81h, 181h	OPTION_REG	RBPUR	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111

범례 : x = 알수없음 , u = 변하지 않음 . 빗금친 부분은 포트 B 와는 관련이 없음 .

## 4.3 PORTC 와 TRISC 레지스터

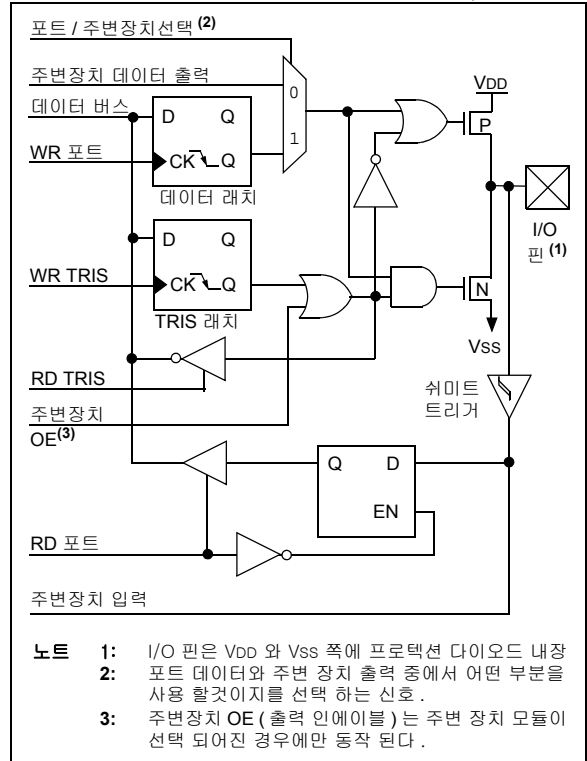
포트 C 는 8 비트 크기의 양방향 포트이며 포트의 방향을 설정 하는 레지스터는 TRISC 레지스터이다 . 따라서 TRISC 레지스터의 해당 비트를 1 로 셋트 (= 1) 하면 그 포트는 입력으로 설정 (하이 - 임피던스 모드) 되며 0 으로 클리어 (= 0) 시키면 출력으로 설정 (출력 래치의 값이 선택 된 핀으로 출력 됨) 된다 .

포트 C 는 여러 주변 장치 기능과 함께 사용 된다 ( 테이블 4-5). 포트 C 핀들은 슈미트 트리거 입력 버퍼의 구조를 가지고 있다 .

주변 장치 기능이 인에이블 되어 있을 때에는 각 포트 C 의 TRIS 비트 설정에는 주의를 할 필요가 있다 . 어떤 주변 장치들은 TRIS 비트들을 출력 핀으로 설정 할 필요가 있고 또 어떤 주변 장치들은 입력 핀으로 설정 할 필요가 있기 때문이다 . 이와 같은 이유 때문에 주변 장치 모듈이 인에이블 되어 있는 경우에는 TRISC 를 연산의 목적으로 하는 읽기 - 변경 - 쓰기 명령 (BSF, BCF, XORWF) 의 사용은 피하여야 한다 .

사용자는 정확한 TRIS 비트를 셋팅 하기 위해서 주변 장치 모듈 부분을 참조 하여야만 하며 읽기 - 변경 - 쓰기의 자세한 사항은 **섹션 13.1 驚鬧 - 변경 - 쓰기 동작** 부분을 참조 하기를 바란다 .

그림 4-5: 포트 C 블럭 다이어그램 ( 주변 장치 출력 포함 )



테이블 4-5: 포트 C 기능

이름	비트 #	버퍼 타입	기능
RC0/T1OSO/T1CKI	비트 0	ST	입력 / 출력 포트 핀 또는 타이머 1 오실레이터 출력 / 타이머 1 클럭 입력
RC1/T1OSI/CCP2	비트 1	ST	입력 / 출력 포트 핀 또는 타이머 1 오실레이터 입력 또는 캡처 2 입력 / 컴퍼어 2 출력 / PWM 2 출력
RC2/CCP1	비트 2	ST	입력 / 출력 포트 핀 또는 캡처 1 입력 / 컴퍼어 1 출력 / PWM 1 출력
RC3/SCK/SCL	비트 3	ST	SPI 와 I <sup>2</sup> C™ 모드에서 RC3 은 또한 동기 직렬 클럭 핀으로 사용 가능
RC4/SDI/SDA	비트 4	ST	RC4 핀은 SPI 데이터 - 인 (SPI 모드) 또는 데이터 I/O (I <sup>2</sup> C™ 모드) 로 사용 가능 .
RC5/SDO	비트 5	ST	입력 / 출력 포트 핀 또는 SSP 데이터 출력 핀
RC6/TX/CK	비트 6	ST	입력 / 출력 포트 핀 또는 USART 비 동기 송신 핀 또는 동기 클럭 핀
RC7/RX/DT	비트 7	ST	입력 / 출력 포트 핀 또는 USART 비 동기 수신 핀 또는 동기 데이터 핀

범례 : ST = 슈미트 트리거 입력

테이블 4-6: 포트 C 와 관련이 되는 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 상태에서의 값	다른 모든 리셋에서의 값
07h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
87h	TRISC	포트 C 방향 설정 레지스터								1111 1111	1111 1111

범례 : x = 알수 없음 , u = 변하지 않음

# PIC16CR7X

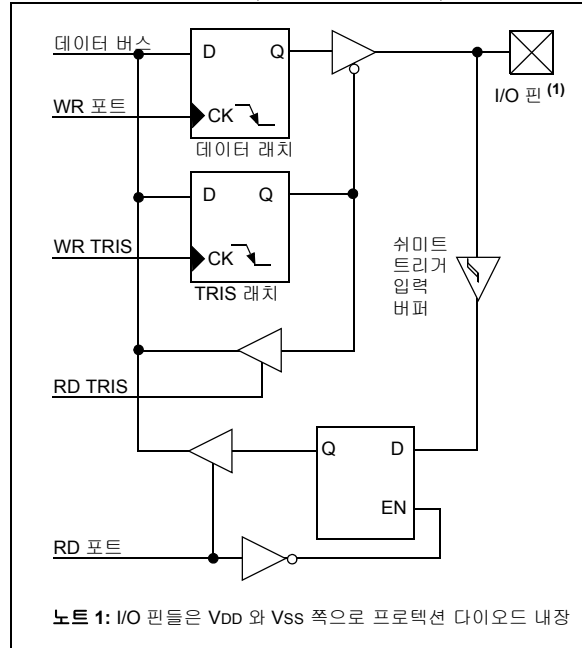
## 4.4 PORTD 와 TRISD 레지스터

이 단원은 PIC16CR73 과 PIC16CR76 디바이스에는 적용 되지 않는다 .

포트 D 는 슈미트 트리거 입력 버퍼의 구조를 가진 8 비트 포트이다 . 각각의 핀은 개별적으로 입력 또는 출력으로 구성 시킬 수 있다 .

포트 D 는 PSPMODE (TRISE<4>) 비트를 1 로 셋팅 하면 8비트 단위로 마이크로 프로세서와의 인터페이스가 가능한 구조 (PSP : 병렬 슬레이브 포트) 로 변화 된다 . 이 모드에서는 TTL 입력 버퍼의 구조를 가진다 .

그림 4-6: 포트 D 블록 다이어그램 ( I/O 포트 모드 )



테이블 4-7: 포트 D 기능

이름	비트 #	버퍼 타입	기능
RD0/PSP0	비트 0	ST/TTL <sup>(1)</sup>	입력 / 출력 포트 핀 또는 페러럴 슬레이브 포트 비트 0
RD1/PSP1	비트 1	ST/TTL <sup>(1)</sup>	입력 / 출력 포트 핀 또는 페러럴 슬레이브 포트 비트 1
RD2/PSP2	비트 2	ST/TTL <sup>(1)</sup>	입력 / 출력 포트 핀 또는 페러럴 슬레이브 포트 비트 2
RD3/PSP3	비트 3	ST/TTL <sup>(1)</sup>	입력 / 출력 포트 핀 또는 페러럴 슬레이브 포트 비트 3
RD4/PSP4	비트 4	ST/TTL <sup>(1)</sup>	입력 / 출력 포트 핀 또는 페러럴 슬레이브 포트 비트 4
RD5/PSP5	비트 5	ST/TTL <sup>(1)</sup>	입력 / 출력 포트 핀 또는 페러럴 슬레이브 포트 비트 5
RD6/PSP6	비트 6	ST/TTL <sup>(1)</sup>	입력 / 출력 포트 핀 또는 페러럴 슬레이브 포트 비트 6
RD7/PSP7	비트 7	ST/TTL <sup>(1)</sup>	입력 / 출력 포트 핀 또는 페러럴 슬레이브 포트 비트 7

범례 : ST = 슈미트 트리거 입력 , TTL = TTL 입력

노트 1: I/O 모드로 사용이 되는 경우는 입력 버퍼는 슈미트 트리거 입력으로 사용되며 만약 병렬 슬레이브 포트 모드로 사용이 되면 입력 버퍼는 TTL 입력으로 설정 된다 .

테이블 4-8: 포트 D 와 관련이 되는 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 상태에서의 값	다른 모든 리셋에서의 값
08h	PORTD	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	uuuu uuuu
88h	TRISD	포트 D 방향 설정 레지스터								1111 1111	1111 1111
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE 방향 설정 비트			0000 -111	0000 -111

범례 : x = 알수없음 , u = 변하지 않음 , - = 정의 되지 않았음 , 항상 0 으로 워킹 . 빗금 친 부분은 포트 D 에서는 사용 되지 않음 .

## 4.5 PORTE 와 TRISE 레지스터

이 단원은 PIC16CR73 과 PIC16CR76 디바이스에는 적용 되지 않는다 .

포트 E 는 RE0/ $\overline{RD}$ /AN5, RE1/ $\overline{WR}$ /AN6 그리고 RE2/ $\overline{CS}$ /AN7 와 같은 세개의 핀을 가지고 있으며 이 핀들은 각각 입력 또는 출력으로 구성 시킬 수가 있다 . 또한 이 핀들은 슈미트 트리거 입력 버퍼의 형태를 가지고 있다 .

I/O 포트 E 는 PSPMODE (TRISE<4>) 비트가 1 로 셋트 되어져 있을 때 마이크로 프로세서 포트를 위한 제어 입력 핀으로 구성 된다 . 따라서 사용자는 이러한 모드를 사용 하기 위해서는 TRISE<2:0> 비트들이 1 로 셋트가 되어 있는지를 확인 하여야 하며 ( 핀들이 디지털 입력으로 구성 되어야 한다 ) 또한 ADCON1 레지스터가 디지털 입력 / 출력으로 구성 되어져 있는지를 확인 하여야만 한다 . 이 모드에서 입력 버퍼는 TTL 이다 .

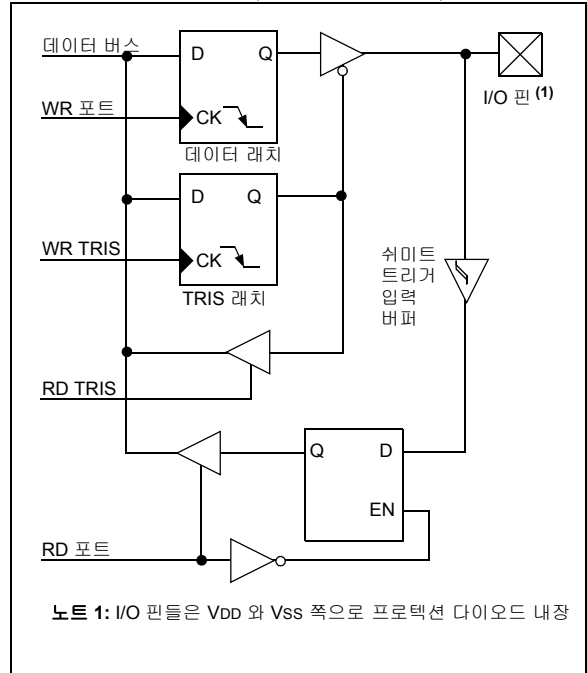
레지스터 4-1 는 TRIS 레지스터의 구조와 를 PSP 제어 동작을 보여 주고 있다 .

포트 E 핀들은 아날로그 입력 핀들과 공용으로 사용 가능하다 . 아날로그 입력핀으로 선택이 되면 이 핀들은 '0' 으로 워힐것이다 .

RE 핀들이 아날로그 입력 핀으로 사용 된다 할지라도 TRISE 를 이용 하여 RE 핀들의 방향을 제어 할 수 있다 . 따라서 사용자는 이 핀들이 아날로그 입력으로 사용 될 때 반드시 입력 핀으로 구성 되었는지를 확인 하여야만 한다 .

**노트 :** POR( 파워 - 온 리셋 ) 상태에서 이 핀들은 아날로그 입력 상태로 구성 되어지며 항상 0 으로 워힌다 .

그림 4-7: 포트E 블록 다이어그램 ( I/O 포트 모드 )



# PIC16CR7X

레지스터 4-1: TRISE: ( 어드레스 89h)

R-0	R-0	R/W-0	R/W-0	U-0	R/W-1	R/W-1	R/W-1
IBF	OBF	IBOV	PSPMODE	—	비트 2	비트 1	비트 0
비트 7							비트 0

**범례 :**

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않은 비트, 항상 '0' 으로 읽힘  
 -n = POR 상태의 값                      '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 비트 값을 알수 없음

- 비트 7                      **병렬 슬레이브 포트 상태 / 제어 비트 :**  
**IBF:** 입력 버퍼 풀 상태 비트  
 1 = 데이터가 수신 되었으며 CPU 에 의해서 읽혀 지기길 기다리고 있음 .  
 0 = 수신 된 데이터가 없음 .
- 비트 6                      **OBF:** 출력 버퍼 풀 상태 비트  
 1 = 출력 버퍼가 아직도 이전에 쓰여진 값을 가지고 있다 .  
 0 = 출력 버퍼가 읽혀 졌다 .
- 비트 5                      **IBOV:** 입력 버퍼 오버플로우 검출 비트 ( 마이크로 프로세서 모드에서 )  
 1 = 이전에 입력 된 데이터가 아직 읽혀 지지 않은 상태에서 쓰기 동작이 발생 되었을 경우  
       ( 반드시 소프트웨어에서 클리어 시켜야 함 ).  
 0 = 오버플로우가 발생 되지 않았다 .
- 비트 4                      **PSPMODE:** PSP 모드 선택 비트  
 1 = 페러럴 슬레이브 포트 (PSP) 모드  
 0 = 범용 I/O 모드
- 비트 3                      **정의 되지 않았음 :** 항상 '0' 으로 읽힘
- 비트 2                      **포트 E 방향 설정 비트 :**  
**비트 2:** RE2/ $\overline{\text{CS}}$ /AN7 핀 방향 제어 비트  
 1 = 입력  
 0 = 출력
- 비트 1                      **비트 1:** RE1/ $\overline{\text{WR}}$ /AN6 핀 방향 제어 비트  
 1 = 입력  
 0 = 출력
- 비트 0                      **비트 0:** RE0/ $\overline{\text{RD}}$ /AN5 핀 방향 제어 비트  
 1 = 입력  
 0 = 출력



테이블 4-9: 포트 E 기능

이름	비트 #	버퍼 타입	기능
RE0/RD/AN5	비트 0	ST/TTL <sup>(1)</sup>	입력 / 출력 포트 핀 또는 PSP 모드에서 읽기 제어 입력 또는 아날로그 입력 RD 인 경우 (PSP 모드): 1 = 동작 하지 않음 . 0 = 읽기 동작 . PORTD 레지스터의 값이 포트 D I/O 핀으로 출력 됨 ( 만약 칩이 선택 되었을 경우 ).
RE1/WR/AN6	비트 1	ST/TTL <sup>(1)</sup>	입력 / 출력 포트 핀 또는 PSP 모드에서 쓰기 제어 입력 또는 아날로그 입력 WR 인 경우 (PSP 모드): 1 = 동작 하지 않음 . 0 = 쓰기 동작 . 포트 D I/O 핀의 상태가 포트 D 레지스터로 쓰여 짐 ( 만약 칩이 선택 되었을 경우 ).
RE2/CS/AN7	비트 2	ST/TTL <sup>(1)</sup>	입력 / 출력 포트 핀 또는 PSP 모드에서 칩 선택 제어 입력 또는 아날로그 입력 CS 인 경우 (PSP 모드): 1 = 디바이스가 선택 되지 않았음 . 0 = 디바이스가 선택 되었음 .

범례 : ST = 슈미트 트리거 입력 , TTL = TTL 입력

노트 1: I/O 모드로 사용이 되는 경우는 입력 버퍼는 슈미트 트리거 입력으로 사용되며 만약 병렬 슬레이브 포트 모드로 사용이 되면 입력 버퍼는 TTL 입력으로 설정 된다 .

테이블 4-10: 포트 E 와 관련이 되는 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 상태에서의 값	다른 모든 리셋에서의 값
09h	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE 방향 설정 비트			0000 -111	0000 -111
9Fh	ADCON1	—	—	—	—	—	PCFG2	PCFG1	PCFG0	---- -000	---- -000

범례 : x = 알수없음 , u = 변하지 않음 , - = 정의 되지 않았음 , 항상 0으로 워킹 . 빗금 친 부분은 포트 E 에서는 사용 되지 않음 .

# PIC16CR7X

## 4.6 PSP

병렬 슬레이브 포트 (PSP) 기능은 PIC16CR73 또는 PIC16CR76 에서는 구현 되지 않는다.

포트 D 는 PSMODE (TRISE<4>) 제어 비트가 1 로 셋트 되어 있으면 8 비트 크기의 병렬 슬레이브 포트 또는 마이크로 프로세서 포트로 동작 된다. 슬레이브 모드에서는 읽기 제어 입력 신호 핀 RE0/RD 그리고 출력 제어 입력 신호 핀 RE1/WR 그리고 칩 선택 제어 입력 핀 RE2/CS 을 이용 하여 외부 시스템으로부터 비동기 적으로 데이터를 읽거나 쓸 수가 있다.

PSP 기능을 이용 하면 다른 8 비트 마이크로 프로세서의 bus와 직접 인터페이스가 가능하다. 외부 마이크로 프로세서는 8 비트 래치의 기능을 하는 포트 D 래치에 데이터를 쓰거나 또는 읽을 수가 있다. PSMODE 비트를 인에이블 하면 RE0/RD 핀은 RD 입력 핀으로, RE1/WR 핀은 WR 입력 핀으로 RE2/CS 핀은 CS (칩 선택) 입력 핀으로 동작 된다. 이러한 기능을 사용 하기 위해서는 TRISE 레지스터 (TRISE<2:0>) 를 조절 하여 이 핀들을 반드시 입력으로 셋팅 하여 주어야 한다. 또한 A/D 포트 구성 비트 PCFG3:PCFG0 (ADCON1<3:0>) 를 조절 하여 RE2:RE0 핀들이 디지털 입력으로 구성 되게끔 만들어 주어야 한다.

실지로 포트 D 에는 데이터 입력 (외부 쓰기) 과 출력 (외부 읽기) 을 위한 2 개의 8 비트 래치가 존재 하고 있다. 펌웨어 적으로 포트 D 출력 데이터 래치로 8 비트 데이터를 쓰고 포트 D 입력 데이터 래치로 부터 데이터를 읽는다 (두개 모두 같은 어드레스를 가지고 있다). 이 모드에서는 외부 디바이스가 데이터의 흐름의 방향을 조절 하기 때문에 TRISD 레지스터는 무시 된다.

CS 과 WR 라인을 모두 로우 상태로 만든후에 외부에서 PSP 모듈로 데이터를 쓸 수가 있다. 펌웨어는 이 시간 동안에 포트 D 핀에 실린 실질적인 데이터를 읽을 수가 있다. CS 또는 WR 라인이 하이 상태 (레벨 트리거) 로 되면 포트 D 핀 상의 데이터가 내부로 래치 되고 입력 버퍼 풀 상태 비트 IBF (TRISE<7>) 와 인터럽트 요구 플래그 PSPIF (PIR1<7>) 는 Q4 클럭 사이클에서 1 로 셋트가 되고 다음 2 클럭 사이클에서 쓰기가 완료 된다 (그림 4-9). 펌웨어는 포트 D 래치 데이터를 읽음으로써 IBF 플래그를 클리어 하고 PSPIF 플래그를 클리어 시킨다.

입력 버퍼 오버플로우 (IBOV) 상태 플래그 비트 (TRISE<5>) 는 이전에 외부에서 쓰기가 발생 되어 IBF 비트가 1 로 셋트 되어 있는 상황에서 다시 PSP 모듈로 외부에서 쓰기가 발생 하면 1 로 셋트 된다. 이 경우 포트 D 는 새로운 데이터로 겹쳐 쓰여 지며 IBOV 는 포트 D 를 읽음으로써 0 으로 클리어 된다.

CS 핀과 RD 핀이 로우 상태일때 PSP 모듈로 부터 데이터를 읽을 수 있다. 포트 D 출력 래치의 데이터는 포트 D 상으로 출력 된다. 외부 bus에 의하여 데이터가 읽혀지거나 포트 D 래치가 읽혀 졌을 경우는 출력 버퍼 풀 (OBF) 상태 플래그 비트 (TRISE<6>) 는 즉시 클리어 된다 (그림 4-10). 만약 이 시간 동안에 펌웨어가 새로운 데이터를 출력 래치에 쓰면 그 데이터는 즉시 포트 D 핀으로 출력 될 것이다. 그러나 OBF 는 0 으로 클리어 된 상태를 유지 할 것이다.

CS 또는 RD 핀이 하이 상태가 되면 포트 D 출력은 디제이블 되고 인터럽트 요구 플래그인 PSPIF 비트는 Q4 클럭 사이클에서 1 로 셋트 되고 다음 Q2 클럭 사이클에서 읽기가 완료 된다. OBF 비트는 새로운 데이터가 포트 D 에 쓰여 질 때까지 로우 상태를 유지 할 것이다.

PSP 모드가 아닌 경우 IBF 와 OBF 비트는 항상 클리어 상태를 유지 한다. IBOV 비트는 변하지 않은 상태를 유지 한다. PSPIF 비트는 펌웨어적으로 사용자에게 의하여 반드시 클리어 되어야만 한다; 인터럽트는 인터럽트 인에이블 비트인 PSPIE (PIE1<7>) 비트를 클리어 함으로써 디제이블 시킬 수 있다.

그림 4-8: 포트 D 와 포트 E 블럭다이아그램 (병렬 슬레이브포트)

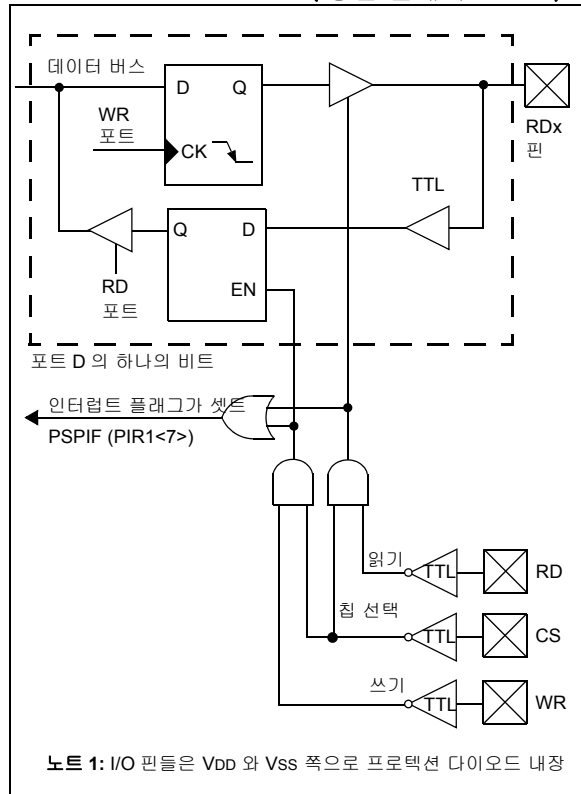


그림 4-9: 병렬 슬레이브 포트 쓰기 파형

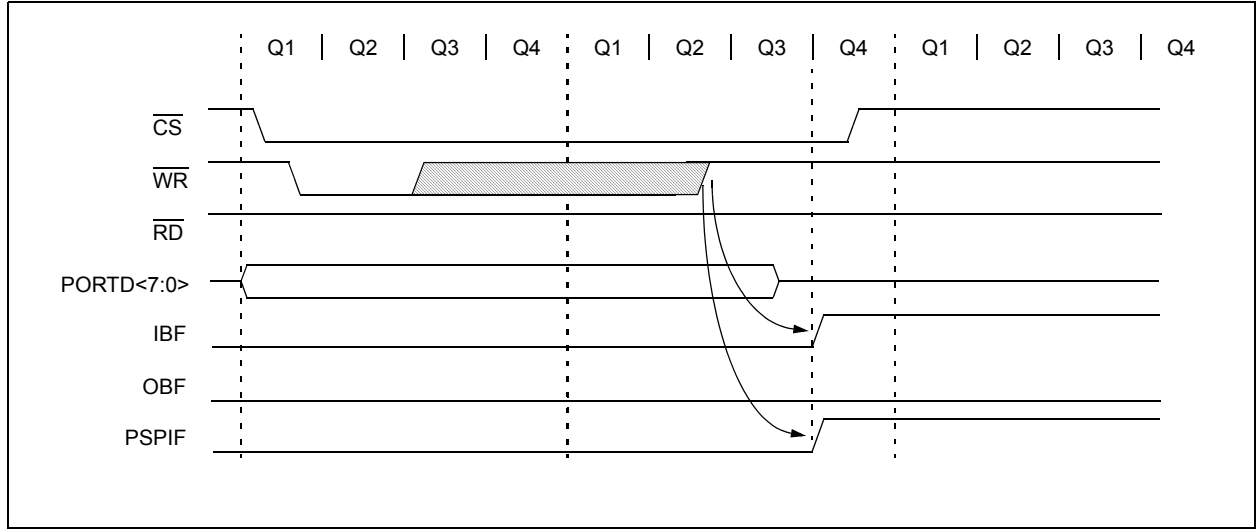
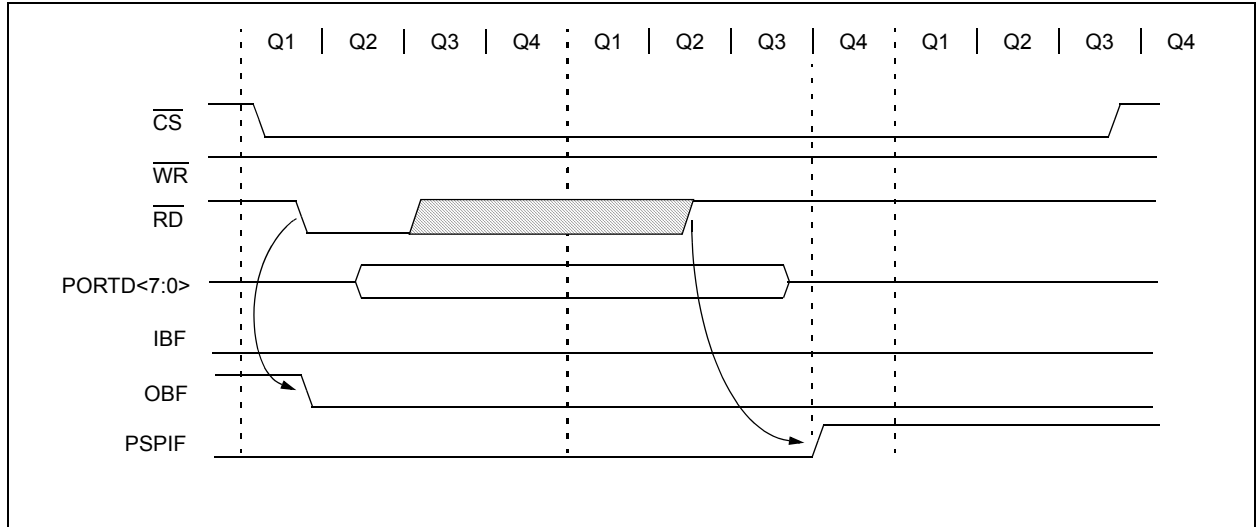


그림 4-10: 병렬 슬레이브 포트 읽기 파형



테이블 4-11: 병렬 슬레이브 포트와 관련이 많은 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 상태에서의 값	다른 모든 리셋에서의 값
08h	PORTD	쓰는 포트 레지스터 래치에 : 읽을 때는 포트 핀을 읽음								xxxx xxxx	uuuu uuuu
09h	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	포트 E 방향 설정 비트			0000 -111	0000 -111
0Ch	PIR1	PSPIF(1)	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE(1)	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
9Fh	ADCON1	—	—	—	—	—	PCFG2	PCFG1	PCFG0	---- -000	---- -000

범례 : x = 알수없음, u = 변하지 않음, - = 정의 되지 않았음, 항상 0으로 읽힘. 빗금 친 부분은 PSP에서는 사용되지 않음.

노트 1: PSPIE와 PSPIF 비트는 PIC16CR73/76에서는 예약이 되어 있으며 항상 0을 유지한다.

# PIC16CR7X

---

NOTE:



# PIC16CR7X

## 5.2 외부 클럭을 사용한 타이머 0

프리스케일러가 사용되지 않으면 외부 클럭 입력은 프리스케일러 출력과 동일하다. T0CKI 핀의 내부 위상 클럭과의 동기화는 내부 위상 클럭의 Q2와 Q4 사이클에서 프리스케일러 출력의 샘플링에 의하여 이루어진다. 그러므로 T0CKI 핀으로 공급되는 펄스를 최소화

하이 구간에서 2Tosc (20 ns의 작은 RC 시간 지연) 로  
우 구간에서 2Tosc (20 ns의 작은 RC 시간 지연) 를  
유지시키는 것이 필요하다. 보다 자세한 사항은 사  
용하는 디바이스의 전기적인 특성 부분을 참조하기를  
바란다.

레지스터 5-1: OPTION\_REG:

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
$\overline{\text{RBP}}\text{U}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
비트 7							비트 0

**범례 :**

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의되지 않은 비트, 항상 '0'으로 읽힘  
-n = POR 상태에서의 값                '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 비트 값을 알 수 없음

- 비트 7                 **$\overline{\text{RBP}}\text{U}$ :** 포트 B 풀-업 인에이블 비트 (섹션 2.2.2.2 OPTION\_REG 레지스터 참조)
- 비트 6                **INTEDG:** 외부 인터럽트 에지 선택 비트 (섹션 2.2.2.2 OPTION\_REG 레지스터 참조)
- 비트 5                **T0CS:** TMR0 클럭 소스 선택 비트  
1 = T0CKI 핀으로 공급되는 클럭에 의해 타이머 0 레지스터를 증가 시킴  
0 = 내부 명령어 사이클 클럭 (CLKOUT)에 의해 타이머 0 레지스터를 증가 시킴
- 비트 4                **T0SE:** TMR0 소스 에지 선택 비트  
1 = 타이머 0 레지스터를 T0CKI 핀으로 공급되는 펄스의 하강 에지에서 증가 시킴  
0 = 타이머 0 레지스터를 T0CKI 핀으로 공급되는 펄스의 상승 에지에서 증가 시킴
- 비트 3                **PSA:** 어떤 모듈 쪽으로 프리스케일러를 할당 시키는지를 선택 하는 비트  
1 = WDT 쪽으로 프리스케일러를 할당 시킴  
0 = 타이머 0 모듈 쪽으로 프리스케일러를 할당 시킴
- 비트 2-0             **PS2:PS0:** 프리스케일러 비율 선택 비트

비트 값	TMR0 분주비	WDT 분주비
000	1 : 2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

**노트 :** 프리스케일러를 타이머 0와 WDT 모듈 사이에서 변경 시키고자 하는 경우 예상치 않은 디바이스 리셋을 피하기 위하여 명령어 순서는 예제 5-1 과 예제 5-2 에 나타낸것처럼 실행 되어야만 한다. 이 순서는 WDT 모듈이 디제이블 되어 있다 할지라도 실행 되어야만 한다.

## 5.3 프리스케일러

PIC 마이크로 컨트롤러 타이머 0 모듈에는 하나의 프리스케일러를 가지고 있다 ; 이 프리스케일러는 타이머 0 모듈 또는 WDT 모듈 둘 중 하나로 이용 될 수 있다 . 즉 프리스케일러가 타이머 0 모듈 쪽으로 할당 되었다면 WDT 를 위한 프리스케일러는 존재 하지 않는다 . 물론 그 반대의 개념도 성립된다 . 프리스케일러는 사용자가 읽거나 쓸수가 없다 ( 그림 5-1 참조 ).

PSA 와 PS2:PS0 비트는 (OPTION\_REG<3:0>) 프리스케일러를 어느쪽으로 할당 시킬것인가를 결정 하며 또한 분주비를 결정 한다 . 프리스케일러의 할당에 대한 예는 아래와 같이 예제 5-1 과 예제 5-2 를 통하여 알 수 있다 . 아래 예에서 프리스케일러가 1:1 아닌 분주비를 가진 WDT 쪽으로 할당 되었다면 라인 2 와 3 은 ( 빗금 쳐진 부분 ) 옵션 라인이 된다 . 그러나 만약 1:1 분주비가 사용 된다면 이 두 라인은 반드시 사용 되어야만 하고 최종 1:1 분주비는 라인 10 과 11 ( 빗금 쳐진

부분 ) 에서 셋팅이 된다 ( 라인 넘버는 단순히 설명을 위하여 첨가 되었으며 실제 코드에서는 표시 되지 않는다 ) .

프리스케일러가 타이머 0 모듈로 할당 되었을 때 타이머 0 레지스터로 값을 쓰는 모든 명령어(예를들어 CLRWF 1, MOVWF 1, BSF 1, x... 등.)들이 실행이 되면 프리스케일러를 카운터 값을 0 으로 클리어 시킬 것이다 . WDT 쪽으로 할당이 되었을 때 CLRWDT 명령의 실행은 위치 - 록 타이머와 함께 프리스케일러 카운터 값을 클리어 시킬 것이다 .

**노트 :** 프리스케일러가 타이머 0 모듈 쪽으로 할당 되었을 때 타이머 0 레지스터에 값을 쓰면 프리스케일러 카운터 값은 0 으로 클리어 되지만 프리스케일러 할당 값 그 자체는 변하지 않는다 .

### 예제 5-1: 프리스케일러를 타이머 0 모듈로 부터 WDT 쪽으로 변경

```

1) BSF STATUS, RP0 ; बैंक 1
2) MOVLW b'xx0x0xxx' ; 클럭 소스와 분주비가 1:1 이 아닌 프리스케일러
3) MOVWF OPTION_REG ; 값을 선택
4) BCF STATUS, RP0 ; बैंक 0
5) CLRWF TMR0 ; TMR0 레지스터와 프리스케일러 카운터 값을 클리어 시킴
6) BSF STATUS, RP1 ; बैंक 1
7) MOVLW b'xxxxlxxx' ; WDT 선택 , 프리스케일러 값을 변경 시키지 않음
8) MOVWF OPTION_REG
9) CLRWDT ; WDT 와 프리스케일러 카운터 클리어 시킴
10) MOVLW b'xxxxlxxx' ; 새로운 프리스케일러 값과 WDT 를 선택
11) MOVWF OPTION_REG
12) BCF STATUS, RP0 ; बैंक 0
    
```

### 예제 5-2: 프리스케일러를 WDT 로 부터 타이머 0 모듈 쪽으로 변경

```

CLRWDT ; WDT 과 프리스케일러 카운터를 클리어 시킴
BSF STATUS, RP0 ; बैंक 1
MOVLW b'xxxx0xxx' ; 타이머 0 선택 , 새로운 프리스케일러
MOVWF OPTION_REG ; 값과 클럭 소스 셋팅
BCF STATUS, RP0 ; बैंक 0
    
```

### 테이블 5-1: 타이머 0 모듈과 관련 된 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 상태의 값	다른 모든 리셋의 값
01h,101h	TMR0	타이머 0 모듈 레지스터								xxxx xxxx	uuuu uuuu
0Bh,8Bh, 10Bh,18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
81h,181h	OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111

범례 : x = 알수 없음 , u = 변하지 않음 , - = 정의 되지 않은 영역 , 항상 0 으로 읽힘 . 빗금 친 부분은 타이머 0 과 상관 없음

# PIC16CR7X

---

노트 :



## 6.0 타이머 1 모듈

타이머 1 모듈은 읽거나 쓰기가 가능한 두개의 8 비트 레지스터 (TMR1H 과 TMR1L) 로 구성 된 16 비트 타이머 또는 카운터로 동작 가능하다 . 타이머 1 레지스터 쌍 (TMR1H:TMR1L) 은 0000h 에서 부터 FFFFh 까지 증가 되며 그 이후 오버 - 플로우가 발생 되면서 0000h 로 되돌아 간다 . 이때 인터럽트 요구 플래그인 TMR1IF (PIR1<0>) 비트가 1로 셋트 된다 . 타이머 1 인터럽트는 타이머 1 인터럽트 인에이블 비트인 TMR1IE (PIE1<0>) 비트를 이용 하여 인에이블 또는 디제이블 시킬 수 있다 .

타이머 1 은 아래 두 모드 중 하나로 동작 가능 하다 :

- 타이머
- 카운터

동작 모드의 선택은 클럭 선택 비트인 TMR1CS (T1CON<1>) 비트에 의하여 결정 된다 .

타이머 모드에서 타이머 1 레지스터는 모든 명령어 사이클마다 증가 되며 카운터 모드에서는 외부에서 공급 되는 클럭의 모든 상승 에지에서 증가가 된다 .

타이머 1 모듈은 제어 비트인 TMR1ON (T1CON<0>) 비트를 이용 하여 인에이블 또는 디제이블 시킬 수 있다 .

또한 타이머 1 모듈은 내부 “리셋 입력” 을 가지고 있다 . 이 리셋 입력은 특별 이벤트 트리거의 기능을 가진 두개의 CCP 모듈 중 하나로 부터 발생 가능하다 . ( 섹션 8.1 과 8.2 참조) . 레지스터 6-1 은 타이머 1 제어 레지스터 구조를 보여 주고 있다 .

타이머 1 오실레이터 인에이블 비트 (T1OSCEN 비트가 1로 셋트) 가 인에이블 되어 있으면 RC1/T1OSI/CCP2 핀과 RC0/T1OSO/T1CKI 핀은 항상 입력 상태가 되며 TRISC<1:0> 비트들은 무시가 되고 항상 ‘0’ 으로 읽힌다 .

타이머 1 모듈에 대한 보다 더 자세한 사항은 “PICmicro® 미드 - 레인지 MCU 패밀리 참조 매뉴얼” (DS33023) 을 참조 하기를 바란다 .

레지스터 6-1: T1CON: 타이머 1 제어 ( 어드레스 10h)

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON
비트 7							비트 0

### 범례 :

R = 읽기 가능 비트      W = 쓰기 가능 비트      U = 정의 되지 않은 비트 , 항상 ‘0’ 으로 읽힘  
 -n = POR 상태에서의 값      ‘1’ = 비트가 셋트 됨      ‘0’ = 비트가 클리어 됨      x = 비트 값을 알 수 없음

비트 7-6      정의 되지 않은 영역 : 항상 ‘0’ 으로 읽힘

비트 5-4      **T1CKPS1:T1CKPS0:** 타이머 1 입력 클럭 프리스케일러 선택 비트

- 11 = 1:8 프리스케일러 값
- 10 = 1:4 프리스케일러 값
- 01 = 1:2 프리스케일러 값
- 00 = 1:1 프리스케일러 값

비트 3      **T1OSCEN:** 타이머 1 오실레이터 인에이블 제어 비트

- 1 = 오실레이터가 인에이블 됨
- 0 = 오실레이터가 디제이블 됨 ( 오실레이터 인버터는 파워 소비를 줄이기 위하여 오프 상태로 됨 )

비트 2      **T1SYNC:** 타이머 1 외부 클럭 입력 동기 제어 비트

- TMR1CS = 1:**  
 1 = 비 동기 된 외부 클럭 입력  
 0 = 동기 된 외부 클럭 입력

**TMR1CS = 0:**  
 이 비트는 무시 된다 . TMR1CS = 0 일 때는 타이머 1 모듈은 내부 클럭을 사용 한다 .

비트 1      **TMR1CS:** 타이머 1 클럭 소스 선택 비트

- 1 = RC0/T1OSO/T1CKI 핀으로부터 공급 되는 외부 클럭 ( 상승 에지에서 증가 됨 )
- 0 = 내부 클럭 (Fosc/4)

비트 0      **TMR1ON:** 타이머 1 On 비트

- 1 = 타이머 1 을 인에이블 시킴
- 0 = 타이머 1 을 멈춤

# PIC16CR7X

## 6.1 타이머 모드에서의 타이머 1 동작

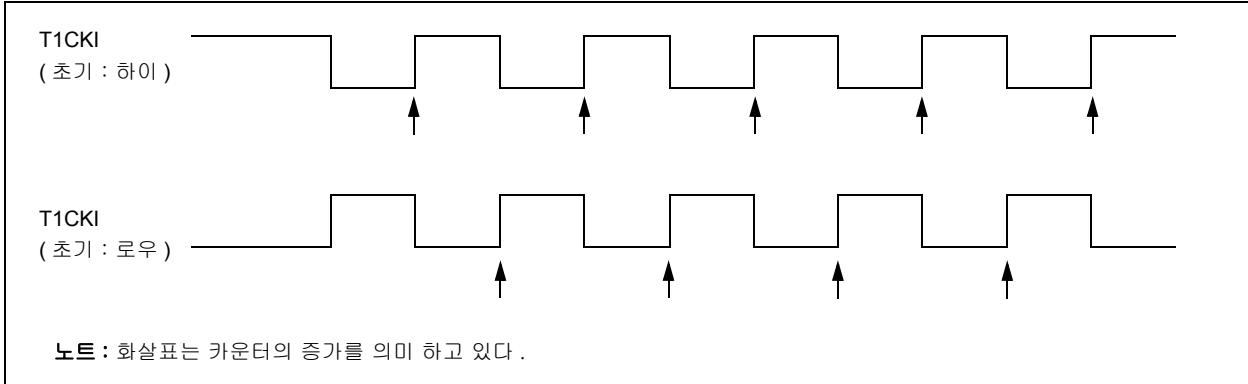
TMR1CS (T1CON<1>) 비트를 0으로 클리어 시키면 타이머 모드로 동작이 되고 이 모드에서는 타이머 모듈로 Fosc/4 클럭이 입력 된다. 따라서 내부 클럭은 항상 동기화 된 클럭이므로 동기 제어 비트인 T1SYNC (T1CON<2>) 는 무시가 된다.

## 6.2 타이머 1 카운터 동작

TMR1CS 비트를 조절 하면 타이머 1 모듈을 비동기 또는 동기 모드로 사용 가능하다.

타이머 1 모듈이 외부 클럭 소스에 의하여 증가 되는 경우 클럭의 상승 에지에서 이루어 진다. 타이머 1 이 카운터 모드로 인에이블 된 후 타이머 1 레지스터가 증가 되기 위해서는 이전에 반드시 한번은 하강 에지를 가지고 있어야 한다.

그림 6-1: TIMER1 INCREMENTING EDGE



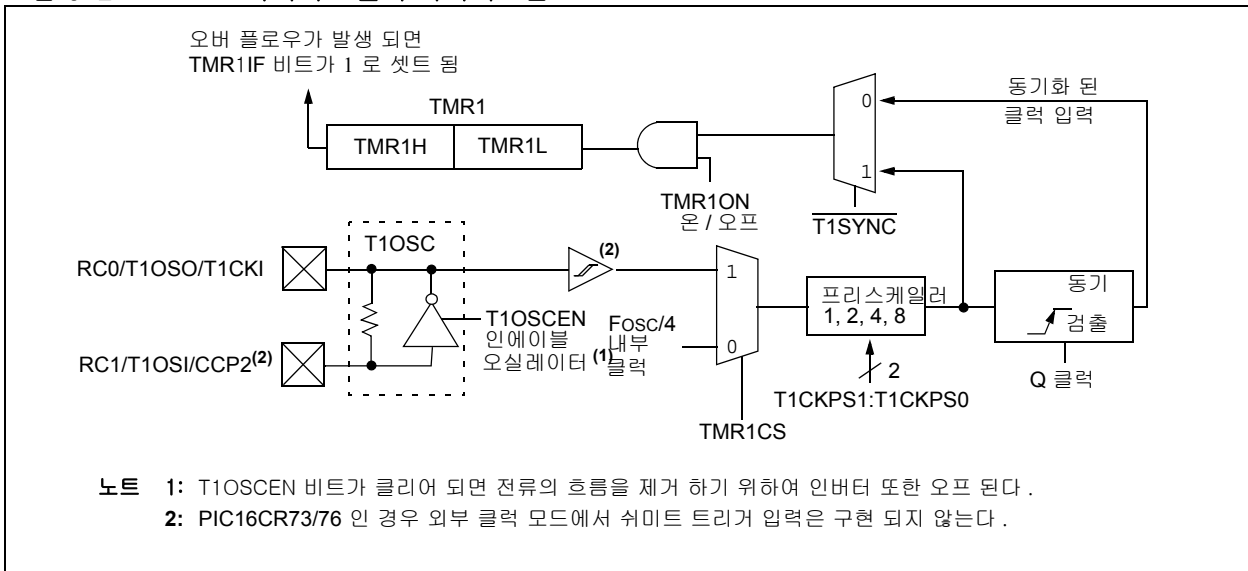
## 6.3 동기화 된 카운터 모드에서의 타이머 1 동작

TMR1CS 비트를 1로 셋트 하면 카운터 모드가 선택이 되며 이 모드에서는 T1OSCEN 비트가 인에이블 되어 있으면 RC1/T1OSI/CCP2 핀으로 공급 되는 클럭의 상승 에지에서 타이머 모듈이 증가 되며 만약 T1OSCEN 비트가 클리어 되어 있으면 RC0/T1OSO/T1CKI 핀으로 공급 되는 클럭의 상승 에지에서 타이머 모듈이 증가가 된다.

만약 T1SYNC 비트가 클리어 되어 있으면 외부에서 공급 되는 클럭은 내부 위상 클럭과 동기화 된다. 이러한 동기화는 프리스케일러 선택 이후에 이루어 진다. 프리스케일러 모듈은 비동기 리플 카운터이다.

이러한 구조 때문에 슬립 모드에서는 비록 외부 클럭이 동작 되고 있다 할지라도 동기 회로가 오프 상태로 되기 때문에 타이머 1 모듈은 증가 되지 않는다. 그러나 프리스케일러 카운터는 계속 증가가 될것이다.

그림 6-2: 타이머 1 블럭 다이어그램



## 6.4 비동기 카운터 모드에서의 타이머 1 동작

만약  $\overline{T1SYNC}$  (T1CON<2>) 비트가 1로 셋트 되면 외부 클럭 입력은 동기 되지 않는다. 타이머는 외부 클럭에 비동기로 증가를 한다. 타이머는 슬립 모드에서도 동작 가능하므로 오버플로우가 발생 되면 인터럽트를 발생시키고 프로세스를 깨울 수가 있다. 그러나 소프트웨어에서는 타이머를 읽고 쓰는 작업에는 약간의 주의가 필요하다. (섹션 6.4.1 비동기 카운터 모드에서 타이머 1을 읽고 쓰기) 부분을 참조.

비동기 카운터 모드에서 타이머 1은 캡처 또는 컴퍼어 모듈의 타임-베이스로는 사용 할 수가 없다.

### 6.4.1 비동기 카운터 모드에서 타이머 1을 읽고 쓰기

타이머가 외부 비동기 클럭으로부터 구동 되고 있을 때 TMR1H 또는 TMR1L 레지스터를 읽는 작업은 아무런 문제가 없다. (하드웨어 상으로 주의). 그러나 16 비트 타이머이므로 두개의 8 비트로 읽을 때 주의 할 필요가 있다. 타이머를 읽는 동안에 오버플로우가 발생 하는 등 문제가 발생 할 수 있기 때문이다.

쓰는 경우는 타이머를 멈추고 새로운 값을 쓰기 권장한다. 타이머가 증가 되고 있는 도중에 쓰기 작업을 한다면 어떤 문제를 일으킬 수 있기 때문이다. 이것은 타이머를 예상 할 수 없는 값으로 바꾸어 놓을 수도 있다.

16 비트 값을 읽는 경우는 약간의 주의가 필요하다. 예제 6-1 과 예제 6-2 는 타이머가 비동기 모드에서 구동 중일때 어떻게 쓰고 읽는지에 대한 예제 코드이다.

#### 예제 6-1: 동작 중인 16 비트 타이머에 쓰기

```
; 모든 인터럽트 디제이블 시킨다
CLRWF  TMR1L      ; 하위 바이트를 클리어 시킨다. TMR1H 속으로 롤 - 오버가 발생이 안되는지 확인
MOVLW  HI_BYTE    ; 값을 TMR1H 로 로드 시킴
MOVWF  TMR1H, F   ; 상위 바이트에 라이팅 한다.
MOVLW  LO_BYTE    ; 값을 TMR1L 로 로드 시킴
MOVWF  TMR1H, F   ; 하위 바이트에 라이팅 한다
; 인터럽트를 다시 인에이블 시킨다. ( 만약 필요 하다면 )
CONTINUE          ; 계속 코드를 수행 시킨다.
```

#### 예제 6-2: 동작 중인 16 비트 타이머 읽기

```
; 모든 인터럽트 디제이블 시킨다
MOVWF  TMR1H, W   ; 상위 바이트 읽기
MOVWF  TMPH
MOVWF  TMR1L, W   ; 하위 바이트 읽기
MOVWF  TMPL
MOVWF  TMR1H, W   ; 상위 바이트 읽기
SUBWF  TMPH, W    ; 처음 읽은 것에서 두번째 읽은 것을 뺀다
BTFSC  STATUS, Z  ; 결과가 0 인가?
GOTO   CONTINUE   ; 16 비트를 읽었다
; TMR1L 레지스터는 상위 바이트와 하위 바이트를 읽는 동안에 롤 - 오버 될 수도 있다.
; 상위 바이트와 하위 바이트를 지금 읽는 것은 좋은 값을 읽을 것이다.
MOVWF  TMR1H, W   ; 상위 바이트 읽기
MOVWF  TMPH
MOVWF  TMR1L, W   ; 하위 바이트 읽기
MOVWF  TMPL
; 인터럽트를 다시 인에이블 시킨다. ( 만약 필요 하다면 )
CONTINUE          ; 계속 코드를 수행 시킨다.
```

# PIC16CR7X

## 6.5 타이머 1 오실레이터

크리스탈 오실레이터 회로는 T1OSI ( 입력 ) 핀과 T1OSO ( 앰프 출력 ) 핀 사이에 구성 시킨다 . 그 회로는 T1OSCEN (T1CON<3>) 비트를 1 로 셋트 하면 구동이 시작 된다 . 사용 가능 한 오실레이터는 최대 200 kHz 까지이다 . 그 회로는 슬립 모드에서도 계속 구동이 되며 일반적으로 32 kHz 크리스탈이 사용 된다 . 테이블 6-1 은 타이머 1 오실레이터를 위한 콘덴서 선택 사양을 보여 주고 있다 .

타이머 1 오실레이터는 LP 오실레이터와 동일 하다 . 사용자는 안정적으로 오실레이터 구동 시작을 위하여 소프트웨어적으로 시간 지연을 제공 하여야 한다 .

## 6.6 CCP 트리거 출력을 사용하여 타이머 1의 초기화

만약 CCP1 또는 CCP2 모듈이 스페셜 이벤트 트리거 (CCP1M3:CCP1M0 = 1011) 를 발생 시키기 위한 컴퍼어 모드로 구성 되었다면 이 신호는 타이머 1 을 리셋 시킬 것이다 .

**노트 :** CCP1 과 CCP2 모듈로부터의 스페셜 이벤트 트리거의 발생은 타이머 1 인터럽트 요구 플래그인 TMR1IF (PIR1<0>) 비트를 1 로 셋트 하지는 않는다 .

이때 타이머 1 은 반드시 타이머 또는 동기 카운터 모드로 구성 되어 있어야 한다 . 만약 타이머 1 이 비동기 카운터 모드로 동작 하고 있다면 리셋 동작은 발생 하지 않을 것이다 .

타이머 1 에 쓰는 것과 CCP1 또는 CCP2 로 부터 스페셜 이벤트 트리거가 동시에 발생 된다면 쓰기 동작이 선행 될 것이다 .

이 모드 동작에서 CCPxH:CCPRxL 레지스터 쌍은 타이머 1 을 위한 주기 레지스터로 사용 된다 .

## 6.7 타이머 1 레지스터 쌍 (TMR1H, TMR1L)의 초기화

TMR1H 과 TMR1L 레지스터는 CCP1 또는 CCP2 의 스페셜 이벤트 트리거가 발생 되었을 경우를 제외 하고는 POR 또는 어떠한 리셋이 발생 되어도 00h 로 초기화가 되지 않는다 .

테이블 6-1: 타이머 1 오실레이터를 위한 콘덴서 선택

오실레이터 타입	주파수	사용된 콘덴서 :	
		OSC1	OSC2
LP	32 kHz	47 pF	47 pF
	100 kHz	33 pF	33 pF
	200 kHz	15 pF	15 pF

**디자인을 위한 참조 콘덴서 용량 값 .**  
이 콘덴서 용량은 일반적인 시작 시간과 동작을 위하여 아래에 제시된 크리스탈로 테스트 되었다 . 이 용량 값들은 100% 정확 하지는 않다 .  
정확한 오실레이터 동작을 위하여 다른 콘덴서 용량 값이 사용 될 수도 있다 . 따라서 사용자는 어플리케이션에 적용 되는 온도 범위 그리고 요구 되는 VDD 에 따라서 오실레이터의 성능을 테스트 할 필요가 있다 .  
자세한 사항은 아래 정보를 참조 할 것 .

사용된 크리스탈 :	
32.768 kHz	엡슨 C-001R32.768K-A
100 kHz	엡슨 C-2 100.00 KC-P
200 kHz	STD XTL 200.000 kHz

**노트 1:** 용량이 큰 콘덴서를 사용 할수록 오실레이터의 안정성을 가져 오지만 반면 디바이스의 시작 시간을 길게 만들것이다 .  
**2:** 각각의 크리스탈이나 레조네이터는 고유 특성을 가지고 있으므로 사용자는 외부에 부착 하여야 하는 정확한 콘덴서 값에 대해서는 제조사에게 문의 하는 것이 좋다 .

T1CON 레지스터는 POR(파워-온 리셋) 또는 BOR(라운 아웃 리셋) 상황에서는 00h 로 되고 이것은 타이머 1 모듈을 오프 시키며 프리스케일러 값을 1:1 로 셋팅 시킨다 . 다른 리셋 환경에서는 T1CON 레지스터는 영향을 받지 않는다 .

## 6.8 타이머 1 프리스케일러

프리스케일러 카운터는 TMR1H 또는 TMR1L 레지스터에 값을 쓸 때 클리어 된다 .

테이블 6-2: 타이머 / 카운터 개념의 타이머 1 모듈과 관련이 되는 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 상태의 값	다른 모든 리셋의 값
0Bh,8Bh, 10Bh,18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
0Eh	TMR1L	16 비트 TMR1 레지스터의 하위 바이트								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	16 비트 TMR1 레지스터의 상위 바이트								xxxx xxxx	uuuu uuuu
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNCR	TMR1CS	TMR1ON	--00 0000	--uu uuuu

**범례 :** x = 알수없음 , u = 변하지 않음 , - = 정의 되지 않았음 , 항상 0 으로 임함 . 빗금 친 부분은 타이머 1 모듈에서는 사용 되지 않음 .  
**노트 1:** PIC16CR73/76 에서 PSPIE 비트와 PSPIF 비트는 예약 되어 있으며 항상 클리어 되어 있음 .

## 7.0 타이머 2 모듈

타이머 2 모듈은 프리스케일러와 포스트 스케일러를 내장한 8 비트 타이머이다. 또한 타이머 2 모듈은 CCP 모듈 중 PWM 모듈의 타임-베이스로 사용될 수도 있다. TMR2 레지스터는 읽고 쓰기가 가능한 레지스터이며 어떠한 리셋에서도 클리어가 된다.

입력 클럭 (Fosc/4)은 1:1, 1:4 또는 1:16의 프리스케일 옵션을 가지고 있으며 그것은 T2CKPS1:T2CKPS0 (T2CON<1:0>) 비트에 의하여 선택된다.

타이머 2 모듈은 8 비트 주기 레지스터인 PR2 레지스터를 내장하고 있다. 타이머 2는 PR2 레지스터의 값과 같아 질때까지 증가되고 같아지면 다음 명령어 사이클에서 00h로 리셋된다. PR2 레지스터는 읽기와 쓰기가 가능한 레지스터이며 리셋 상태에서 FFh로 초기화가 된다.

TMR2와 PR2 레지스터의 값이 일치된 출력은 TMR2 인터럽트 (TMR2IF, PIR1<1>) 비트가 1로 셋트됨)를 발생시키기 위하여 4 비트 포스트 스케일러 (포스트 스케일러는 1:1에서 1:16까지의 분주비를 가진다)를 출력으로 들어 가게 된다.

타이머 2 모듈은 전력 소비를 최소화 하기 위하여 TMR2ON (T2CON<2>) 비트를 클리어 함으로써 오프시킬 수 있다.

레지스터 7-1은 타이머 2 제어 레지스터를 보여 주고 있다.

타이머 모듈에 대한 자세한 사항은 "PICmicro® 미드-레인지 MCU 패밀리 참조 메뉴얼" (DS33023)을 참조하기를 바란다.

## 7.1 타이머 2 프리 스케일러 및 포스트 스케일러

프리스케일러와 포스트 스케일러 카운터는 다음 조건이 발생 하였을 때 클리어 된다:

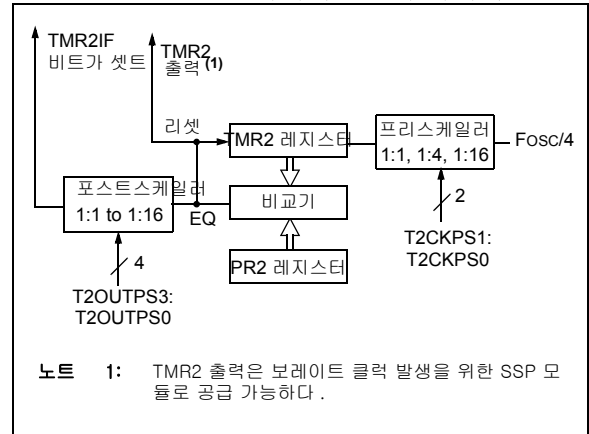
- TMR2 레지스터에 쓸 때
- T2CON 레지스터에 쓸 때
- 디바이스 리셋 발생 시 (POR, MCLR 리셋, WDT 리셋 또는 BOR)

TMR2는 T2CON에 값을 쓸 때는 클리어 되지 않는다.

## 7.2 TMR2의 출력

TMR2의 출력은 (포스트 스케일러 앞단) 쉬프트 클럭을 발생시키기 위하여 SSP 모듈로 공급 가능하다.

그림 7-1: 타이머 2 블록 다이어그램



# PIC16CR7X

레지스터 7-1: T2CON: 타이머 2 제어 ( 어드레스 12h)

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0
비트 7							비트 0

**범례 :**

R = 읽기 가능 비트            W = 쓰기 가능 비트            U = 정의 되지 않은 비트, 항상 '0' 으로 읽힘  
 -n = POR 상태에서의 값       '1' = 비트가 셋트 됨            '0' = 비트가 클리어 됨            x = 비트 값을 알 수 없음

- 비트 7            **정의 되지 않은 영역 :** 항상 '0' 으로 읽힘
- 비트 6-3        **TOUTPS3:TOUTPS0:** 타이머 2 출력 포스트 스케일러 선택 비트  
 0000 = 1:1 포스트 스케일러  
 0001 = 1:2 포스트 스케일러  
 0010 = 1:3 포스트 스케일러  
 .  
 .  
 .  
 1111 = 1:16 포스트 스케일러
- 비트 2            **TMR2ON:** 타이머 2 온 비트  
 1 = 타이머 2 모듈이 온 됨  
 0 = 타이머 2 모듈이 오프 됨
- 비트 1-0        **T2CKPS1:T2CKPS0:** 타이머 2 클럭 프리스케일러 선택 비트  
 00 = 프리스케일러는 1  
 01 = 프리스케일러는 4  
 1x = 프리스케일러는 16

테이블 7-1: 타이머 / 카운터 개념의 타이머 2 모듈과 관련이 되는 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 상태의 값	다른 모든 리셋의 값
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
11h	TMR2	타이머 2 모듈 레지스터								0000 0000	0000 0000
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
92h	PR2	타이머 2 주기 레지스터								1111 1111	1111 1111

**범례 :** x = 알수없음, u = 변하지 않음, - = 정의 되지 않았음, 항상 0 으로 읽힘. 빗금 친 부분은 타이머 2 모듈에서는 사용 되지 않음.  
**노트 1:** PIC16CR73/76 에서 PSPIE 비트와 PSPIF 비트는 예약 되어 있으며 항상 클리어 되어 있음.

## 8.0 캡처 / 컴페어 /PWM 모듈

각 캡처 / 컴페어 /PWM (CCP) 모듈은 아래와 같이 동작하는 16 비트 레지스터를 내장 하고 있다 :

- 16 비트 캡처 레지스터
- 16 비트 컴페어 레지스터
- PWM 마스터 / 슬레이브 듀티 사이클 레지스터

두개의 CCP1 과 CCP2 모듈은 스페셜 이벤트 트리거의 동작을 제외하면 모두 동일하게 동작 한다 . 테이블 8-1 과 테이블 8-2 는 리소스 및 CCP 모듈 사이의 상호 관계를 보여 주고 있다 . 이후 설명에서는 CCP1 을 기준으로 설명이 된다 . CCP2 는 앞에서 제기된 부분을 제외 하면 CCP1 모듈과 동일 하게 동작이 된다 .

### 8.1 CCP1 모듈

캡처 / 컴페어 /PWM 레지스터 1 (CCPR1) 은 두개의 8 비트 레지스터로 구성되어 있다 : CCPR1L ( 하위 바이트 ) 와 CCPR1H ( 상위 바이트 ). 또한 CCP1CON 레지스터는 CCP1 모듈의 동작을 제어 한다 . 스페셜 이벤트 트리거는 비교 되어 동일 하게 되면 발생 하게 되는데 이것이 발생 되면 TMR1H 와 TMR1L 레지스터를 0 으로 클리어 시킬 것이다 .

### 8.2 CCP2 모듈

캡처 / 컴페어 /PWM 레지스터 2 (CCPR2) 은 두개의 8 비트 레지스터로 구성되어 있다 : CCPR2L ( 하위 바이트 ) 와 CCPR2H ( 상위 바이트 ). 또한 CCP2CON 레지스터는 CCP2 모듈의 동작을 제어 한다 . 스페셜 이벤트 트리거는 비교 되어 동일 하게 되면 발생 하게 되는데 이것이 발생 되면 TMR1H 와 TMR1L 레지스터를 0 으로 클리어 시키며 만약 A/D 모듈이 인에이블 되어 있다면 A/D 컨버전을 시작 하게 된다 .

CCP 모듈에 대한 보다 자세한 내용은 “PICmicro® 미드-레인지 MCU 패밀리 참조 메뉴얼” (DS33023) 및 어플리케이션 노트 AN594, “CCP 모듈의 사용법” (DS00594) 를 참조 하기를 바란다 .

테이블 8-1: CCP 모드에서 요구 되는 타이머

CCP 모드	요구 되는 타이머
캡처	타이머 1
컴페어	타이머 1
PWM	타이머 2

테이블 8-2: 두개의 CCP 모듈의 상호 관계

CCPx 모드	CCPy 모드	상호 관계
캡처	캡처	같은 TMR1 타임 베이스를 이용 .
캡처	컴페어	같은 TMR1 타임 베이스를 이용 .
컴페어	컴페어	같은 TMR1 타임 베이스를 이용 .
PWM	PWM	PWM 모듈은 같은 주파수를 가지며 분주비를 업데이트 한다 (TMR2 인터럽트). 상승 에지에서 구동 된다 .
PWM	캡처	없음 .
PWM	컴페어	없음 .

# PIC16CR7X

레지스터 8-1: CCP1CON/CCP2CON: ( 어드레스 17h/1Dh)

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	—	CCPxX	CCPxY	CCPxM3	CCPxM2	CCPxM1	CCPxM0
비트 7							비트 0

**범례 :**

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않은 비트 . 항상 '0' 으로 읽힘  
 -n =POR 상태의 값                      '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 알수 없는 비트 값

비트 7-6                      정의 되지 않은 영역 : 항상 '0' 으로 읽힘

비트 5-4                      **CCPxX:CCPxY:** PWM LSB 비트

캡처 모드:

사용 되지 않음

컴페어 모드:

사용 되지 않음

PWM 모드:

이 비트들은 PWM 듀티 사이클의 하위 2 비트이다 . 상위 8 비트는 CCPxL 레지스터가 이용 된다 .

비트 3-0                      **CCPxM3:CCPxM0:** CCPx 모드 선택 비트

0000 = 캡처 / 컴페어 /PWM 디제이블 됨 (CCPx 모듈을 리셋 시킴 )

0100 = 캡처 모드 , 모든 하강 에지

0101 = 캡처 모드 , 모든 상승 에지

0110 = 캡처 모드 , 4 번째 상승 에지 마다

0111 = 캡처 모드 , 16 번째 상승 에지 마다

1000 = 컴페어 모드 , 일치 되면 하이 상태를 출력 시킴 (CCPxIF 비트는 1 로 셋트 됨 )

1001 = 컴페어 모드 , 일치 되면 로우 상태를 출력 시킴 (CCPxIF 비트는 1 로 셋트 됨 )

1010 = 컴페어 모드 , 일치 되면 소프트웨어 인터럽트를 발생 시킴 (CCPxIF 비트는 1 로 셋트 됨 , CCPx 핀은 변화가 없음 )

1011 = 컴페어 모드 , 스페셜 이벤트 트리거 발생 (CCPxIF 비트는 1 로 셋트 됨 , CCPx 핀은 변화가 없음 ; CCP1 은 타이머 1 을 클리어 시키며 CCP2 는 타이머 1 을 클리어 시킴과 동시에 만약 A/D 모듈이 인에이블 되어 있으면 A/D 변환을 시작 함 )

11xx = PWM 모드



## 8.3 캡처 모드

캡처 모드에서 RC2/CCP1 핀상에 이벤트가 발생이 되면 16 비트의 TMR1 레지스터의 값이 CCP1H:CCP1L 레지스터로 복사 된다. 이벤트는 아래와 같이 CCPxCON<3:0> 에서 정의 된 것중 하나로 정의 된다:

- 모든 하강 에지
- 모든 상승 에지
- 4 번째 상승 에지 마다
- 16 번째 상승 에지 마다

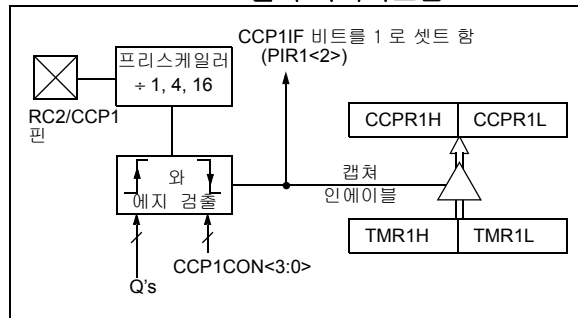
이벤트는 제어 비트인 CCP1M3:CCP1M0 (CCP1CON<3:0>) 에 의하여 선택 된다. 캡처가 발생이 되면 인터럽트 요구 플래그인 CCP1IF (PIR1<2>) 가 1 로 셋트 되고 이 인터럽트 요구 플래그는 소프트웨어적으로 반드시 클리어 되어야 한다. 만약 CCP1 레지스터를 읽기 전에 다른 캡처가 발생이 되면 이전의 캡처 값은 새로운 캡처 값으로 변경 될 것이다.

### 8.3.1 CCP 핀 구성

캡처 모드를 사용 하기 위해서는 TRISC<2> 비트를 조절 하여 RC2/CCP1 핀을 반드시 입력으로 구성 시켜야만 한다 ..

**노트 :** 만약 RC2/CCP1 핀이 출력으로 구성이 되었을 때 포트에 값을 출력을 시키면 이는 캡처 조건을 발생 시키는 원인이 될 수 있다 .

그림 8-1: 캡처 모드 동작 블록 다이어그램



### 8.3.2 타이머 1 모드 선택

CCP 모듈을 캡처 기능으로 사용 하기 위해서는 반드시 타이머 1 모듈은 타이머 모드 또는 동기 카운터 모드로 구동이 되어야만 한다. 비동기 카운터 모드에서는 캡처 기능은 동작 되지 않는다 .

### 8.3.3 소프트웨어 인터럽트 모드

캡처 모드가 변경 되었을 때 예상치 않은 인터럽트가 발생 될 수 있기 때문에 사용자는 예상치 않은 인터럽트를 피하기 위하여 동작 모드를 바꾸는 경우 반드시 CCP1IE (PIE1<2>) 비트 및 CCP1IF 인터럽트 요구 플래그를 클리어 시켜야 한다 .

### 8.3.4 CCP 프리스케일러

캡처 모드 사용시 CCP1M3:CCP1M0 비트에 의해 정의 되는 네가지 프리스케일러 셋팅 방법이 있다 . CCP 모듈이 꺼져 있거나 CCP 모듈이 캡처 모드가 아닌 경우 프리스케일러 카운터는 클리어 된다 . 다양한 리셋 또한 프리스케일러 카운터를 클리어 시킬 것이다 .

캡처의 프리스케일러를 변경 하는 경우 예상치 않은 인터럽트가 발생 될 수 있다 . 또한 프리스케일러 카운터 또한 클리어 되지 않을 수도 있다 . 그러므로 처음 발생한 캡처는 제로 상태가 아닌 프리스케일러로부터 발생한 것일지도 모른다 . 예제 8-1 은 캡처의 프리스케일러를 변경 하고자 하는 경우의 예를 보여 주고 있다 . 이 예제는 프리스케일러를 클리어 할 뿐만 아니라 예상치 않은 인터럽트를 발생 시키지 않는다 .

예제 8-1: 캡처의 프리스케일러 값 변경

```

CLRFB CCP1CON ; CCP 모듈을 디제이브 시킴
MOVLW NEW_CAPT_PS ; 새로운 프리스케일러 값을
; w 레지스터로 로드 시킴
MOVWF CCP1CON ; 새로운 값을 CCP1CON
; 레지스터에 넣음
    
```

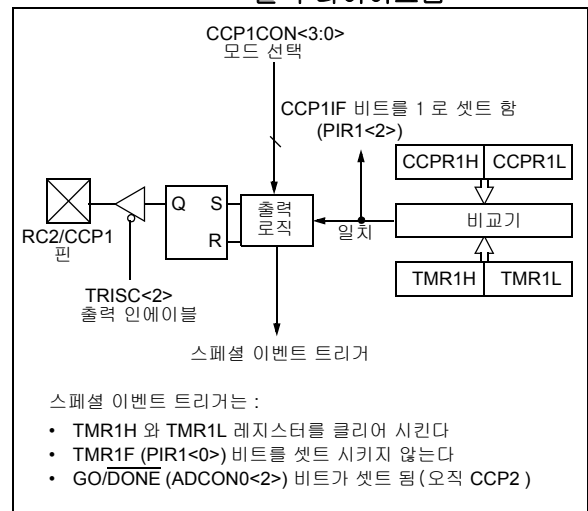
## 8.4 컴페어 모드

컴페어 모드에서 16 비트 CCPR1 레지스터 값과 타이머 1 은 계속 비교 되고 이 레지스터 값이 일치 되었을 때 RC2/CCP1 핀은 다음중 하나의 상태로 동작 된다 :

- 하이 상태로 구동
- 로우 상태로 구동
- 변경 시키지 않음

핀 상의 동작은 CCP1M3:CCP1M0 (CCP1CON<3:0>) 비트 들에 의하여 구성 된다 . 동시에 인터럽트 플래그인 CCP1IF 비트가 1 로 셋트 된다 .

그림 8-2: 컴페어 모드 동작 블록 다이어그램



- 스페셜 이벤트 트리거는 :
- TMR1H 와 TMR1L 레지스터를 클리어 시킨다
  - TMR1F (PIR1<0>) 비트를 셋트 시키지 않는다
  - GO/DONE (ADCON0<2>) 비트가 셋트 될(오직 CCP2)

# PIC16CR7X

## 8.4.1 CCP 핀 구성

컴페어 모드를 사용 하기 위해서는 TRISC<2> 비트를 조절 하여 RC2/CCP1 핀을 반드시 출력으로 구성 시켜야만 한다.

**노트 :** CCP1CON 레지스터를 클리어 하면 RC2/CCP1 핀은 강제로 컴페어 출력을 로우 레벨로 만든다. 다만 래치 되지는 않는다.

## 8.4.2 타이머 1 모드 선택

CCP 모듈을 컴페어 기능으로 사용 하기 위해서는 반드시 타이머 1 모듈은 타이머 모드 또는 동기 카운터 모드로 구동이 되어야만 한다. 비동기 카운터 모드에서는 컴페어 기능은 동작 되지 않는다.

## 8.4.3 소프트웨어 인터럽트 모드

소프트웨어 인터럽트의 발생 모드를 사용 하는 경우에는 CCP1 핀의 상태는 변하지 않는다. 이 경우 CCP1IF 또는 CCP2IF 비트가 1로 셋트 되고 인터럽트 기능이 인에이블 되어 있다면 인터럽트가 발생 될 것이다.

## 8.4.4 스페셜 이벤트 트리거

이 모드에서 내부 하드웨어 트리거가 발생 되는데 이것은 동작을 초기화 하는데 사용 된다.

CCP1의 스페셜 이벤트 트리거 출력은 타이머 1 레지스터 쌍을 리셋 시킨다. 이것은 CCPR1 레지스터로 타이머 1을 효과적으로 제어 할 수 있도록 도와 준다.

CCP2의 스페셜 이벤트 트리거 출력은 타이머 1 레지스터 쌍을 리셋 시키고 만약 A/D 모듈이 인에이블 되어 있다면 A/D 변환을 시작 할 것이다.

**노트 :** CCP1 과 CCP2 모듈로부터의 스페셜 이벤트 트리거의 발생은 인터럽트 요구 플래그인 TMR1IF (PIR1<0>) 비트를 셋트 시키지는 않는다.

테이블 8-3: 캡처, 컴페어, 타이머 1 과 관련이 되는 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR,BOR에서의 값	다른 모든 리셋에서의 값
0Bh,8Bh,10Bh,18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
0Dh	PIR2	—	—	—	—	—	—	—	CCP2IF	---- --0	---- --0
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
8Dh	PIE2	—	—	—	—	—	—	—	CCP2IE	---- --0	---- --0
87h	TRISC	포트 C 방향 설정 레지스터								1111 1111	1111 1111
0Eh	TMR1L	16 비트 타이머 1 레지스터의 하위 바이트								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	16 비트 타이머 1 레지스터의 상위 바이트								xxxx xxxx	uuuu uuuu
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	--00 0000	--uu uuuu
15h	CCPR1L	캡처 / 컴페어 /PWM 레지스터 1 (LSB)								xxxx xxxx	uuuu uuuu
16h	CCPR1H	캡처 / 컴페어 /PWM 레지스터 1 (MSB)								xxxx xxxx	uuuu uuuu
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000
1Bh	CCPR2L	캡처 / 컴페어 /PWM 레지스터 2 (LSB)								xxxx xxxx	uuuu uuuu
1Ch	CCPR2H	캡처 / 컴페어 /PWM 레지스터 2 (MSB)								xxxx xxxx	uuuu uuuu
1Dh	CCP2CON	—	—	CCP2X	CCP2Y	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	--00 0000

**범례 :** x = 알수 없음, u = 변하지 않음, - = 정의 되지 않았음, 항상 0으로 워힘. 빗금친 부분은 캡처와 타이머 1 에서 사용 되지 않음.

**노트 1:** PSP 모듈은 PIC16CR73/76 에서는 사용 할 수 없음 ; 항상 이 비트들은 클리어 상태로 됨.

## 8.5 PWM 모드 (PWM)

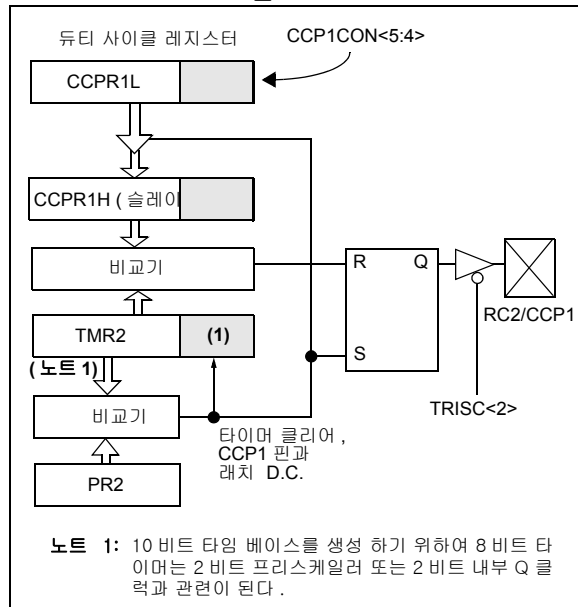
PWM 모드는 CCPx 핀에 최대 10 비트 분해능의 PWM 펄스를 출력 할 수 있다. CCP1 핀은 포트 C 디지털 래치 핀으로도 사용 가능하므로 이 핀을 CCP1으로 사용 하기 위해서는 반드시 TRISC<2> 비트를 조절 하여 출력으로 셋팅 하여야 한다. .

**노트 :** CCP1CON 레지스터를 클리어 하면 RC2/CCP1 핀은 강제로 PWM 출력을 로우 레벨로 만든다. 다만 래치 되지는 않는다. .

그림 8-3 은 CCP 모듈을 PWM 모드로 사용 할 때의 간단한 블럭 다이어그램이다.

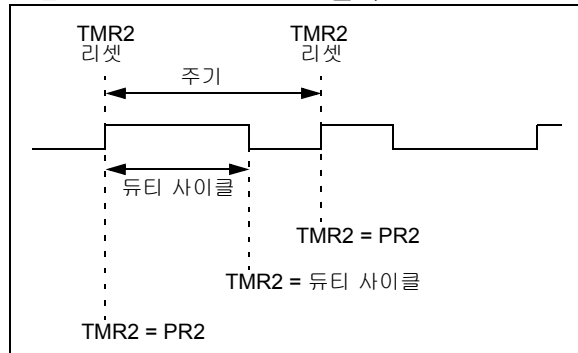
CCP 모듈을 PWM 으로 동작을 시키기 위한 진행 과정은 **섹션 8.5.3 PWM 동작 구현을 위한 셋 - 업** 을 참조 하기를 바란다 .

그림 8-3: 간단한 PWM 블럭 다이어그램



PWM 출력 (그림 8-4)은 타임 베이스(주기)와 하이 레벨 상태의 시간(듀티 사이클)을 포함하고 있다. PWM의 주파수는 1/ 주기 이다 .

그림 8-4: PWM 출력



### 8.5.1 PWM 주기

PWM 주기는 PR2 레지스터에 쓰여 지는 값에 의하여 결정 된다. 또한 PWM 주기는 아래의 공식으로 계산 될 수 있다:

$$\text{PWM 주기} = [(PR2) + 1] \cdot 4 \cdot T_{osc} \cdot (\text{TMR2 프리스케일 값})$$

PWM 주파수는  $1 / [\text{PWM 주기}]$  로 정의 된다.

TMR2 값이 PR2 값과 같아지면 다음 명령어 사이클에서 다음과 같은 3 가지 이벤트가 발생 한다:

- TMR2 가 클리어 된다
- CCP1 핀이 1로 셋트 된다 (예외: 만약 PWM 듀티 사이클 = 0% 이면 CCP1 핀은 셋트 되지 않는다)
- PWM 듀티 사이클이 CCPR1L 로 부터 CCPR1H 로 다운로드 된다 .

**노트 :** 타이머 2 포스트 스케일러는 ( **섹션 8.3 타이머 2 포스트 스케일러 모드 참조** ) PWM 주파수를 결정 하는데에는 사용 되지 않는다 .

### 8.5.2 PWM 듀티 사이클

PWM 듀티 사이클은 CCPR1L 레지스터와 CCP1CON <5:4> 비트에 값을 라이팅 함으로써 이루어 진다 . 최대 10 비트 분해능까지 가능하다 . CCPR1L 레지스터는 상위 8 비트 값을 가지고 있으며 CCP1CON<5:4> 비트는 하위 2 비트의 값을 가지고 있다 . 따라서 10 비트 값은 CCPR1L:CCP1CON<5:4> 로 표현 된다 . 아래 공식은 PWM 듀티 사이클을 계산 하는데 사용이 된다 :

$$\text{PWM 듀티 사이클} = (\text{CCPR1L:CCP1CON<5:4>}) \cdot T_{osc} \cdot (\text{TMR2 프리스케일 값})$$

어떤 시점에서든 CCPR1L 과 CCP1CON<5:4> 로 값을 라이팅 하는 것은 가능 하지만 PR2 와 TMR2 값이 같아 질때까지 듀티 사이클 값은 CCPR1H 레지스터로 들어 가지 않는다 ( 즉 주기가 끝날때 까지 ). PWM 모드에서 CCPR1H 레지스터는 읽기 전용 레지스터이다 .

CCPR1H 레지스터와 2 비트 내부 래치는 PWM 듀티 사이클을 위한 더블 버퍼로 사용이 된다 . 이러한 더블 버퍼를 이용 함으로써 본질적으로 글리치가 없는 PWM 출력이 가능 해 진다 .

CCPR1H 와 2 비트 래치 값이 TMR2 레지스터의 값과 같아 지면 CCP1 핀은 0 으로 클리어 된다 .

PWM 주파수가 주어 지면 최대 PWM 분해능은 아래 공식으로 계산 가능 하다 :

$$\text{분해능} = \frac{\log\left(\frac{F_{osc}}{F_{PWM}}\right)}{\log(2)} \text{ 비트}$$

**노트 :** 만약 PWM 듀티 사이클 값이 PWM 주기 보다 큰 값이면 CCP1 핀은 0 으로 클리어 되지 않는다 .

# PIC16CR7X

## 8.5.3 PWM 동작 구현을 위한 셋 - 업

아래 순서는 CCP 모듈을 PWM 동작으로 구현 하기 위해서 구성 방법이다 :

1. PWM 주기 값을 PR2 레지스터에 써 넣는다 .
2. PWM 듀티 레지스터 값을 CCP1L 레지스터와 CCP1CON<5:4> 비트에 써 넣는다 .
3. TRISC<2> 비트를 0 으로 클리어 하여 CCP1 핀을 출력으로 만든다 .
4. T2CON 레지스터를 이용 하여 TMR2 프리스케일 값과 타이머 2 모듈을 인에이블 시킨다 .
5. CCP1 모듈을 PWM 모드로 구성 시킨다 .

테이블 8-4: PWM 주파수와 분해능 (FOSC = 20 MHz) 예제

PWM 주파수	1.22 kHz	4.88 kHz	19.53 kHz	78.12 kHz	156.3 kHz	208.3 kHz
타이머 프리스케일 (1, 4, 16)	16	4	1	1	1	1
PR2 값	0xFF	0xFF	0xFF	0x3F	0x1F	0x17
최대 분해능 (비트)	10	10	10	8	7	5.5

테이블 8-5: PWM, 타이머 2 와 관련이 되는 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR,BOR에서의 값	다른 모든 리셋에서의 값
0Bh,8Bh,10Bh,18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBFIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
0Dh	PIR2	—	—	—	—	—	—	—	CCP2IF	---- --0	---- --0
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
8Dh	PIE2	—	—	—	—	—	—	—	CCP2IE	---- --0	---- --0
87h	TRISC	포트 C 방향 설정 레지스터								1111 1111	1111 1111
11h	TMR2	타이머 2 모듈 레지스터								0000 0000	0000 0000
92h	PR2	타이머 2 모듈 주기 레지스터								1111 1111	1111 1111
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
15h	CCPR1L	캡처 / 컴페어 /PWM 레지스터 1 (LSB)								xxxx xxxx	uuuu uuuu
16h	CCPR1H	캡처 / 컴페어 /PWM 레지스터 1 (MSB)								xxxx xxxx	uuuu uuuu
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000
1Bh	CCPR2L	캡처 / 컴페어 /PWM 레지스터 2 (LSB)								xxxx xxxx	uuuu uuuu
1Ch	CCPR2H	캡처 / 컴페어 /PWM 레지스터 2 (MSB)								xxxx xxxx	uuuu uuuu
1Dh	CCP2CON	—	—	CCP2X	CCP2Y	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	--00 0000

범례 : x = 알 수 없음, u = 변하지 않음, - = 정의 되지 않았음, 항상 0 으로 읽힘. 빗금친 부분은 PWM 과 타이머 2 에서 사용 되지 않음

노트 1: PSP 모듈은 PIC16CR73/76 에서는 사용 할 수 없음 ; 항상 이 비트들은 클리어 상태로 됨 .

## 9.0 동기 시리얼 포트 (SSP) 모듈

### 9.1 SSP 모듈의 간략한 소개

동기 시리얼 포트 (SSP) 모듈은 다른 주변 장치 또는 마이크로 컨트롤러 디바이스와의 통신에 직렬 접속 하는 목적으로 이용 된다 . 이러한 주변 소자로는 직렬 EEPROM 들 , 쉬프트 레지스터 , 디스플레이 구동 , A/D 컨버터 등이 있다 . SSP 모듈은 아래의 두 모드중 하나로 구동 가능하다 :

- 시리얼 주변 인터페이스 (SPI)
- Inter-Integrated Circuit (I<sup>2</sup>C)

SSP 모듈에 대한 자세한 사항과 I<sup>2</sup>C 동작에 대해서는 “PICmicro<sup>®</sup> 미드 - 레인지 MCU 패밀리 참조 메뉴얼” (DS33023) 부분을 참조 하기를 바란다 .

어플리케이션 노트 AN578, “ I<sup>2</sup>C™ 멀티 - 마스터 환경에서의 SSP 모듈의 사용법” (DS00578) 부분을 참조 하기를 바란다 .

## 9.2 SPI 모드

이 장에서는 SPI 모듈의 레지스터 정의와 동작 특성에 대한 설명을 하므로 SPI 모듈에 대한 좀 더 자세한 사항은 “PICmicro<sup>®</sup> 미드 - 레인지 MCU 패밀리 참조 메뉴얼” (DS33023) 부분을 참조 하기를 바란다 .

SPI 모드에서 8 비트의 데이터를 동시에 동기적으로 송 , 수신이 가능하다 . 이러한 통신을 하기 위해서는 아래와 같은 3 개의 핀이 사용 된다 :

- 시리얼 데이터 출력 (SDO) RC5/SDO
- 시리얼 데이터 입력 (SDI) RC4/SDI/SDA
- 시리얼 클럭 (SCK) RC3/SCK/SCL

추가적으로 네번째 핀은 슬레이브 모드 동작시 사용 되어 진다 :

- 슬레이브 선택 ( $\overline{SS}$ ) RA5/ $\overline{SS}$ /AN4

SPI 모듈을 초기화 할 때 몇개의 옵션을 정의 하여야만 한다 . SSPCON 레지스터 (SSPCON<5:0>) 와 SSP-STAT<7:6> 비트들을 이용하여 다양한 옵션 사항들을 제어 가능 하다 . 이러한 제어 비트들은 다음과 같은 사항을 정의 하고 있다 :

- 마스터 모드 (SCK 는 클럭 출력이다 )
- 슬레이브 모드 (SCK 는 클럭 입력이다 )
- 클럭 극성 ( 아이들 상태에서의 SCK )
- 클럭 에지 (SCK 의 상승 또는 하강 에지에서 데이터 출력 )
- 클럭 분주비 ( 마스터 모드에서만 적용 )
- 슬레이브 선택 모드 ( 슬레이브 모드에서만 적용 )

# PIC16CR7X

## 레지스터 9-1: SSPSTAT: 동기 시리얼 포트 상태 (어드레스 94h)

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/A	P	S	R/W	UA	BF
비트 7							비트 0

### 범례 :

R = 읽기 가능 비트	W = 쓰기 가능 비트	U = 정의 되지 않은 비트, 항상 '0'으로 읽힘
-n = POR 상태에서의 값	'1' = 비트가 셋트 됨	'0' = 비트가 클리어 됨      x = 알수 없는 비트 값

- 비트 7**      **SMP:** SPI 데이터 입력 샘플링 위상 비트  
SPI 마스터 모드:  
 1 = 데이터 출력 시간의 끝 부분에서 입력 데이터를 샘플링 한다  
 0 = 데이터 출력 시간의 중간 부분에서 입력 데이터를 샘플링 한다 (마이크로와이어 형태 임)  
SPI 슬레이브 모드:  
 SPI 가 슬레이브 모드로 사용 될 때 SMP 비트는 항상 클리어 상태를 유지 한다  
I<sup>2</sup>C 모드:  
 이 비트는 항상 클리어 상태를 유지 함
- 비트 6**      **CKE:** SPI 클럭 에지 선택 비트 (그림 9-2, 그림 9-3, 그리고 그림 9-4)  
SPI 모드, CKP = 0:  
 1 = 데이터는 SCK 핀의 상승 에지에서 전송 된다 (마이크로와이어 형태와는 다름)  
 0 = 데이터는 SCK 핀의 하강 에지에서 전송 된다  
SPI 모드, CKP = 1:  
 1 = 데이터는 SCK 핀의 하강 에지에서 전송 된다 (마이크로와이어 형태 임)  
 0 = 데이터는 SCK 핀의 상승 에지에서 전송 된다  
I<sup>2</sup>C 모드:  
 이 비트는 항상 클리어 상태를 유지 함
- 비트 5**      **D/A:** 데이터 / 어드레스 비트 (I<sup>2</sup>C™ 모드에서만 적용 됨)  
 1 = 송 / 수신된 마지막 바이트가 데이터라는 것을 의미 함  
 0 = 송 / 수신된 마지막 바이트가 어드레스라는 것을 의미 함
- 비트 4**      **P:** 멈춤 비트 (I<sup>2</sup>C™ 모드에서만 적용 됨)  
 이 비트는 SSP 모듈이 디제이블 되었을 경우 또는 시작 비트가 검출 되었을 경우 클리어 된다.  
 SSPEN 는 클리어 된다.  
 1 = 멈춤 비트가 검출 되었음 (이 비트는 리셋에서 '0'의 값을 가진다)  
 0 = 멈춤 비트가 검출 되지 않았음
- 비트 3**      **S:** 시작 비트 (I<sup>2</sup>C™ 모드에서만 적용 됨)  
 이 비트는 SSP 모듈이 디제이블 되었을 경우 또는 멈춤 비트가 검출 되었을 경우 클리어 된다.  
 SSPEN 는 클리어 된다.  
 1 = 시작 비트가 검출 되었음 (이 비트는 리셋에서 '0'의 값을 가진다)  
 0 = 시작 비트가 검출 되지 않았음
- 비트 2**      **R/W:** 읽기 / 쓰기 정보 비트 (I<sup>2</sup>C™ 모드에서만 적용 됨)  
 이 비트는 어드레스가 일치 하였을 때 읽기 / 쓰기에 대한 정보를 제공 한다. 이 비트는 어드레스 일치로부터 다음 시작 비트, 멈춤 비트 그리고 엑크 비트로 갈 때만 유효 하다.  
 1 = 읽기  
 0 = 쓰기
- 비트 1**      **UA:** 어드레스 업데이트 비트 (10 비트 I<sup>2</sup>C™ 모드에서만 적용 됨)  
 1 = 사용자가 SSPADD 레지스터로 어드레스 값을 업데이트 할 필요가 있음을 가리킴  
 0 = 어드레스를 업데이트 할 필요가 없음
- 비트 0**      **BF:** 버퍼 풀 상태 비트  
수신 (SPI 및 I<sup>2</sup>C 모드):  
 1 = 수신이 완료 됨, SSPBUF 레지스터에 데이터가 넣어져 있음  
 0 = 수신이 완료 되지 않았음, SSPBUF 레지스터는 비어 있음  
송신 (I<sup>2</sup>C 모드에서만 적용 됨):  
 1 = 송신이 진행 중, SSPBUF 레지스터에 데이터가 있음  
 0 = 송신이 완료 되었음, SSPBUF 레지스터는 비어 있음

## 레지스터 9-2: SSPCON: 동기 시리얼 포트 제어 ( 어드레스 14h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0
비트 7							비트 0

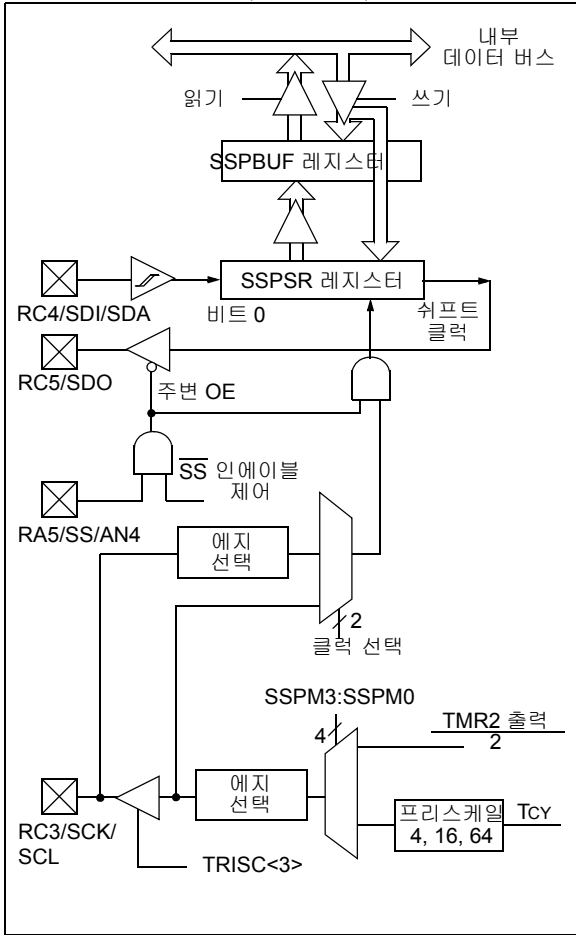
### 범례 :

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않은 비트 , 항상 '0' 으로 읽힘  
 -n = POR 상태에서의 값                      '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 알수 없는 비트 값

- 비트 7**                      **WCOL:** 쓰기 충돌 검출 비트  
 1 = 이전 데이터를 송신 하고 있는 도중에 또 다른 데이터를 SSPBUF 레지스터에 써 넣으면 발생 됨 ( 반드시 소프트웨어에서 클리어 시켜야 함 )  
 0 = 쓰기 충돌이 발생 되지 않았음
- 비트 6**                      **SSPOV:** 수신 오버플로우 알림 비트  
SPI 모드:  
 1 = SSPBUF 레지스터가 이전 데이터를 가지고 있는 동안에 새로운 바이트가 수신 되었을 경우 발생 한다 . 오버플로우가 발생이 되면 SSPSR 레지스터의 값은 잃어 버리게 된다 . 오버플로우는 슬레이브 모드에서만 발생이 된다 . 사용자는 이러한 오버플로우 현상을 피하기 위하여 심지어는 데이터를 전송 하는 경우에도 반드시 SSPBUF 레지스터를 읽어야만 한다 .  
 마스터 모드에서는 각 수신 ( 그리고 송신 ) 은 SSPBUF 레지스터에 라이팅 함에 의하여 초기화가 되기 때문에 오버플로우 비트는 발생 되지 않는다 .  
 0 = 오버 플로우가 발생 되지 않았음  
I<sup>2</sup>C 모드:  
 1 = SSPBUF 레지스터가 이전 데이터를 가지고 있는 동안에 새로운 바이트가 수신 되었을 경우 발생 한다 . 송신 모드에서는 관계가 없으며 SSPOV 비트는 반드시 소프트웨어에서 클리어 시켜야 함  
 0 = 오버 플로우가 발생 되지 않았음
- 비트 5**                      **SSPEN:** 동기 시리얼 포트 (SSP) 인에이블 비트  
SPI 모드:  
 1 = 시리얼 포트 기능이 인에이블 되고 SCK, SDO 그리고 SDI 핀이 시리얼 포트 핀으로 할당 됨  
 0 = 시리얼 포트 기능이 디제이블 되고 SCK, SDO 그리고 SDI 핀이 일반 I/O 포트 핀으로 할당 됨  
I<sup>2</sup>C 모드:  
 1 = 시리얼 포트 기능이 인에이블 되고 SDA 와 SCL 핀이 시리얼 포트 핀으로 할당 됨  
 0 = 시리얼 포트 기능이 디제이블 되고 SDA 와 SCL 핀이 일반 I/O 포트 핀으로 할당 됨  
 두 모드에서 시리얼 포트가 인에이블 되었을 경우 각 핀들은 정확 하게 입력 또는 출력으로 구성 되어야만 한다 .
- 비트 4**                      **CKP:** 클럭 극성 선택 비트  
SPI 모드:  
 1 = 아이들 상태에서 클럭을 하이 레벨을 유지 시킴 ( 마이크로와이어 구조 형태임 )  
 0 = 아이들 상태에서 클럭을 로우 레벨을 유지 시킴 ( 마이크로와이어 형태와 다름 )  
I<sup>2</sup>C 모드:  
**SCK 제어**  
 1 = 클럭을 인에이블  
 0 = 클럭을 로우 신호로 유지 시킴 ( 클럭 스트레칭 기능 ). ( 확실한 데이터 셋업 시간을 위하여 사용 됨 . )
- 비트 3-0**                      **SSPM3:SSPM0:** 동기 시리얼 포트 (SSP) 모드 선택 비트  
 0000 = SPI 마스터 모드 , 클럭 = Fosc/4  
 0001 = SPI 마스터 모드 , 클럭 = Fosc/16  
 0010 = SPI 마스터 모드 , 클럭 = Fosc/64  
 0011 = SPI 마스터 모드 , 클럭 = TMR2 출력 /2  
 0100 = SPI 슬레이브 모드 , 클럭 = SCK 핀 . SS 핀 제어 인에이블 됨 .  
 0101 = SPI 슬레이브 모드 , 클럭 = SCK 핀 . SS 핀 제어 디제이블 됨 . SS 핀을 I/O 핀으로 사용 가능 .  
 0110 = I<sup>2</sup>C<sup>TM</sup> 슬레이브 모드 , 7 비트 어드레스  
 0111 = I<sup>2</sup>C<sup>TM</sup> 슬레이브 모드 , 10 비트 어드레스  
 1011 = I<sup>2</sup>C<sup>TM</sup> 펌웨어로 제어되는 마스터 모드 ( 슬레이브 아니다 )  
 1110 = I<sup>2</sup>C<sup>TM</sup> 슬레이브 모드 , 시작및 멈춤 인터럽트기능이 인에이블 된 7 비트 어드레스 모드  
 1111 = I<sup>2</sup>C<sup>TM</sup> 슬레이브 모드 , 시작및 멈춤 인터럽트기능이 인에이블 된 10 비트 어드레스 모드

# PIC16CR7X

그림 9-1: SSP 블록 D 다이어그램 (SPI 모드)



시리얼 포트를 인에이블 하기 위해서는 SSP 인에이블 비트인 SSPEN (SSPCON<5>) 이 반드시 1 로 셋트 되어야만 한다. 리셋 또는 SPI 모드를 다시 수정 시키기 위해서는 SSPEN 비트를 클리어 시킨 후 SSPCON 레지스터를 다시 초기화 하고 SSPEN 비트를 다시 1 로 셋트 시키면 SDI, SDO, SCK 그리고 SS 핀들이 시리얼 포트 구성이 된다. 이러한 핀들이 시리얼 포트 기능으로 동작 하기 위해서는 그들의 방향 설정 비트 (TRISC 레지스터) 들을 적당하게 프로그램 해야 한다. 즉 :

- SDI 를 위하여 TRISC<4> 를 반드시 셋트 한다
- SDO 를 위하여 TRISC<5> 를 반드시 클리어 한다
- SCK (마스터 모드)를 위하여 TRISC<3>를 반드시 클리어 한다
- SCK (슬레이브 모드)를 위하여 TRISC<3> 를 반드시 셋트 한다
- SS 를 위하여 TRISA<5> 를 셋트 하여야 하며 ADCON 레지스터를 조절 하여 RA5 핀을 디지털 I/O 로 구성 하여야 한다

**노트 1:** SPI 모듈이 SS 핀 제어 인에이블 슬레이브 모드 (SSPCON<3:0> = 0100) 에 있는 경우 만약 SS 핀이 VDD 로 연결이 되면 SPI 모듈은 리셋 될 것이다 .

**2:** CKE = '1' 인 슬레이브 모드 SPI 가 사용이 되면 SS 핀 제어는 반드시 인에이블 되어야만 한다 .

**3:** SPI 모듈이 SS 핀 제어 인에이블 슬레이브 모드 (SSPCON<3:0> = 0100) 에 있는 경우 SS 핀의 상태는 TRISC<5> 비트에 영향을 미칠수도 있다 . SSP 모듈에서 주변장치 OE 신호가 포트 C 를 제어하면 TRISC<5> 비트에 영향을 미칠 수도 있다 . ( 포트 C 에 대한 자세한 사항은 **섹션 4.3 PORTC 와 TRISC 레지스터** 부분을 참조 ) . 만약 SS 핀이 하이 상태에서 BSF 와 같은 Read-Modify-Write 명령이 TRISC 레지스터에 수행이 되면 TRISC<5> 비트가 1 로 셋트 되며 따라서 SDO 출력은 디제이브 될 것이다 .



그림 9-2: SPI 모드 타이밍, 마스터 모드

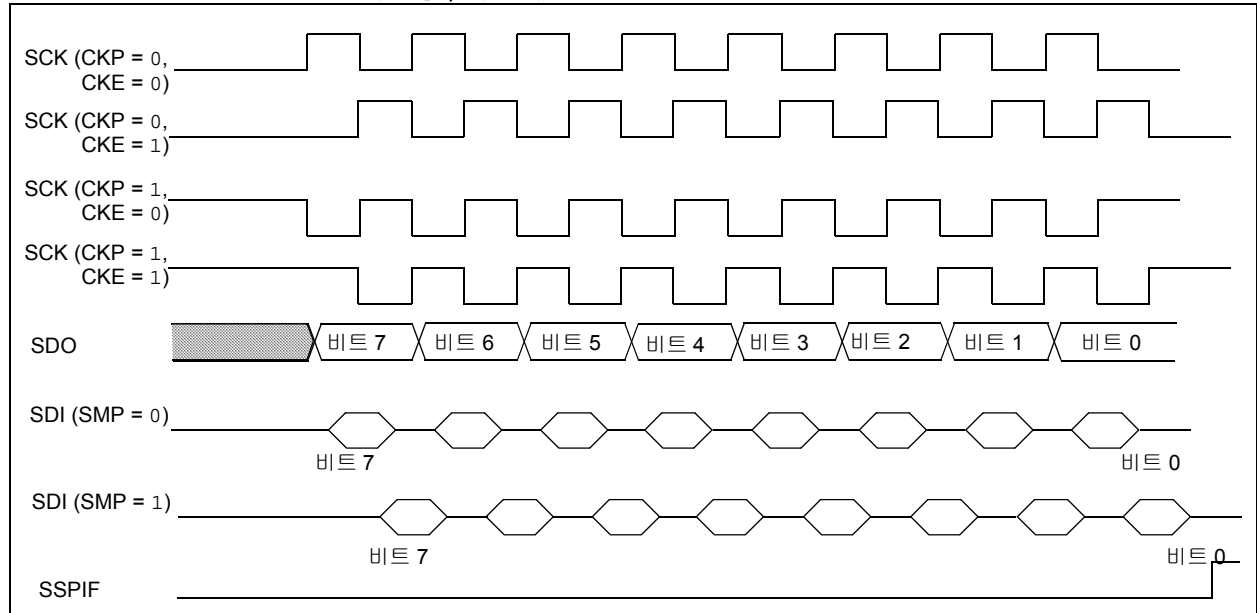
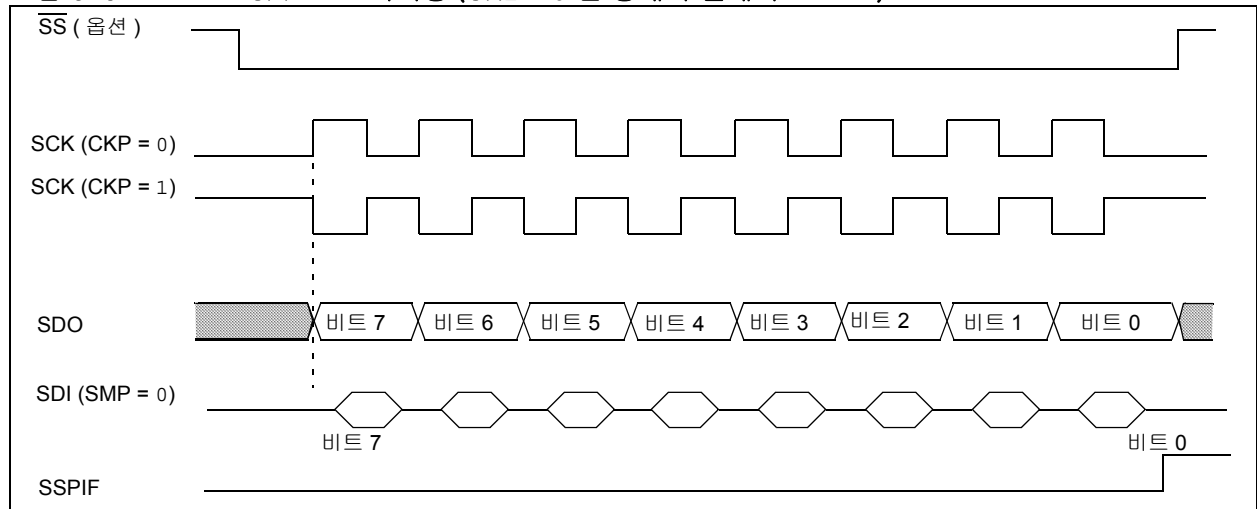
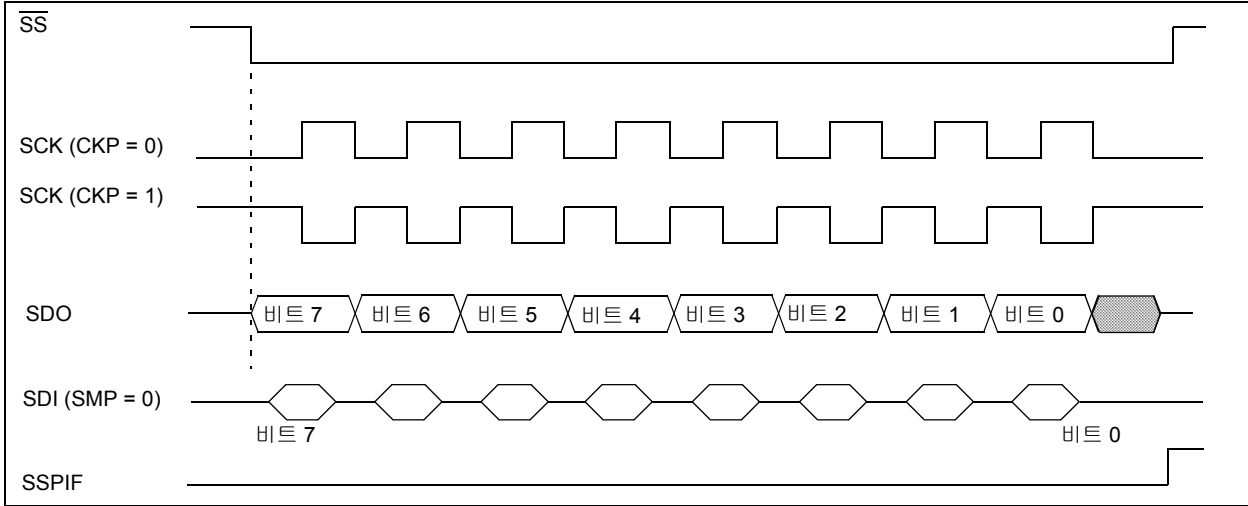


그림 9-3: SPI 모드 타이밍 (CKE = 0 인 상태의 슬레이브 모드)



# PIC16CR7X

그림 9-4: SPI 모드 타이밍 (CKE = 1 인 상태의 슬레이브 모드)



테이블 9-1: SPI 동작과 관련된 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR에서의 값	다른 모든 리셋에서의 값
0Bh,8Bh, 10Bh,18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
87h	TRISC	포트 C 방향 설정 레지스터								1111 1111	1111 1111
13h	SSPBUF	SSP 수신 버퍼 / 송신 레지스터								xxxx xxxx	uuuu uuuu
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
85h	TRISA	—	—	포트 A 방향 설정 레지스터						--11 1111	--11 1111
94h	SSPSTAT	SMP	CKE	D $\bar{A}$	P	S	R $\bar{W}$	UA	BF	0000 0000	0000 0000

범례 : x = 알수 없음, u = 변하지 않음, - = 정의 되지 않았고 항상 0 으로 읽힘. 빗금 친 부분은 SPI 모드에서는 사용 되지 않음.

노트 1: PSPIE 와 PSPIF 비트들은 PIC16CR73/76 에서는 예약 되어 있음; 항상 0 을 유지 함.

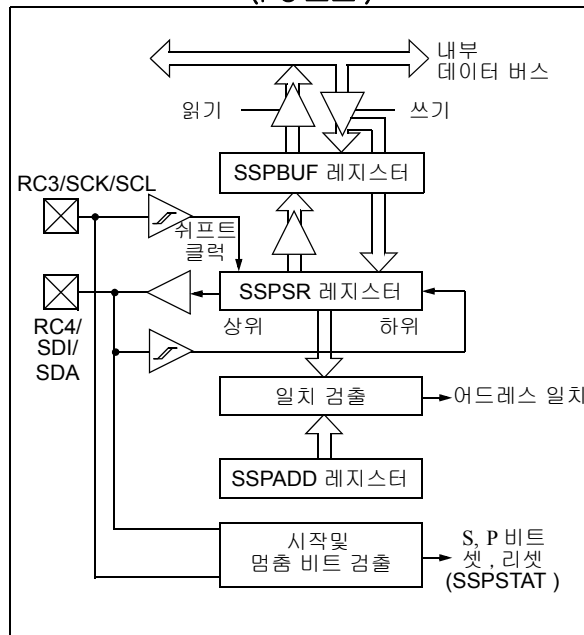
## 9.3 SSP I<sup>2</sup>C™ 동작

SSP 모듈은 제너럴 콜 기능을 제외 한 모든 I<sup>2</sup>C 슬레이브 기능을 구현 하고 있으며 마스터 모드의 펌웨어 구현을 위하여 하드웨어 적으로 시작 및 멈춤 인터럽트 기능을 지원 하고 있다 . SSP 모듈은 7 비트 및 10 비트 어드레스 표준 모드를 지원 한다 .

데이터 전송을 위하여 2 개의 핀이 사용 되는데 클럭 핀 (SCL) 으로 RC3/SCK/SCL 핀이 데이터 핀 (SDA) 으로 RC4/SDI/SDA 핀이 이용 된다 . 따라서 사용자는 반드시 TRISC<4:3> 비트를 조절 하여 이러한 핀들을 입력 또는 출력으로 구성 시켜야 한다 .

SSP 모듈은 SSP 인에이블 비트인 SSPEN (SSPCON<5>) 을 셋트 함으로써 인에이블 된다 .

그림 9-5: SSP 블록 다이어그램 (I<sup>2</sup>C 모드)



SSP 모듈은 I<sup>2</sup>C 동작을 위하여 아래와 같은 다섯개의 레지스터를 가지고 있다 :

- SSP 제어 레지스터 (SSPCON)
- SSP 상태 레지스터 (SSPSTAT)
- 직렬 수신 / 송신 버퍼 (SSPBUF)
- SSP 쉬프트 레지스터 (SSPSR) – 직접 액세스는 불가능 하다
- SSP 어드레스 레지스터 (SSPADD)

SSPCON 레지스터는 I<sup>2</sup>C 동작을 제어 하는 레지스터이다 . 4 개의 모드 선택 비트 (SSPCON<3:0>) 를 통하여 다음과 같은 I<sup>2</sup>C 모드 중 하나를 선택 할 수 있다 :

- I<sup>2</sup>C 슬레이브 모드 (7 비트 어드레스 )
- I<sup>2</sup>C 슬레이브 모드 (10 비트 어드레스 )
- I<sup>2</sup>C 슬레이브 모드 ( 7 비트 어드레스 ), 펌웨어 마스터 모드를 지원 하기 위하여 시작 및 멈춤 비트 인터럽트 기능을 지원
- I<sup>2</sup>C 슬레이브 모드 (10 비트 어드레스 ), 펌웨어 마스터 모드를 지원 하기 위하여 시작 및 멈춤 비트 인터럽트 기능을 지원
- 펌웨어 마스터 모드를 지원 하기 위하여 I<sup>2</sup>C 시작 및 멈춤 비트 인터럽트 기능을 지원 , 슬레이브는 아이들 상태임

SSPEN 비트가 1 로 셋트된 상태에서는 위의 모드중 어떠한 I<sup>2</sup>C 모드를 선택 할 지라도 SCL 핀과 SDA 핀을 오픈 드레인 핀으로 만들고 동시에 시리얼 포트 핀으로 셋팅을 하기 때문에 사용자는 I<sup>2</sup>C 모드를 선택 하기 전에 TRISC 비트를 조절 하여 입력으로 셋팅 하여야 한다 . 또한 모듈의 정확한 동작을 위하여 SCL 핀과 SDA 핀 외부에 풀 - 업 저항을 연결 하여야만 한다 .

SSP I<sup>2</sup>C 동작에 대한 자세한 사항은 “PICmicro® 미드 - 레인지 MCU 패밀리 참조 매뉴얼” (DS33023) 을 참조 하기를 바란다 .

### 9.3.1 슬레이브 모드

슬레이브 모드에서는 SCL 과 SDA 핀을 반드시 입력 상태로 구성 시켜야 한다 (TRISC<4:3> 를 셋트 시킴) . SSP 모듈은 필요한 시점 (슬레이브 전송 모드) 에서 입력 상태를 출력 상태로 전환 시킬 것이다 .

어드레스가 일치 되었거나 어드레스 일치 이후에 전송된 데이터를 수신 하였을 경우에는 하드웨어적으로 액크 (ACK) 신호를 발생 시키고 SSPSR 레지스터에 가지고 있는 수신 데이터를 SSPBUF 레지스터로 전송 시킨다 .

그러나 다음과 같은 조건에서는  $\overline{\text{ACK}}$  펄스를 발생 시키지 않을 것이다 :

- a) 수신이 완료 되기 전에 버퍼 풀 비트 (SSP-STAT<0>) 가 셋트 되었을 때
- b) 수신이 완료 되기 전에 오버플로우 비트 SSPOV (SSPCON<6>) 가 셋트 되었을 때

이 경우 SSPSR 레지스터의 값이 SSPBUF 레지스터로 넘어 가지는 않으나 SSPIF (PIR1<3>) 비트는 셋트 된다 . 테이블 9-2 는 데이터 전송 바이트가 수신 되었을 때 BF 와 SSPOV 비트의 상태를 보여 주고 있다 . 빗금 친 부분은 소프트웨어에서 오버플로우 조건을 적당하게 클리어 하지 않았을 때의 조건을 보여 주고 있다 . BF 비트는 SSPBUF 레지스터를 읽는 것에 의하여 클리어가 되는 반면 SSPOV 비트는 소프트웨어적으로 클리어 시켜야 한다 .

SCL 클럭 입력은 안정 된 동작을 위하여 최소한의 하이 시간과 로우 시간을 가져야 한다 . SSP 모듈에 대한 필요 조건과 I<sup>2</sup>C 스펙의 하이 , 로우 시간에 대한 설명은 파라미터 #100 과 파라미터 #101 을 참조 하기를 바란다 .

# PIC16CR7X

## 9.3.1.1 어드레스

SSP 모듈이 인에이블 되었다면 SSP 는 시작 조건이 발생 될 때까지 기다린다 . 시작 조건이 발생 하면 8 비트 데이터는 SSPSR 레지스터 속으로 쉬프트 되어 들어온다 . 모든 들어 오는 비트는 클럭 (SCL) 핀의 상승 에지에서 샘플링 된다 . 레지스터 SSPSR<7:1> 비트 값들은 SSPADD 레지스터와 비교 되어 진다 . 어드레스는 여덟번째 클럭 (SCL) 펄스의 하강 에지에서 비교 된다 . 만약 어드레스가 일치하고 BF 비트와 SSPOV 비트가 클리어 되어 있다면 아래와 같은 일이 발생 한다 :

- SSPSR 레지스터 값이 SSPBUF 레지스터로 로드 된다 .
- 버퍼 풀 비트 BF 가 셋트 된다 .
- 하나의 ACK 펄스가 발생 된다 .
- SSP 인터럽트 플래그 비트 SSPIF (PIR1<3>) 가 셋트 된다 ( 만약 인에이블 되어 있다면 인터럽트가 발생 된다 )-9 번째 SCL 펄스의 하강 에지에서 .

10 비트 어드레스 모드에서 어드레스는 2 바이트 연속으로 슬레이브에 의해서 수신 될 필요가 있다 ( 그림 9-7). 만약 10 비트 어드레스라면 첫번째 어드레스의 상위 5 비트는 정해진 비트로 구성 되어 있어야 하도 비트 R/W (SSPSTAT<2>) 는 반드시 라이트 모드로 있어야 한다 . 그러면 슬레이브는 두번째 바이트를 어드레스의 하위 번지로 받아 들일 것이다 . 10 비트 어드레스를 위하여 첫번째 바이트는 '1111 0 A9 A8 0' 이며 여기에서 A9 와 A8 은 어드레스의 상위 두 비트이다 .

10 비트 어드레스 진행 순서는 아래와 같으며 스텝 7-9 는 슬레이브 송신을 위한 스텝이다 :

- 첫번째 상위 어드레스 바이트를 수신 한다 . ( SSPIF, BF, 그리고 UA (SSPSTAT<1>) 비트는 셋트 된다 ).
- 어드레스의 두번째 하위 바이트를 SSPADD 로 로드 한다 (UA 비트를 클리어 하고 어드레스 라인 SCL 을 놓아 준다).
- SSPBUF 레지스터를 읽는다 (BF 비트는 클리어 됨 ) 그리고 SSPIF 비트를 클리어 시킨다 .
- 어드레스의 두번째 하위 바이트를 수신 한다 (SSPIF, BF 그리고 UA 비트는 셋트 된다).
- 어드레스의 첫번째 상위 바이트를 SSPADD 로 업데이트 한다 . 만약 일치 한다면 SCL 라인을 풀어 주고 이것은 UA 비트를 클리어 시킬 것이다 .
- SSPBUF 레지스터를 읽는다 (BF 비트는 클리어 됨 ) 그리고 SSPIF 비트를 클리어 시킨다 .
- 반복 시작 조건을 수신 한다 .
- 어드레스의 첫번째 상위 바이트를 수신 한다 . (SSPIF 와 BF 비트가 셋트 된다).
- SSPBUF 레지스터를 읽는다 (BF 비트는 클리어 됨 ) 그리고 SSPIF 비트를 클리어 한다 .

테이블 9-2: 수신 된 바이트에 따른 내부 상태

데이터가 수신 되었을 때 관련 상태 비트		SSPSR → SSPBUF	ACK 펄스 발생 여부	SSPIF 비트 셋트 여부 (만약 인에이블 되어 있다면 인터럽트 발생 됨 )
BF	SSPOV			
0	0	전송 됨	발생 함	셋트 됨
1	0	전송 되지 않음	발생 하지 않음	셋트 됨
1	1	전송 되지 않음	발생 하지 않음	셋트 됨
0	1	전송 되지 않음	발생 하지 않음	셋트 됨

노트 : 빗금 친 부분은 오버플로우 조건을 사용자가 소프트웨어 적으로 클리어 시키지 않았을 때의 현상이다 .

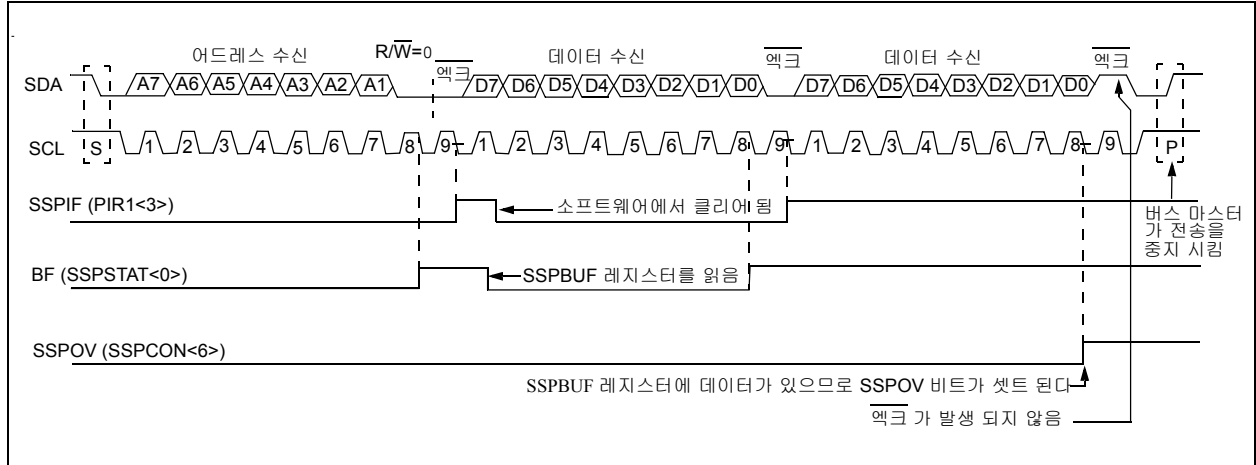
## 9.3.1.2 수신

어드레스 바이트의 R/W 비트가 클리어 되고 어드레스가 일치 하면 SSPSTAT 레지스터의 R/W 비트는 클리어 된다 . 수신 된 어드레스는 SSPBUF 레지스터로 로드 되어 진다 .

어드레스 오버플로우 조건이 발생 하면 ACK 펄스가 발생 되지 않으며 BF (SSPSTAT<0>) 비트가 셋트 되거나 또는 SSPOV (SSPCON<6>) 비트가 셋트 된다 . 이러한 에러는 사용자의 펌 - 웨어 때문에 발생 된다 .

SSP 인터럽트는 각 데이터의 전송에 의해 발생이 된다 . 또한 SSPIF (PIR1<3>) 는 소프트웨어에서 클리어 시켜 주어야 한다 . SSPSTAT 레지스터는 각 바이트의 상태를 결정 하기 위해서 사용 된다 .

그림 9-6: 수신을 위한 I<sup>2</sup>C 파형 (7 비트 어드레스)



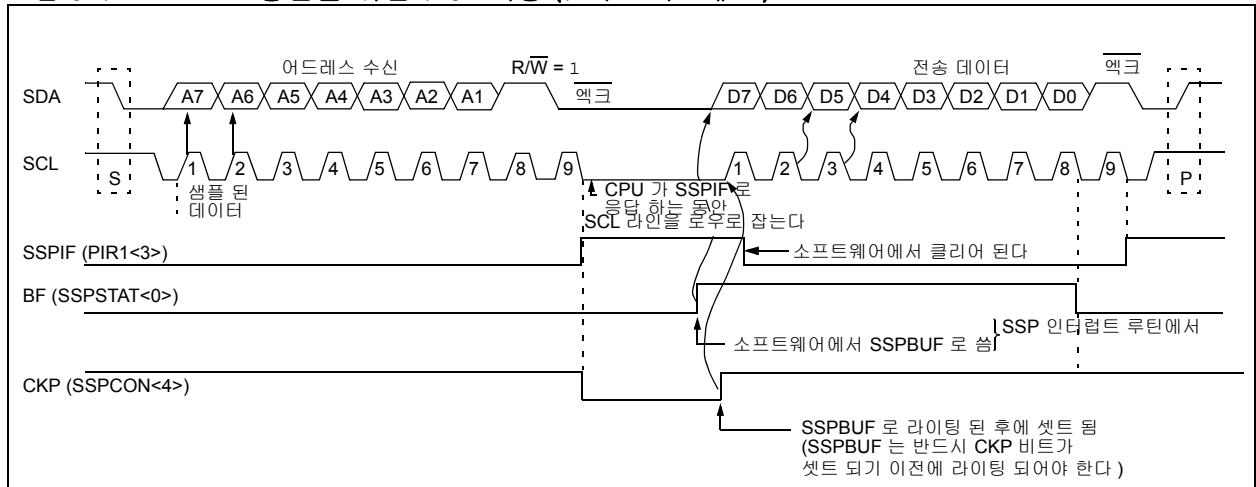
### 9.3.1.3 송신

들어오는 어드레스 바이트의  $R\bar{W}$  비트가 클리어 되고 어드레스가 일치 하면 **SSPSTAT** 레지스터의  $R\bar{W}$  비트는 셋트 된다. 수신 된 어드레스는 **SSPBUF** 레지스터로 로드 되어 진다. **ACK** 펄스는 9 번째 비트에 발생되며 **RC3/SCK/SCL** 핀은 로우 상태로 있을 것이다. 전송 된 데이터는 **SSPBUF** 레지스터로 로드 되어져야만 하고 또한 이것은 **SSPSR** 레지스터로 이동 한다. 그때 **CKP** (**SSPCON**<4>) 비트를 셋트 하는 것에 의하여 **RC3/SCK/SCL** 핀은 인에이블 될 수 있다. 마스터는 반드시 다른 클럭 펄스가 공급 되기 이전에 **SCL** 핀을 모니터링 하여야 한다. 슬레이브 디바이스는 클럭 스트레칭에 의하여 마스터를 동작 시키지 않을 수도 있다. 8 비트 데이터는 **SCL** 입력의 하강 에지에서 쉬프트 출력 된다. 이것은 **SDA** 신호가 **SCL** 하이 시간 동안 유효 하다는 것을 보증 한다. ( 그림 9-7).

**SSP** 인터럽트는 각 데이터의 전송에 의해 발생이 된다. 또한 **SSPIF** (**PIR1**<3>) 는 소프트웨어에서 클리어 시켜 주어야 한다. **SSPSTAT** 레지스터는 각 바이트의 상태를 결정 하기 위해서 사용 된다. **SSPIF** 비트는 9 번째 클럭 펄스의 하강 에지에서 셋트 된다.

슬레이브 송신시 마스터 수신기로부터의 **ACK** 펄스는 9 번째 **SCL** 입력 펄스의 상승 에지에서 래치 되어 진다. 만약 **SDA** 라인이 하이 (**ACK** 가 발생 되지 않은 경우) 라면 데이터 전송은 완료 된다. **ACK** 가 슬레이브에 의하여 래치 되면 슬레이브 로직은 리셋 (**SSPSTAT** 레지스터 리셋) 되며 슬레이브는 다른 시작 비트의 발생을 모니터링 한다. 만약 **SDA** 라인이 로우 (**ACK**) 라면 전송 된 데이터는 **SSPBUF** 레지스터로 로드 되어야 하며 그것은 또한 **SSPSR** 레지스터로 로드 되어 진다. 이때 **CKP** 비트를 셋트 하는 것에 의해 **RC3/SCK/SCL** 핀은 인에이블 된다.

그림 9-7: 송신을 위한 I<sup>2</sup>C 파형 (7 비트 어드레스)



# PIC16CR7X

## 9.3.2 마스터 모드

마스터 모드는 시작 과 멈춤 조건을 검출 하는 인터럽트 방법을 사용 하여 지원 되고 있다 . 멈춤 (P) 과 시작 (S) 비트들은 칩이 리셋 되었거나 SSP 모듈 자체가 디제이블 상태일 때 클리어 상태가 된다 . 멈춤 (P) 과 시작 (S) 비트는 시작과 멈춤 조건을 기반으로 토글 된다 . I<sup>2</sup>C 버스의 제어는 P 비트가 셋트 되었을 때 또는 버스가 아이들 상태이고 두 S 와 P 비트가 클리어 되었을 때 가능하다 .

마스터 모드에서 SCL 과 SDA 핀은 TRISC<4:3> 비트를 클리어 시켜 출력으로 해야 한다 . 출력 레벨은 PORTC<4:3> 에 있는 값에 상관 없이 항상 로우이다 . 송신 데이터가 '1' 데이터 비트일 때는 TRISC<4> 비트는 셋트 ( 입력 ) 이어야만 하고 '0' 데이터 비트일 때는 TRISC<4> 비트는 클리어 ( 출력 ) 이어야만 한다 . 같은 방법으로 TRISC<3> 비트를 가지는 SCL 라인도 조정 가능하다 . 올바른 I<sup>2</sup>C 동작을 위하여 SDA 핀과 SCL 핀 외부에 풀 - 업 저항이 연결 되어야만 한다 .

아래의 조건에서 SSP 인터럽트 플래그 SSPIF 비트가 셋트 된다 ( 인에이블 되어 있으면 인터럽트 발생 됨 ):

- 시작 조건
- 멈춤 조건
- 데이터 송 / 수신이 완료 되었을 때

마스터 동작 모드는 슬레이브 모드 아이들 (SSPM3:SSPM0 = 1011) 또는 슬레이브 액티브 상태에서 모두 가능하다 . 마스터와 슬레이브 모드가 모두 인에이블 되었을 경우는 소프트웨어에서 인터럽트 소스를 구분하여 처리 하여 주어야 한다 .

## 9.3.3 멀티 - 마스터 모드

멀티 마스터 모드에서 시작과 멈춤 조건에서 인터럽트의 발생은 버스가 자유로운 상태라는 것을 판단 하는데 사용이 된다 . 멈춤 (P) 과 시작 (S) 비트는 리셋 또는 SSP 모듈이 디제이블 되었을 때 클리어 된다 . 멈춤 (P) 과 시작 (S) 비트는 시작과 멈춤 조건을 기반으로 토글 된다 . I<sup>2</sup>C 버스의 제어는 P (SSPSTAT<4>) 비트가 셋트 되었을 때 또는 버스가 아이들 상태이고 두 S 와 P 비트가 클리어 되었을 때 가능하다 . 버스가 사용 중일 때 SSP 인터럽트를 인에이블 하면 멈춤 조건 발생시 인터럽트를 발생 한다 .

멀티 마스터 동작에서 SDA 라인은 반드시 신호 레벨이 기대 하는 출력 레벨인지를 계속 모니터링 하여야 한다 . 이 체크는 오직 하이 레벨이 출력 될 때 할 필요가 있다 . 만약 하이 레벨이 기대 되는데 로우 레벨이 출력 된다면 디바이스는 SDA 와 SCL 핀을 입력으로 전환 시켜야 한다 . (TRISC<4:3> 비트를 셋트) . 중재는 다음 두 상황에서 발생 할 수 있다 :

- 어드레스 전달 시
- 데이터 전달 시

슬레이브 로직이 인에이블 되어 있다면 슬레이브는 수신을 계속 할 것이다 . 만약 중재 상황이 어드레스를 전달 하는 동안 사라진다면 디바이스는 어드레스 되어 질 수 있다 . 만약 어드레스가 성립 되면 ACK 펄스가 발생 된다 . 만약 중재 상황이 데이터를 전달 하는 동안 사라진다면 디바이스는 나중에 데이터를 다시 전송 해야만 한다 .

테이블 9-3: I<sup>2</sup>C 동작과 관련 된 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR, BOR 에서의 값	다른 모든 리셋에서의 값
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
13h	SSPBUF	동기 시리얼 포트 수신 버퍼 / 송신 레지스터								xxxx xxxx	uuuu uuuu
93h	SSPADD	동기 시리얼 포트 (I <sup>2</sup> C™ 모드 ) 어드레스 레지스터								0000 0000	0000 0000
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
94h	SSPSTAT	SMP <sup>(2)</sup>	CKE <sup>(2)</sup>	D/A	P	S	R/W	UA	BF	0000 0000	0000 0000
87h	TRISC	포트 C 방향 설정 레지스터								1111 1111	1111 1111

범례 : x = 알수 없음 , u = 변하지 않음 , - = 정의 되지 않았고 항상 0 으로 워힘 . 빗금 친 부분은 SSP 모듈의 I<sup>2</sup>C 모드에서는 사용 되지 않음

노트 1: PSPIE 와 PSPIF 비트들은 PIC16CR73/76 에서는 예약 되어 있음 ; 항상 0 을 유지 함 .

노트 2: I<sup>2</sup>C 모드에서 이 비트들은 클리어 되어야 한다 .

## 10.0 유니버설 동기 비동기 수신기 송신기 모듈 (USART)

유니버설 동기 비동기 수신기 송신기 (USART) 모듈은 두개의 시리얼 I/O 모듈 중의 하나이다. (USART 는 직렬 커뮤니케이션 인터페이스 또는 SCI 라고 부르기도 한다) USART 모듈은 CRT 터미널, 퍼스널 컴퓨터와 같은 주변 디바이스와 통신 할 수 있는 전이중 비동기 시스템으로 사용 하거나 또는 A/D, D/A 적분회로, 시리얼 EEPROM 등과 같은 주변 디바이스와 통신 할 수 있는 반이중 동기 시스템으로 구성 가능하다.

USART 는 다음과 같은 모드로 구성 가능 하다 :

- 비동기 ( 전이중 )
- 동기 - 마스터 ( 반이중 )
- 동기 - 슬레이브 ( 반이중 )

RC6/TX/CK 핀과 RC7/RX/DT 핀을 USART 모듈 핀으로 사용 하기 위해서는 SPEN (RCSTA<7>) 과 TRISC<7:6> 비트를 셋트 하여야 한다.

레지스터 10-1: TXSTA: 송신기 상태 및 제어 ( 어드레스 98h)

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D
비트 7							비트 0

범례 :

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않은 비트, 항상 '0' 으로 읽힘  
 -n = POR 에서의 값                      '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 알수 없는 비트 값

- 비트 7                      **CSRC:** 클럭 소스 선택 비트  
                                     비동기 모드:  
                                     사용 되지 않음  
                                     동기 모드:  
                                     1 = 마스터 모드 (BRG 로 부터 내부적으로 클럭이 발생 됨 )  
                                     0 = 슬레이브 모드 ( 외부 소스로 부터 클럭을 받음 )
- 비트 6                      **TX9:** 9 비트 송신 인에이블 비트  
                                     1 = 9 비트 송신 모드가 선택 됨  
                                     0 = 8 비트 송신 모드가 선택 됨
- 비트 5                      **TXEN:** 송신 모듈 인에이블 비트  
                                     1 = 송신 모듈이 인에이블 됨  
                                     0 = 송신 모듈이 디제이블 됨
- Note:** 동기 모드에서 SREN/CREN 이 TXEN 보다 우선 순위가 높다
- 비트 4                      **SYNC:** USART 모드 선택 비트  
                                     1 = 동기 모드  
                                     0 = 비동기 모드
- 비트 3                      정의 되지 않았음 : 항상 '0' 으로 읽힘
- 비트 2                      **BRGH:** 고속 보 - 레이트 선택 비트  
                                     비동기 모드:  
                                     1 = 고속 모드  
                                     0 = 저속 모드  
                                     동기 모드:  
                                     사용 되지 않음
- 비트 1                      **TRMT:** 송신 쉬프트 레지스터 상태 비트  
                                     1 = TSR 이 비었음  
                                     0 = TSR 이 비어 있지 않음
- 비트 0                      **TX9D:** 송신 데이터의 9 번째 비트  
                                     패리티 비트로 사용 될 수 있다

# PIC16CR7X

레지스터 10-2: RCSTA: 수신기 상태 및 제어 ( 어드레스 18h)

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	—	FERR	OERR	RX9D
비트 7							비트 0

**범례 :**

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않은 비트, 항상 '0' 으로 읽힘  
 -n = POR 에서의 값                      '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 알수 없는 비트 값

- 비트 7                      **SPEN:** 시리얼 포트 인에이블 비트  
 1 = 시리얼 포트가 인에이블 됨 ( RC7/RX/DT 핀과 RC6/TX/CK 핀이 시리얼 포트 핀으로 할당 됨 )  
 0 = 시리얼 포트가 디제이블 됨
  
- 비트 6                      **RX9:** 9 비트 수신 인에이블 비트  
 1 = 9 비트 수신을 선택 함  
 0 = 8 비트 수신을 선택 함
  
- 비트 5                      **SREN:** 싱글 워드 수신 기능 인에이블 비트  
비동기 모드:  
 사용 되지 않음  
동기 모드 - 마스터:  
 1 = 싱글 워드 수신 기능이 인에이블 된다  
 0 = 싱글 워드 수신 기능이 디제이블 된다  
 이 비트는 수신이 완료 되면 클리어 된다  
동기 모드 - 슬레이브:  
 사용 되지 않음
  
- 비트 4                      **CREN:** 연속 워드 수신 기능 인에이블 비트  
비동기 모드:  
 1 = 연속 워드 수신 기능이 인에이블 된다  
 0 = 연속 워드 수신 기능이 디제이블 된다  
동기 모드:  
 1 = CREN 이 클리어 될 때까지 연속 워드 수신 기능이 인에이블 된다 (CREN 이 SREN 을 우선한다 )  
 0 = 연속 워드 수신 기능이 디제이블 된다
  
- 비트 3                      **정의 되지 않았음:** 항상 '0' 으로 읽힘
  
- 비트 2                      **FERR:** 프레임 에러 비트  
 1 = 프레임 에러 발생 (RCREG 를 읽음으로서 업데이트 되며 다음 유효한 데이터를 수신 가능 함 )  
 0 = 프레임 에러가 발생 되지 않았다
  
- 비트 1                      **OERR:** 오버 - 런 에러 비트  
 1 = 오버 - 런 에러가 발생 하였다 (CREN 비트를 클리어 함으로써 클리어 될 수 있다 )  
 0 = 오버 - 런 에러가 발생 되지 않았다
  
- 비트 0                      **RX9D:** 수신 된 9 번째 데이터  
 패리티 비트일수 있다 ( 패리티는 펌 - 웨어에 의하여 계산 되어야 한다 )



## 10.1 USART 보 - 레이트 발생기 (BRG)

BRG 는 USART 모듈의 동기 모드 및 비동기 모드에서 사용 가능하다. 이것은 8 비트 보 - 레이트 발생기로 되어 있다. SPBRG 레지스터는 자유롭게 구동 되는 8 비트 타이머의 기간을 제어 한다. 비 동기 모드에서는 BRGH (TXSTA<2>) 비트를 이용 하여 보 - 레이트를 제어 하지만 동기 모드에서 BRGH 비트는 무시 된다. 테이블 10-1 은 다른 USART 모드의 보 - 레이트 계산을 위한 공식이다.

요구 되는 보 - 레이트와 오실레이터 Fosc 를 가지고 테이블 10-1 을 이용 하여 계산 하면 정수의 SPBRG 값을 계산 가능하다. 또한 이것으로부터 보 - 레이트 에러율 또한 계산 할 수 있다.

요구 되는 보 - 레이트 클럭이 낮을지라도 고속 보 - 레이트 (BRGH = 1) 공식을 사용 하는 것이 유리하다. 왜냐 하면  $Fosc/(16(X + 1))$  공식이 어떤 경우에는 보 - 레이트 에러를 줄일 수 있기 때문이다.

새로운 값을 SPBRG 레지스터에 쓰면 BRG 타이머 값은 리셋 ( 또는 클리어 ) 된다. 이것은 먼저 값이 오버플로우 하기 전에 새로운 BRG 보 - 레이트가 적용 된다는 것을 의미한다.

### 10.1.1 샘플링

데이터는 현재 RX 핀에 하이 또는 로우 레벨이 있는지를 판단 하기 위하여 주요 검출 회로를 이용 하여 RC7/RX/DT 핀을 3 번 샘플링 된다.

테이블 10-1: 보 - 레이트 공식

싱크	BRGH = 0 ( 저속 )	BRGH = 1 ( 고속 )
0	( 비동기 ) 보 - 레이트 = $Fosc/(64(X+1))$	보 - 레이트 = $Fosc/(16(X+1))$
1	( 동기 ) 보 - 레이트 = $Fosc/(4(X+1))$	존재 하지 않음

X = SPBRG 레지스터의 값 ( 0 에서 255 )

테이블 10-2: 보 - 레이트 발생기와 관련된 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR,BOR 에서의 값	다른 모든 리 셋에서의 값
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
18h	RCSTA	SPEN	RX9	SREN	CREN	—	FERR	OERR	RX9D	0000 -00x	0000 -00x
99h	SPBRG	보 - 레이트 발생기 레지스터								0000 0000	0000 0000

범례 : x = 알수 없음, u = 변하지 않음, - = 정의 되지 않았음, 항상 0 으로 워힘. 빗금친 부분은 BRG 부분 에서 사용 되지 않음.

# PIC16CR7X

테이블 10-3: 비동기 모드에서의 보 - 레이트 (BRGH = 0)

보 - 레이트	Fosc = 20 MHz			Fosc = 16 MHz			Fosc = 10 MHz		
	보레이트	% 에러	SPBRG 값 (10 진수)	보레이트	% 에러	SPBRG 값 (십진수)	보레이트	% 에러	SPBRG 값 (십진수)
1200	1,221	1.73%	255	1,202	0.16%	207	1,202	0.16%	129
2400	2,404	0.16%	129	2,404	0.16%	103	2,404	0.16%	64
9600	9,470	-1.36%	32	9,615	0.16%	25	9,766	1.73%	15
19,200	19,531	1.73%	15	19,231	0.16%	12	19,531	1.73%	7
38,400	39,063	1.73%	7	35,714	-6.99%	6	39,063	1.73%	3
57,600	62,500	8.51%	4	62,500	8.51%	3	52,083	-9.58%	2
76,800	78,125	1.73%	3	83,333	8.51%	2	78,125	1.73%	1
96,000	104,167	8.51%	2	83,333	-13.19%	2	78,125	-18.62%	1
115,200	104,167	-9.58%	2	125,000	8.51%	1	78,125	-32.18%	1
250,000	312,500	25.00%	0	250,000	0.00%	0	156,250	-37.50%	0

보 - 레이트	Fosc = 4 MHz			Fosc = 3.6864 MHz			Fosc = 3.579545 MHz		
	보레이트	% 에러	SPBRG 값 (십진수)	보레이트	% 에러	SPBRG VALUE (십진수)	보레이트	% 에러	SPBRG VALUE (십진수)
300	300	0.16%	207	300	0.00%	191	301	0.23%	185
1200	1,202	0.16%	51	1,200	0.00%	47	1,190	-0.83%	46
2400	2,404	0.16%	25	2,400	0.00%	23	2,432	1.32%	22
9600	8,929	-6.99%	6	9,600	0.00%	5	9,322	-2.90%	5
19,200	20,833	8.51%	2	19,200	0.00%	2	18,643	-2.90%	2
38,400	31,250	-18.62%	1	28,800	-25.00%	1	27,965	-27.17%	1
57,600	62,500	8.51%	0	57,600	0.00%	0	55,930	-2.90%	0
76,800	62,500	-18.62%	0	—	—	—	—	—	—

테이블 10-4: 비동기 모드에서의 보 - 레이트 (BRGH = 1)

보 - 레이트	Fosc = 20 MHz			Fosc = 16 MHz			Fosc = 10 MHz		
	보레이트	% 에러	SPBRG 값 (십진수)	보레이트	% 에러	SPBRG 값 (십진수)	보레이트	% 에러	SPBRG 값 (십진수)
2400	—	—	—	—	—	—	2,441	1.73%	255
9600	9,615	0.16%	129	9,615	0.16%	103	9,615	0.16%	64
19,200	19,231	0.16%	64	19,231	0.16%	51	18,939	-1.36%	32
38,400	37,879	-1.36%	32	38,462	0.16%	25	39,063	1.73%	15
57,600	56,818	-1.36%	21	58,824	2.12%	16	56,818	-1.36%	10
76,800	78,125	1.73%	15	76,923	0.16%	12	78,125	1.73%	7
96,000	96,154	0.16%	12	100,000	4.17%	9	89,286	-6.99%	6
115,200	113,636	-1.36%	10	111,111	-3.55%	8	125,000	8.51%	4
250,000	250,000	0.00%	4	250,000	0.00%	3	208,333	-16.67%	2
300,000	312,500	4.17%	3	333,333	11.11%	2	312,500	4.17%	1

보 - 레이트 (K)	Fosc = 4 MHz			Fosc = 3.6864 MHz			Fosc = 3.579545 MHz		
	보레이트	% 에러	SPBRG 값 (십진수)	보레이트	% 에러	SPBRG 값 (십진수)	보레이트	% 에러	SPBRG 값 (십진수)
1200	1,202	0.16%	207	1,200	0.00%	191	1,203	0.23%	185
2400	2,404	0.16%	103	2,400	0.00%	95	2,406	0.23%	92
9600	9,615	0.16%	25	9,600	0.00%	23	9,727	1.32%	22
19,200	19,231	0.16%	12	19,200	0.00%	11	18,643	-2.90%	11
38,400	35,714	-6.99%	6	38,400	0.00%	5	37,287	-2.90%	5
57,600	62,500	8.51%	3	57,600	0.00%	3	55,930	-2.90%	3
76,800	83,333	8.51%	2	76,800	0.00%	2	74,574	-2.90%	2
96,000	83,333	-13.19%	2	115,200	20.00%	1	111,861	16.52%	1
115,200	125,000	8.51%	1	115,200	0.00%	1	111,861	-2.90%	1
250,000	250,000	0.00%	0	230,400	-7.84%	0	223,722	-10.51%	0

## 10.2 USART 비동기 모드

이 모드에서 USART 는 표준 NRZ(non-return-to-zero) 포맷 (1 시작 비트 ,8 또는 9 데이터 비트 , 1 멈춤 비트 ) 을 이용 한다 . 가장 일반적인 데이터 형태는 8 비트 이다 . 칩에 내장 된 8 비트 보 - 레이트 발생기는 오실레이터로부터 표준 보 - 레이트 주파수를 생성 하는데 사용 되어 진다 . USART 송 , 수신은 낮은 비트 부터 먼저 전송 되거나 수신 된다 . USART 의 송신기와 수신기는 서로 독립된 모듈이지만 같은 보 - 레이트와 데이터 포맷을 사용 한다 . 보 - 레이트 발생기는 BRGH (TXSTA<2>) 비트에 의해 비트 쉬프트 레이트의 x16 또는 x64 의 클럭을 만들어 낸다 . 패리티는 하드웨어적으로는 지원이 되지 않고 소프트웨어적으로 구현 시켜야 한다 (아홉 번째 데이터 비트로 저장 됨) . 비동기 모드는 슬립 모드 동안에는 동작 되지 않는다 .

비동기 모드는 SYNC (TXSTA<4>) 비트를 0 으로 클리어 함으로써 선택 된다 .

USART 비동기 모듈은 다음의 중요한 요소로 구성 되어 있다 :

- 보 - 레이트 발생기
- 샘플링 회로
- 비동기 송신 모듈
- 비동기 수신 모듈

### 10.2.1 USART 비동기 송신기

USART 송신기 블록 다이어그램은 그림 10-1 에 보여 준다 . 송신기의 가장 중요한 부분은 전송 ( 직렬 ) 쉬프트 레지스터 (TSR) 이다 . 쉬프트 레지스터는 읽기 / 쓰기가 가능한 TXREG 레지스터로 부터 데이터를 얻는다 . 소프트웨어에서는 TXREG 레지스터로 데이터를 로드 한다 . TSR 레지스터는 이전 전송에서 스톱 비트가 전송 되기 이전에는 새로운 데이터를 로드 하지 않는다 . 스톱 비트가 전송 되자마자 TSR 은 TXREG 레지스터로 부터 새로운 데이터를 가져 온다 ( 만약 가능 하다면 ) . TXREG 레지스터가 TSR 레지스터로 새로운 데이터를 전송 하였다면 TXREG 는 비어 있는 상태가 되고 하나의 명령어 사이클 이후에 인터럽트 요구 플래그인 TXIF (PIR1<4>) 비트와 TRMT (TXSTA<1>) 비트가 1 로 셋트 된다 . TXIF 인터럽트는 TXIE (PIE1<4>) 비트의 셋팅에 의하여 인에이블 / 디제이블 될 수 있다 . 인터럽트 요구 플래그인 TXIF 비트는 TXIE 비트의 상태와 상관 없이 셋트 되어 지고 그 비트는 소프트웨어로 클리어 시킬 수 없다 . TXIF 비트는 오직 새로운 데이터가 TXREG 레지스터로 로드 되어지는 경우에 한해서 하드웨어 적으로 클리어가 된다 . TXIF 플래그 비트는 TXREG 레지스터의 현재 상태를 보여 주고 TRMT (TXSTA<1>) 비트는 TSR 레지스터의 현재 상태를 보여 주고 있다 .

TRMT 상태 비트는 읽기 전용 비트이며 그 비트는 TSR 레지스터가 비어진 이후 하나의 명령어 사이클 이후에 1 로 셋트가 되며 새로운 데이터가 TSR 레지스터로 로드 된 이후 하나의 명령 사이클 이후에 0 으로 클리어가 된다 . 이 비트에 관련된 인터럽트 로직이 없기 때문에 사용자는 TSR 레지스터가 비어 있는지를 판단 하기 위해서는 이 비트를 폴 - 링하여 체크 하여야만 한다 .

**노트 1:** TSR 레지스터는 데이터 메모리 맵 상에 존재 하지 않기 때문에 사용자가 접근 할 수가 없다 .

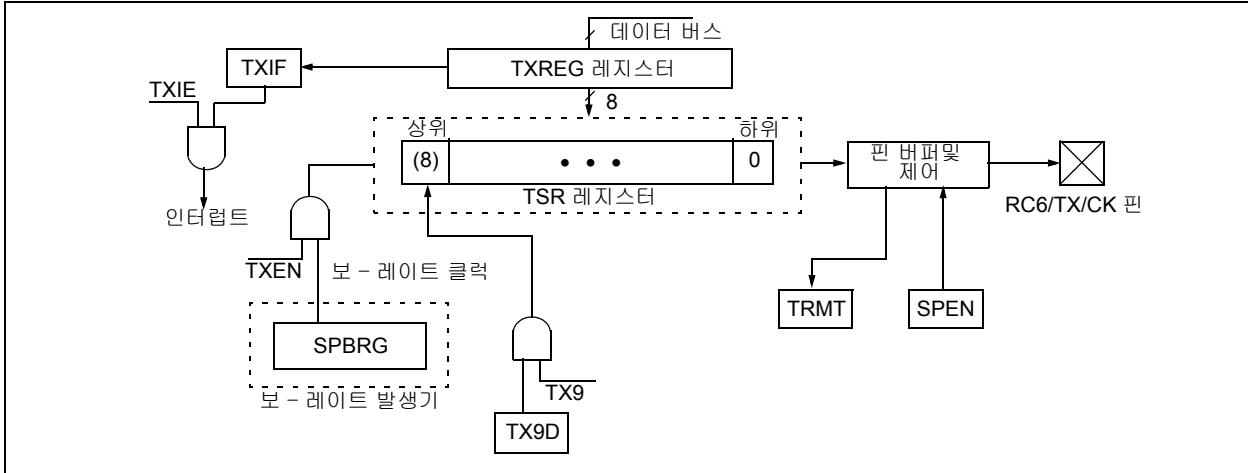
- 2: 인에이블 비트인 TXEN 비트가 셋트 되었을 때 인터럽트 요구 플래그인 TXIF 비트가 셋트 된다 . TXIF 비트는 TXREG 에 새로운 데이터가 로딩 되었을 때 클리어 된다 .

전송은 TXEN (TXSTA<5>) 비트를 셋트 하는 것에 의하여 인에이블 되지만 실제의 전송은 TXREG 레지스터에 새로운 데이터가 로드 될 때까지와 보 - 레이트 발생기 (BRG) 가 쉬프트 클럭을 만들어 낼 때까지 발생 하지 않는다 ( 그림 10-2) . 전송은 TXREG 에 새로운 값을 로딩 한 후에 TXEN 비트를 인에이블 시키면 시작 되어 진다 . 일반적으로 전송이 처음 시작 되었을 때 TSR 은 비어 있는 상태이므로 데이터를 TXREG 에 로드 하는 순간 TSR 레지스터로 전송이 되므로 TXREG 는 다시 비어 있게 된다 . 그래서 back-to-back 전송이 가능 하게 되는 것이다 ( 그림 10-3) . 송신 하는 도중에 TXEN 비트를 클리어 시키면 전송이 취소 되고 송신기 모듈이 리셋이 되며 RC6/TX/CK 은 하이 - 임피던스 상태가 된다 .

9 비트 송신을 하려면 TX9 (TXSTA<6>) 비트를 셋트 함과 동시에 9 번째에 해당 되는 데이터를 TX9D (TXSTA<0>) 비트에 써야만 한다 . 9 번째 비트는 TXREG 레지스터에 8 비트를 쓰기 이전에 써 주어야만 한다 . 왜냐하면 TXREG 에 데이터를 쓰는 즉시 TSR 레지스터로 전송이 일어 날 수 있기 때문이다 ( 만약 TSR 레지스터가 비어 있다면 ) . 그러한 경우에 영동한 9 번째 데이터 비트가 TSR 레지스터에 로드 될 수 있다 .

# PIC16CR7X

그림 10-1: USART 송신 블록 다이어그램



다음은 비동기 전송을 하기 위한 셋업 순서이다 :

1. 적당한 보 - 레이트 설정을 위하여 SPBRG 레지스터를 초기화 시킨다 . 만약 고속 보 - 레이트가 필요 하다면 BRGH 비트를 셋트 시킨다 ( 섹션 10.1 USART 보 - 레이트 발생기 (BRG) 를 참조 할 것 ) .
2. SYNC 비트를 클리어 시키고 SPEN 비트를 셋트 시킴으로써 비동기 직렬 포트를 인에이블 시킨다 .
3. 만약 인터럽트가 요구 된다면 TXIF 비트를 셋트 시킨다 .
4. 만약 9 비트 전송이 요구 된다면 TX9D 비트를 셋트 시킨다 .
5. TXEN 비트를 셋트 시켜 전송을 인에이블 시킨다 . 그것은 또한 TXIF 비트를 셋트 시킬 것이다 .
6. 만약 9 비트 전송이 선택 된다면 9 번째 비트를 TX9D 비트에 로드 시킨다 .
7. 데이터를 TXREG 레지스터에 로드 시킨다 . ( 송신이 시작 됨 ) .
8. 만약 인터럽트를 사용 한다면 INTCON 레지스터의 GIE 비트와 PEIE 비트를 확인 하여야 한다 .

그림 10-2: 비동기 마스터 전송

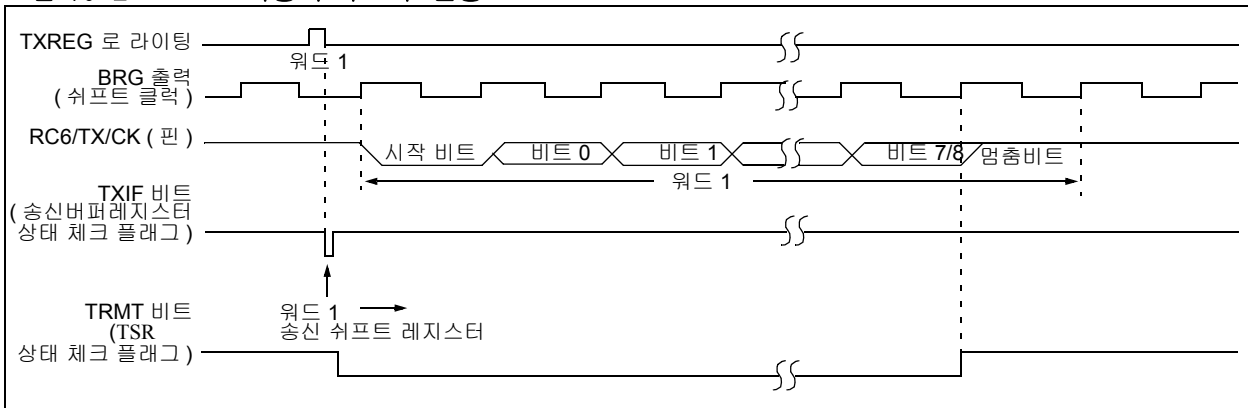
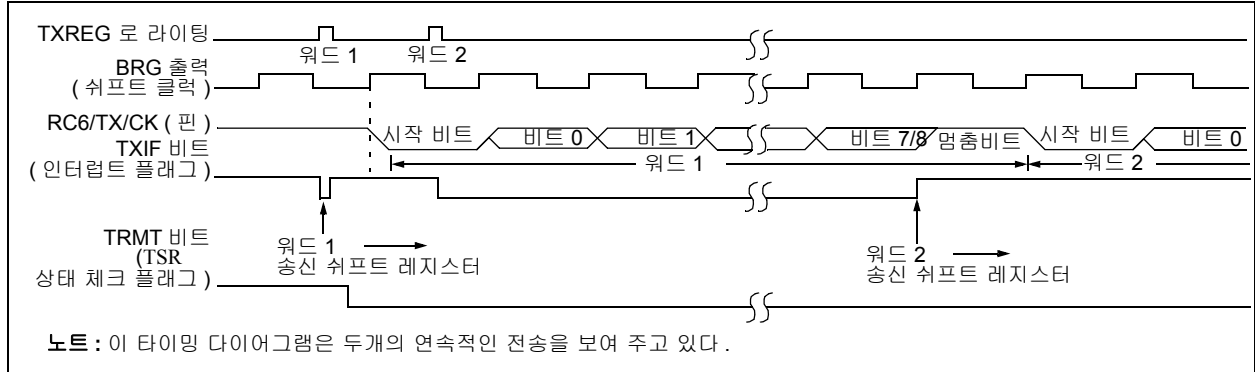


그림 10-3: 비동기 마스터 전송 (BACK-TO-BACK)



테이블 10-5: 비동기 전송과 관련이 되는 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR,BOR 상태에서의 값	다른 모든 리셋에서의 값
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	—	FERR	OERR	RX9D	0000 -00x	0000 -00x
19h	TXREG	USART 송신 데이터 레지스터								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	보 - 레이트 발생기 레지스터								0000 0000	0000 0000

범례: x = 알수 없음, - = 정의되지 않았음. 항상 0으로 읽힘. 빗금 친 부분은 비동기 송신에서는 사용되지 않음.

노트 1: PSPIE와 PSPIF는 PIC16CR73/76에서는 예약되어 있음; 항상 이 비트들은 클리어 상태를 유지함.

## 10.2.2 USART 비동기 수신기

수신기 블록 다이어그램이 그림 10-4에 나타나 있다. RC7/RX/DT 핀으로부터 들어오는 데이터는 리커버리 블록에 의해서 드라이브 된다. 데이터 리커버리 블록은 실제 보 - 레이트 보다 x16배 높은 스피드로 쉬프트 동작을 하는 반면 메인 수신 시리얼 쉬프트 동작은 비트레이트 또는 Fosc로 구동되고 있다.

비동기 모드가 선택되어 졌다면 수신은 CREN (RCSTA<4>) 비트를 셋트 하는 것에 의하여 인에이블 된다.

수신기의 핵심은 수신(시리얼) 쉬프트 레지스터 (RSR)이다. 멈춤 비트가 검출된 이후에 RSR에 수신된 데이터는 RCREG 레지스터로 전송이 된다 (만약 비어 있다면). 전송이 완료되면 RCIF (PIR1<5>) 비트가 셋트 된다. 실제 인터럽트는 RCIE (PIE1<5>) 비트에 의해 인에이블 또는 디제이블 될 수 있다. RCIF 비트는 하드웨어에 의해서만 클리어 되는 읽기 전용 비트이다. RCREG를 읽었을 때 이 비트는 자동으로 클리어 되고 RCREG는 비어 있는 상태로 된다. RCREG 레지스터는 더블 버퍼 레지스터이다 (즉 두개의 FIFO의 구조를 가진 이중 버퍼이다). 수신된 두바이트의 데이터가 RCREG FIFO 레지스터로 전송이 되는 것이 가능하며 세번째 바이트가 RSR 레지스터로 들어올 수 있다. 3번째 바이트의 멈춤 비트가 검출된 상황에서도 RCREG 레지스터에 데이터가 남아 있으면 오버런 에러 OERR (RCSTA<1>) 비트가 셋트 되고 RSR의 데이터는 잃어버리게 된다. RCREG는 FIFO에 있는 두바이트를 회수하기 위하여 두번 연속으로 읽을 수 있

다. OERR 비트는 소프트웨어에서 클리어 시켜야만 하는데 이것은 수신 로직을 리셋 시키는 것에 의하여 가능하다 (CREN 비트를 클리어 한 후에 다시 셋트 시킴). 만약 OERR 비트가 셋트 되면 RSR 레지스터로부터 RCREG 레지스터로의 데이터 전달은 금지되어지고 더 이상 데이터의 수신은 불가능하여진다. 그러므로 만약 OERR 비트가 셋트 되었다면 OERR 비트를 클리어 시키는 것이 필수적이라 할 수 있다. 또한 멈춤 비트가 0으로 클리어 된 상태로 검출되었다면 프레임 에러 비트인 FERR (RCSTA<2>) 비트가 셋트 된다. FERR 비트와 9번째 수신 비트는 수신 데이터와 같은 방법으로 버퍼에 저장된다. RCREG 레지스터를 읽으면 RX9D와 FERR 비트는 새로운 값이 로드될 것이다. 그러므로 이전의 FERR 비트와 RX9D 정보를 잃어버리지 않기 위하여 RCREG 레지스터를 읽기 전에 RCSTA 레지스터를 체크할 필요가 있다.

# PIC16CR7X

그림 10-4: USART 수신기 블록 다이어그램

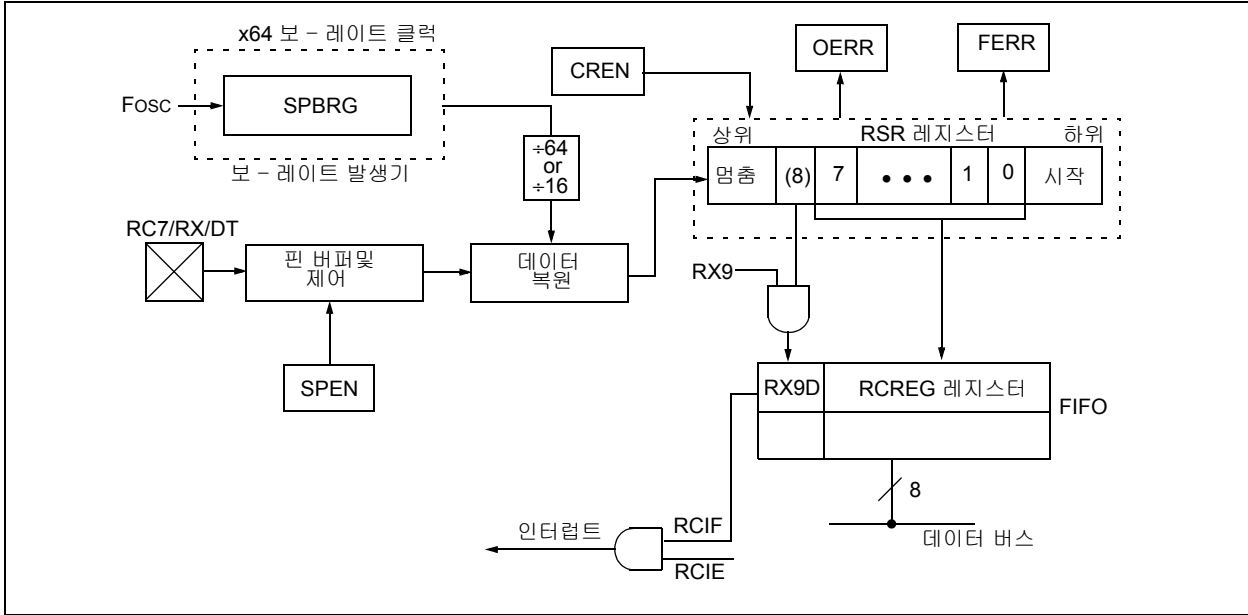
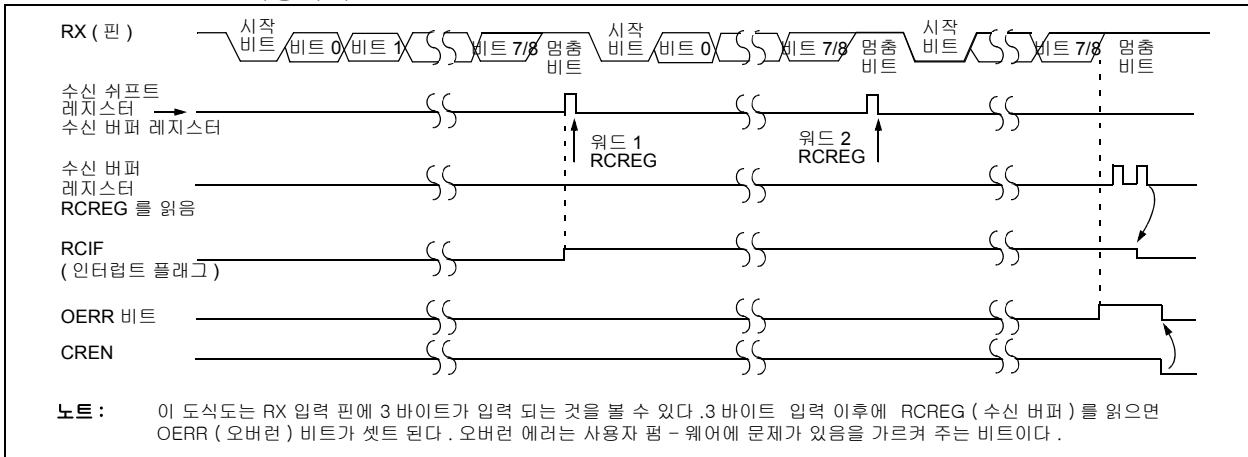


그림 10-5: 비동기 수신



다음은 비동기수신을 위한 셋팅 방법이다 :

1. 적당한 보-레이트 설정을 위하여 SPBRG 레지스터를 초기화 시킨다. 만약 고속 보-레이트가 필요 하다면 BRGH 비트를 셋트 시킨다 ( **섹션 10.1 USART 보-레이트 발생기 (BRG)** 를 참조 할 것 ).
2. SYNC 비트를 클리어 시키고 SPEN 비트를 셋트 시킴으로써 비동기 직렬 포트를 인에이블 시킨다.
3. 만약 인터럽트가 요구 된다면 RCIE 비트를 셋트 시킨다.
4. 만약 9 비트 수신 이 요구 된다면 RX9 비트를 셋트 시킨다.
5. CREN 비트를 셋트 하여 수신 모듈을 인에이블 시킨다.
6. 수신 이 완료 되었을 때 RCIF 비트는 셋트 되고 만약 RCIE 비트가 인에이블 되어 있다면 인터럽트가 발생 될 것이다.
7. 9 번째 비트 값 (9 비트 수신 모드인 경우) 과 수신 도중에 에러가 발생 되었는지를 체크 하기 위하여 RCREG 레지스터를 읽는다.
8. 수신 된 8 비트 값을 읽기 위하여 RCREG 레지스터를 읽는다.
9. 만약 에러가 발생 하였다면 CREN 비트를 클리어 시킴으로써 에러를 클리어 시킨다.
10. 만약 인터럽트를 사용 한다면 INTCON 레지스터의 GIE 비트와 PEIE 비트를 확인 하여야 한다.

테이블 10-6: 비동기 수신과 관련이 되는 레지스터 요약

어드레스 s	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR,BOR 상태에서의 값	다른 모든 리셋에서의 값
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	—	FERR	OERR	RX9D	0000 -00x	0000 -00x
1Ah	RCREG	USART 수신 레지스터								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	보 - 레이트 발생기 레지스터								0000 0000	0000 0000

범례 : x = 알수 없음, - = 정의 되지 않았음. 항상 0으로 읽힘. 빗금 친 부분은 비동기 수신에서는 사용 되지 않음.

노트 1: PSPIE 와 PSPIF 는 PIC16CR73/76 에서는 예약 되어 있음; 항상 이 비트들은 클리어 상태를 유지 함.

## 10.3 USART 동기 마스터모드

동기 마스터 모드에서는 반이중 전송만 가능하다 (즉 송신과 수신은 동시에 일어나지는 않는다). 송신이 진행 중일 경우는 수신은 허용되지 않으며 그 반대의 경우도 성립된다. 동기 모드는 SYNC (TXSTA<4>) 비트를 셋트 시키면 인에이블 된다. 게다가 RC6/TX/CK과 RC7/RX/DT I/O 핀을 CK (클럭)과 DT (데이터) 라인으로 할당 시키기 위하여 SPEN (RCSTA<7>) 비트를 인에이블 시킨다. 마스터 모드는 프로세서가 CK 라인에 마스터 클럭을 전송 시킨다. 마스터 모드는 CSRC (TXSTA<7>) 비트를 셋트 하는 것에 의하여 들어갈 수 있다.

### 10.3.1 USART 동기 마스터 전송

USART 송신기 블록 다이어그램은 그림 10-1에 보여준다. 송신기의 가장 중요한 부분은 전송 (직렬) 쉬프트 레지스터 (TSR)이다. 쉬프트 레지스터는 읽기/쓰기가 가능한 TXREG 레지스터로부터 데이터를 얻는다. 소프트웨어에서는 TXREG 레지스터로 데이터를 로드한다. TSR 레지스터는 이전 전송에서 스톱 비트가 전송되기 이전에는 새로운 데이터를 로드하지 않는다. 스톱 비트가 전송되자마자 TSR은 TXREG 레지스터로부터 새로운 데이터를 가져온다 (만약 가능하다면). TXREG 레지스터가 TSR 레지스터로 새로운 데이터를 전송하였다면 (하나의 Tcycle 동안에 발생) TXREG는 비어 있는 상태가 되고 인터럽트 요구 플래그인 TXIF (PIR1<4>) 비트가 셋트된다. TXIF 인터럽트는 TXIE (PIE1<4>) 비트의 셋팅에 의하여 인에이블/디제이브될 수 있다. 인터럽트 요구 플래그인 TXIF 비트는 TXIE 비트의 상태와 상관 없이 셋트되어지고 그 비트는 소프트웨어로 클리어시킬 수 없다. TXIF 비트는 오직 새로운 데이터가 TXREG 레지스터로 로드되어지는 경우에 한해서 하드웨어적으로 클리어가 된다. TXIF 플래그 비트는 TXREG 레지스터의 현재 상태를 보여주고 TRMT (TXSTA<1>) 비트는 TSR 레지스터의 현재 상태를 보여주고 있다. TRMT 상태 비트는 읽기 전용 비트이며 그 비트는 TSR 레지스터가 비어진 이후 1로 셋트가 된다. 이 비트에 관련된 인터럽트 로직이 없기 때문에 사용자는 TSR 레지스터가 비어 있는지를 판단하기 위해서는 이 비트를 폴-링하여 체크하여야만 한다. TSR 레지스터는 데이터 메모리 맵 상에 존재하지 않기 때문에 사용자가 접근할 수가 없다.

전송은 TXEN (TXSTA<5>) 비트를 셋트 하는 것에 의하여 인에이블되지만 실제의 전송은 TXREG 레지스터에 새로운 데이터가 로드될 때까지 발생하지 않는다 (그림 10-2). 첫번째 데이터 비트는 CK 클럭의 상승 에지에서 쉬프트 출력된다. 데이터 출력은 동기 클럭의 하강 에지에서 안정적이다 (그림 10-6).

또한 전송은 처음에 데이터를 TXREG에 로드시키고 TXEN 비트를 셋트 함으로써 시작된다 (그림 10-7). 이 방법은 저속의 보-레이트가 선택되었을 때 유리하며 이 방법을 사용하기 위해서는 TXEN, CREN, SREN 비트가 클리어되어 있을 때 BRG 비트가 리셋 상태를 유지하여야 한다. TXEN 비트를 인에이블 시키면 BRG가 동작 시작되고 즉시 쉬프트 클럭을 발생시킨다. 일반적으로 전송이 처음 시작되었을 때 TSR은 비어 있는 상태이므로 데이터를 TXREG에 로드하는 순간

TSR 레지스터로 전송이 되므로 TXREG는 다시 비어 있게 된다. 그래서 back-to-back 전송이 가능하게 되는 것이다.

송신 하는 도중에 TXEN 비트를 클리어 시키면 전송이 취소되고 송신기 모듈이 리셋이 되며 DT와 CK 핀은 하이-임피던스 상태가 된다.

만약 전송 도중에 CREN 또는 SREN 비트가 셋트 되면 전송은 중지되며 DT 핀은 하이 임피던스 상태가 된다 (수신 상태). CK 핀은 CSRC 비트가 셋트 (내부 클럭)되어 있다면 출력 상태를 유지할 것이다.

그러나 송신기 로직이 핀과 분리되어 있다 할지라도 송신기 로직이 리셋되지 않는다. 송신기를 리셋 시키기 위해서는 사용자는 TXEN 비트를 클리어 시켜야 한다. 만약 SREN 비트가 셋트 (싱글 워드를 송신 및 수신시 인터럽트를 발생 시키기 위하여) 되었다면 싱글 워드를 수신한 후 SREN 비트는 클리어되며 TXEN 비트가 셋트되어 있는 상태라면 다시 송신 상태로 들어갈 것이다. DT 라인은 하이 임피던스 수신 모드에서 송신 모드로 즉시 전환되기 때문에 따라서 이것을 피하기 위해서는 TXEN 비트를 클리어 시켜야 한다.

9비트 송신을 하려면 TX9 (TXSTA<6>) 비트를 셋트함과 동시에 9번째에 해당되는 데이터를 TX9D (TXSTA<0>) 비트에 써야만 한다. 9번째 비트는 TXREG 레지스터에 8비트를 쓰기 이전에 써주어야만 한다. 왜냐하면 TXREG에 데이터를 쓰는 즉시 TSR 레지스터로 전송이 일어날 수 있기 때문이다 (만약 TSR 레지스터가 비어 있다면). 만약 새로운 TX9D 비트 값이 쓰여지기 이전에 TSR이 비어 있고 TXREG 레지스터 쪽으로 데이터가 쓰여졌다면 TX9D의 새로운 값 대신 이전 값이 로드될 버린다.

다음은 동기 마스터 전송을 하기 위한 셋업 순서이다:

1. 적당한 보-레이트 설정을 위하여 SPBRG 레지스터를 초기화 시킨다. (섹션 10.1 USART 보-레이트 발생기 (BRG)를 참조할 것).
2. SYNC, SPEN, CSRC 비트를 셋트 시키면 동기 마스터 직렬 포트가 인에이블 시킨다.
3. 만약 인터럽트가 요구된다면 TXIE 비트를 셋트 시킨다.
4. 만약 9비트 전송이 요구된다면 TX9 비트를 셋트 시킨다.
5. TXEN 비트를 셋트 시켜 전송을 인에이블 시킨다.
6. 만약 9비트 전송이 선택된다면 9번째 비트를 TX9D 비트에 로드 시킨다.
7. 데이터를 TXREG 레지스터에 로드 시켜 송신을 시작한다.
8. 만약 인터럽트를 사용한다면 INTCON 레지스터의 GIE 비트와 PEIE 비트를 확인하여야 한다.



그림 10-6: 동기 송신

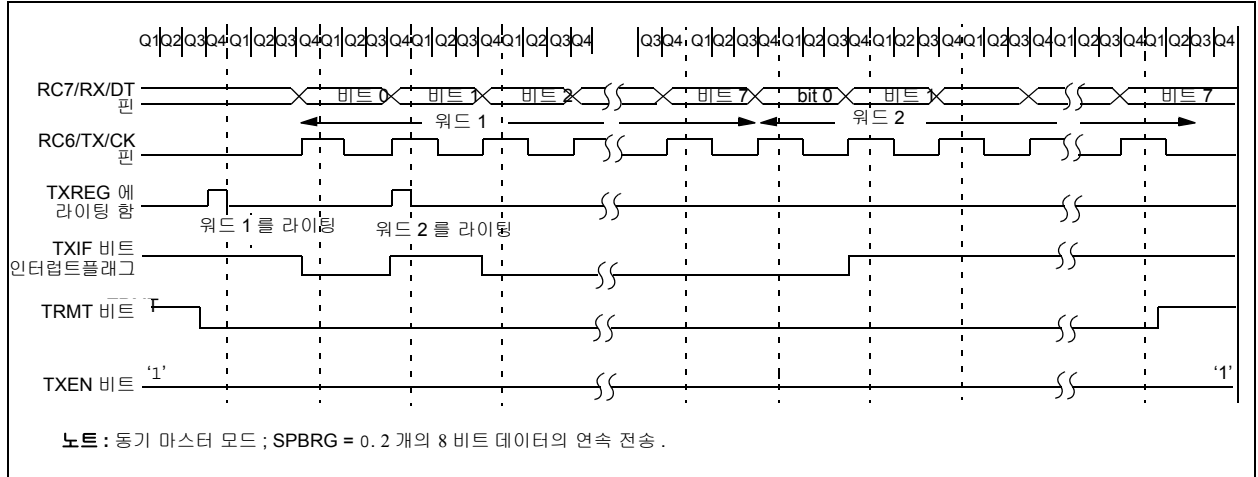
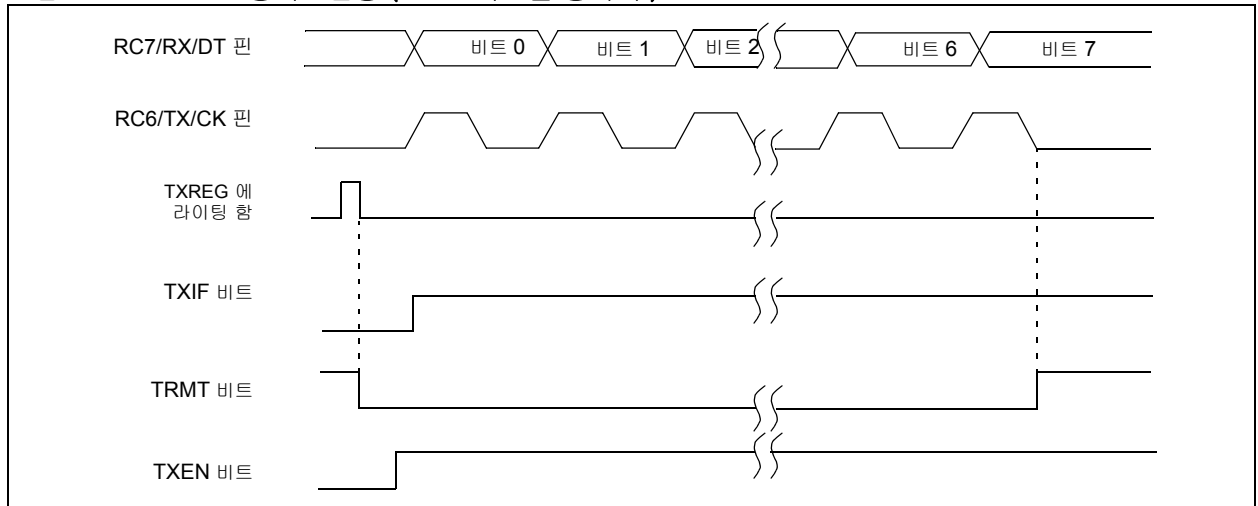


그림 10-7: 동기 전송 (TXEN 비트를 통하여)



테이블 10-7: 동기 마스터 전송과 관련된 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR,BOR 상태에서의 값	다른 모든 리셋에서의 값
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	—	FERR	OERR	RX9D	0000 -00x	0000 -00x
19h	TXREG	USART 송신 데이터 레지스터								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	보 - 레이트 발생기 레지스터								0000 0000	0000 0000

범례: x = 알수 없음, - = 정의 되지 않았음. 항상 0으로 읽힘. 빗금 친 부분은 동기 마스터 전송에서는 사용 되지 않음.

노트 1: PSPIE 와 PSPIF 는 PIC16CR73/76 에서는 예약 되어 있음; 항상 이 비트들은 클리어 상태를 유지 함.

# PIC16CR7X

## 10.3.2 USART 동기마스터 수신

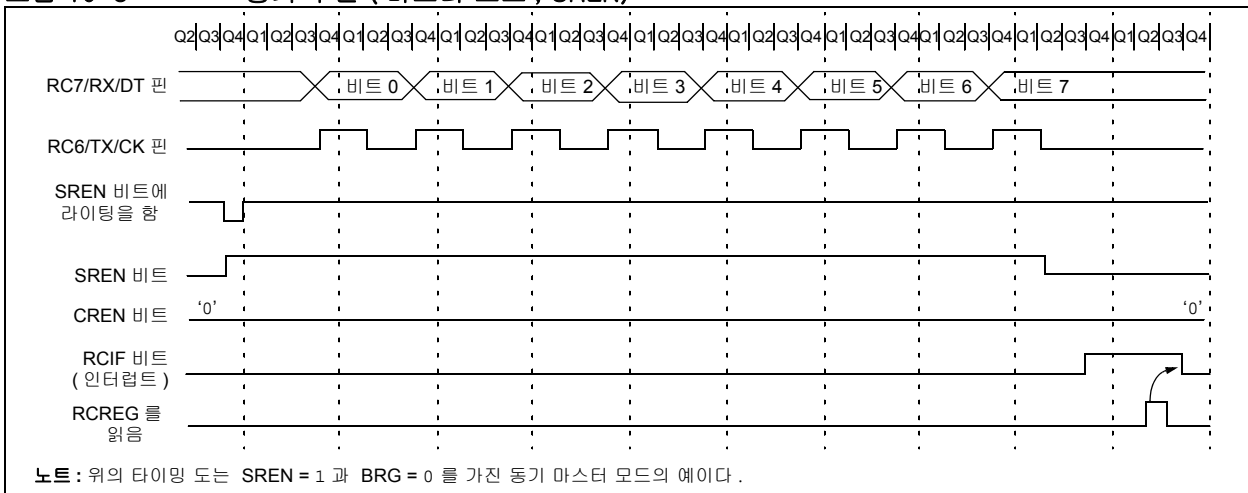
동기 모드가 선택 되었을 때 수신은 SREN (RCSTA<5>) 비트 또는 CREN (RCSTA<4>) 비트를 셋트 함으로써 인에이블 된다. RC7/RX/DT 핀으로 부터 입력 되는 데이터는 클럭의 하강 에지에서 샘플링 된다. 만약 SREN 비트가 셋트 되었다면 오직 싱글 워드만 수신이 되며 CREN 비트가 셋트 되었다면 연속 수신이 가능하다. CREN 은 SREN 비트에 보다 우선 순위가 높다. 마지막 비트가 수신 된 후 RSR 에 수신 된 데이터는 RCREG 레지스터로 전송이 된다 ( 만약 비어 있다면 ). 전송이 완료 되면 RCIF (PIR1<5>) 비트가 셋트 된다. 실제 인터럽트는 RCIE (PIE1<5>) 비트에 의해 인에이블 또는 디제이블 될 수 있다. RCIF 비트는 하드웨어에 의해서만 클리어 되는 읽기 전용 비트이다. RCREG 를 읽었을 때 이 비트는 자동으로 클리어 되고 RCREG 는 비어 있는 상태로 된다. RCREG 레지스터는 더블 버퍼 레지스터이다 ( 즉 두개의 FIFO 의 구조를 가진 이중 버퍼이다 ). 수신 된 두바이트의 데이터가 RCREG FIFO 레지스터로 전송이 되는 것이 가능하며 세번째 바이트가 RSR 레지스터로 들어 올 수 있다. 3 번째 바이트의 마지막 비트가 수신 된 상황에서도 RCREG 레지스터에 데이터가 남아 있으면 오버런 예러 OERR (RCSTA<1>) 비트가 셋트 되고 RSR 의 데이터는 잃어 버리게 된다. RCREG 는 FIFO 에 있는 두 바이트를 회수 하기 위하여 두번 연속으로 읽을 수 있다. OERR 비트는 소프트웨어에서 클리어 시켜야만 한다 (CREN 비트를 클리어 시킴에 의하여). 만약 OERR 비트가 셋트 되면 RSR 레지스터로 부터 RCREG 레지스터로의 데이터 전달은 금지 되어 지므로 만약 OERR

비트가 셋트 되었다면 OERR 비트를 클리어 시키는 것이 필수적이라 할 수 있다. 9 번째 수신 비트는 수신 데이터와 같은 방법으로 저장 되어 진다. RCREG 를 읽으면 새로운 값이 RX9D 에 로드 될 것이다. 그러므로 사용자는 RX9D 정보를 잃지 않기 위하여 RCREG 레지스터를 읽기 전에 우선 RCSTA 레지스터를 읽어야 한다.

다음은 동기 마스터 수신을 위한 셋팅 방법이다 :

1. 적당한 보 - 레이트 설정을 위하여 SPBRG 레지스터를 초기화 시킴 ( 섹션 10.1 USART 보 - 레이트 발생기 (BRG) 를 참조 할 것 ).
2. SYNC, SPEN, CSRC 비트를 셋트 시킴으로써 동기 마스터 직렬 포트를 인에이블 시킴
3. CREN, SREN 비트가 클리어 되었는지 확인 함
4. 인터럽트가 요구 된다면 RCIE 비트를 셋트 시킴
5. 9 비트 수신이 요구 된다면 RX9 를 셋트 시킴
6. 만약 단 한번의 수신이 요구 된다면 SREN 비트를, 지속적인 수신이 요구 된다면 CREN 비트를 셋트 시킴
7. RCIF 비트는 수신이 완료 되면 셋트 되고 RCIE 비트가 셋트 되어 있다면 인터럽트가 발생 됨
8. 9 번째 비트와 수신 도중 에러가 발생 한지를 체크 하기 위하여 RCSTA 레지스터를 읽어 본다
9. RCREG 레지스터를 통해 8 비트 데이터를 읽음
10. 에러가 발생 하였다면 CREN 비트를 클리어 함
11. 만약 인터럽트를 사용 한다면 INTCON 레지스터의 GIE 비트와 PEIE 비트를 확인 하여야 함

그림 10-8: 동기 수신 ( 마스터 모드, SREN)



테이블 10-8: 동기 마스터 수신과 관련된 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR,BOR 상태에서의 값	다른 모든 리 셋에서의 값
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	—	FERR	OERR	RX9D	0000 -00x	0000 -00x
1Ah	RCREG	USART 수신 데이터 레지스터								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	보 - 레이트 발생기 레지스터								0000 0000	0000 0000

범례: x = 알수 없음, - = 정의되지 않았음. 항상 0으로 읽힘. 빗금 친 부분은 동기 마스터 수신에서는 사용되지 않음.

노트 1: PSPIE와 PSPIF는 PIC16CR73/76에서는 예약되어 있음; 항상 이 비트들은 클리어 상태를 유지함.

## 10.4 동기 슬레이브 모드

동기 슬레이브 모드는 외부로부터 RC6/TX/CK 핀으로 쉬프트 클럭이 공급된다는 사실에서 마스터 모드와는 다르다 (마스터 모드에서는 클럭이 내부적으로 공급됨). 이것은 슬립 모드에서 디바이스가 전송 또는 수신하는 것이 가능하다는 것을 의미한다. 슬레이브 모드는 CSRC (TXSTA<7>) 비트를 클리어 함으로써 진입 가능하다.

### 10.4.1 USART 동기 슬레이브 송신

동기 마스터 모드와 슬레이브 모드의 동작은 슬립 모드의 경우를 제외하면 동일하다.

만약 2개의 워드가 TXREG 레지스터에 쓰여지고 슬립 명령이 실행되면 다음과 같은 일이 발생될 것이다:

- 첫 번째 워드는 즉시 TSR 레지스터로 전달되며 마스터 디바이스가 CK 라인에 클럭을 공급하면 전송을 시작할 것이다.
- 두 번째 워드는 TXREG 레지스터에 남아 있다.
- TXIF 비트는 셋트되지 않는다.
- 첫 번째 워드가 TSR을 통하여 완전히 출력되면 TXREG의 두 번째 워드가 TSR로 전송이 되며 이때 TXIF 비트가 셋트될 것이다.
- 만약 TXIE 비트가 셋트되어 있다면 인터럽트는 디바이스를 슬립 모드로 부터 깨우게 되며 만약 글로벌 인터럽트가 인에이블되어 있다면 프로그램을 인터럽트 벡터 어드레스 (0004h)로 점프시킬 것이다.

다음은 동기 슬레이브 송신을 위한 셋팅 방법이다:

- SYNC, SPEN 비트를 셋트하고 CSRC 비트를 클리어 시킴으로써 동기 슬레이브 시리얼 포트를 인에이블 시킨다.
- CREN과 SREN 비트를 클리어 시킨다.
- 만약 인터럽트가 요구된다면 TXIE 비트를 셋트 시킨다.
- 만약 9비트 전송이 요구된다면 TX9 비트를 셋트 시킨다.
- TXEN 비트를 셋트시켜 전송을 인에이블 시킨다.
- 만약 9비트 전송이 선택된다면 9번째 비트를 TX9D 비트에 로드 시킨다.
- 데이터를 TXREG 레지스터에 로드시켜 송신을 시작한다.
- 만약 인터럽트를 사용한다면 INTCON 레지스터의 GIE 비트와 PEIE 비트를 확인하여야 한다.

# PIC16CR7X

테이블 10-9: 동기 슬레이브 송신과 관련 된 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR,BOR 상태에서의 값	다른 모든 리셋에서의 값
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	—	FERR	OERR	RX9D	0000 000x	0000 000x
19h	TXREG	USART 송신 데이터 레지스터								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	보 - 레이트 발생기 레지스터								0000 0000	0000 0000

범례 : x = 알수 없음, - = 정의 되지 않았음. 항상 0 으로 워힘. 빗금 친 부분은 동기 슬레이브 송신에서는 사용 되지 않음.  
 노트 1: PSPIE 와 PSPIF 는 PIC16CR73/76 에서는 예약 되어 있음; 항상 이 비트들은 클리어 상태를 유지 함.

## 10.4.2 USART 동기 슬레이브 수신

동기 마스터 모드와 슬레이브 모드의 동작은 슬립 모드의 경우를 제외 하면 동일 하다. 비트 SREN 은 슬레이브 모드에서는 "don't care" 이다. 만약 CREN 비트가 슬립 명령 보다 먼저 인에이블 되었다면 그 때 데이터는 슬립 동안에 수신 되어 질 수 있다. 데이터를 수신 하였을 때 RSR 은 RCREG 에 데이터를 전송 할 것이다. 그리고 만약 만약 RCIE 비트가 셋트 되어 있다면 인터럽트는 디바이스를 슬립 모드로 부터 깨우게 되며 만약 글로벌 인터럽트가 인에이블 되어 있다면 프로그램을 인터럽트 벡터 어드레스 (0004h) 로 점프 시킬 것이다.

다음은 동기 슬레이브 수신을 위한 셋팅 방법이다 :

1. SYNC, SPEN 비트를 셋트하고 CSRC 비트를 클리어 시킴으로서 동기 마스터 시리얼 포트를 인에이블 시킨다.
2. 만약 인터럽트가 요구 된다면 RCIE 비트를 셋트 시킨다.
3. 만약 9 비트 수신이 요구 된다면 RX9 비트를 셋트 시킨다.
4. CREN 비트를 셋트 시켜 수신을 인에이블 시킨다.
5. 수신이 완료 되었을 때 RCIF 비트가 셋트 되고 만약 RCIE 비트가 인에이블 되어 있다면 인터럽트가 발생 될 것이다.
6. 9 번째 비트와 수신 도중 에러가 발생 한지를 체크 하기 위하여 RCSTA 레지스터를 읽어 본다.
7. RCREG 레지스터를 통해 8 비트 데이터를 읽음.
8. 에러가 발생 하였다면 CREN 비트를 클리어 함.
9. 만약 인터럽트를 사용 한다면 INTCON 레지스터의 GIE 비트와 PEIE 비트를 확인 하여야 한다.

테이블 10-10: 동기 슬레이브 수신과 관련 된 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR,BOR 상태에서의 값	다른 모든 리셋에서의 값
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	—	FERR	OERR	RX9D	0000 000x	0000 000x
1Ah	RCREG	USART 수신 Receive Data Register								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	보 - 레이트 발생기 레지스터								0000 0000	0000 0000

범례 : x = 알수 없음, - = 정의 되지 않았음. 항상 0 으로 워힘. 빗금 친 부분은 동기 슬레이브 수신에서는 사용 되지 않음.  
 노트 1: PSPIE 와 PSPIF 는 PIC16CR73/76 에서는 예약 되어 있음; 항상 이 비트들은 클리어 상태를 유지 함 ..

## 11.0 A/D 컨버터 모듈

PIC16CR73/76 디바이스는 마이크로 내부에 5 채널의 8 비트 분해능을 가진 A/D 컨버터를 내장 하고 있으며 PIC16CR74/77 디바이스는 8 채널의 A/D 컨버터를 내장 하고 있다 .

A/D 컨버터는 아날로그 입력값을 대응하는 8 비트 디지털 값으로 변환 시킨다 . 성공적인 근사치를 발생하는 샘플 / 홀드 회로의 출력은 내부 A/D 컨버터 모듈로 입력 된다 . 아날로그 기준전압은 디바이스 공급전압 Vdd 또는 RA3/AN3/VREF 핀의 전압 레벨 중 하나를 소프트웨어에 의해서 선택 가능하다 .

A/D 컨버터는 디바이스가 슬립 모드에 있는 동안 동작을 할 수 있는 독특한 기능을 내장 하고 있으며 슬립 모드에서 A/D 컨버터를 동작을 시키기 위해서 사용자는 A/D 컨버전 클럭을 반드시 내부 RC 오실레이터를 선택 하여야만 한다 .

A/D 컨버터 모듈의 제어를 위해서 다음과 같은 3 개의 레지스터가 필요하다 :

- A/D 결과 레지스터 ((ADRES))
- A/D 제어 레지스터 0 (ADCON0)
- A/D 제어 레지스터 1 ((ADCON1))

레지스터 11-1 에서 알수 있듯이 ADCON0 레지스터는 A/D 모듈의 제어를 담당 하며 레지스터 11-2 에서 보듯이 ADCON1 레지스터는 각 포트 핀을 아날로그 핀으로 사용 할것인지 아니면 디지털 핀으로 사용 할것인지를 결정 하는데 사용 된다 . 따라서 각 포트 핀은 아날로그 입력 (RA3 핀은 기준 전압 핀으로도 사용 가능) 또는 디지털 입출력 핀으로 구성 되어 질수가 있다 .

A/D 모듈 사용에 대한 좀 더 자세한 사항은 "PICmicro® 미드-레인지 MCU 패밀리 참조 매뉴얼" (DS33023) 과 어플리케이션 노트 AN546, "Using The Analog-to-Digital Converter" (DS00546) 부분을 참조 하기를 바란다 .

### 레지스터 11-1: ADCON0: ( 어드레스 1Fh)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/DONE	—	ADON
비트 7							비트 0

#### 범례 :

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않았음 . 항상 '0' 으로 읽힘  
 -n = POR 상태의 값                      '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 정의 되지 않았음

비트 7-6      **ADCS1:ADCS0:** A/D 컨버전 클럭 선택 비트

- 00 = Fosc/2
- 01 = Fosc/8
- 10 = Fosc/32
- 11 = FRC ( 컨버전 클럭은 내부 RC 오실레이터로 부터 생성 됨 )

비트 5-3      **CHS2:CHS0:** 아날로그 채널 선택 비트

- 000 = 채널 0 (RA0/AN0)
- 001 = 채널 1 (RA1/AN1)
- 010 = 채널 2 (RA2/AN2)
- 011 = 채널 3 (RA3/AN3)
- 100 = 채널 4 (RA5/AN4)
- 101 = 채널 5 (RE0/AN5)<sup>(1)</sup>
- 110 = 채널 6 (RE1/AN6)<sup>(1)</sup>
- 111 = 채널 7 (RE2/AN7)<sup>(1)</sup>

비트 2      **GO/DONE:** A/D 컨버전 상태 비트

If ADON = 1:

- 1 = A/D 컨버전이 진행중 (A/D 컨버전 시작시 이 비트를 1 로 셋트 하여야 함 )
- 0 = A/D 컨버전이 진행 중이 아님 (A/D 컨버전이 완료 되었을 때 자동적으로 하드웨어에 의하여 이 비트가 0 으로 클리어 됨 )

비트 1      정의 되지 않았음 : 항상 '0' 으로 읽힘

비트 0      **ADON:** A/D 모듈 ON 비트

- 1 = A/D 컨버터 모듈을 동작 시킴
- 0 = A/D 컨버터 모듈이 오프 되고 동작 전류가 흐르지 않음

**Note:** A/D 채널 5, 6 그리고 7 은 PIC16CR74/77 디바이스 에서만 사용 가능 .

# PIC16CR7X

레지스터 11-2: ADCON1: ( 어드레스 1Fh)

U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-0	R/W-0
—	—	—	—	—	PCFG2	PCFG1	PCFG0
비트 7					비트 0		

범례 :

R = 읽기 가능 비트                      W = 쓰기 가능 비트                      U = 정의 되지 않았음 . 항상 '0' 으로 읽힘  
 -n = POR 상태의 값                      '1' = 비트가 셋트 됨                      '0' = 비트가 클리어 됨                      x = 정의 되지 않았음

비트 7-3                      정의 되지 않았음 : 항상 '0' 으로 읽힘  
 비트 2-0                      PCFG2:PCFG0: A/D 포트 구성 제어 비트

PCFG2:PCFG0	RA0	RA1	RA2	RA5	RA3	RE0 <sup>(1)</sup>	RE1 <sup>(1)</sup>	RE2 <sup>(1)</sup>	VREF
000	A	A	A	A	A	A	A	A	VDD
001	A	A	A	A	VREF	A	A	A	RA3
010	A	A	A	A	A	D	D	D	VDD
011	A	A	A	A	VREF	D	D	D	RA3
100	A	A	D	D	A	D	D	D	VDD
101	A	A	D	D	VREF	D	D	D	RA3
11x	D	D	D	D	D	D	D	D	VDD

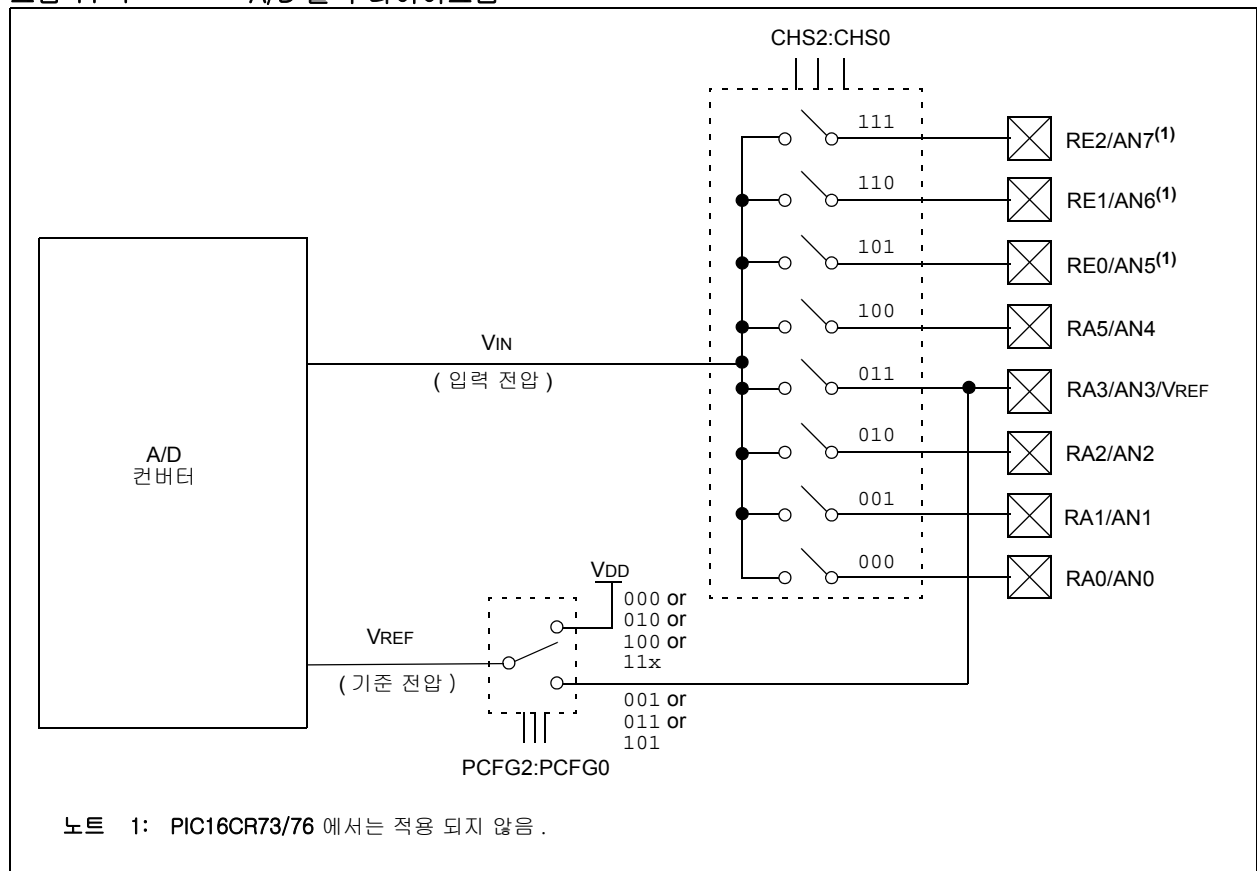
A = 아날로그 입력  
 D = 디지털 입출력

노트 1: RE0, RE1 와 RE2 는 PIC16CR74/77 디바이스 에서만 사용 가능 .

A/D 컨버전을 하기 위하여 다음과 같은 작동 순서를 지켜야 한다:

1. A/D 모듈의 구성을 결정한다 :
  - 아날로그 핀, 기준전압 그리고 디지털 I/O (ADCON1) 를 구성
  - A/D 컨버전 클럭 선택 (ADCON0)
  - A/D 모듈을 턴 - 온 시킴 (ADCON0)
2. A/D 인터럽트를 결정한다 ( 필요시 ):
  - ADIF 비트를 0 으로 클리어 시킴
  - ADIE 비트를 1 로 셋트 시킴
  - PEIE 비트를 1 로 셋트 시킴
  - GIE 비트를 1 로 셋트 시킴
3. A/D 입력 채널을 선택 (ADCON0)
4. 적당한 샘플링 시간을 기다림
5. A/D 변환을 시작 :
  - GO/DONE 비트를 1 로 셋트 (ADCON0)
6. 아래와 같은 두가지 방법 중 하나를 사용 하여 A/D 컨버전이 완료 될 때까지 기다림 :
  - 폴링 방법으로 GO/DONE 비트가 0 으로 클리어 될 때까지 기다림 ( 인터럽트 디제이블 )
  - 또는
  - A/D 인터럽트가 발생될 때까지 기다림
7. A/D 결과 레지스터 (ADRES) 를 읽고 필요시 ADIF 비트를 클리어 시킴
8. 다음 컨버전을 위해서 스텝 3 또는 필요시 스텝 4 를 수행 시킴

그림 11-1: A/D 블록 다이어그램



# PIC16CR7X

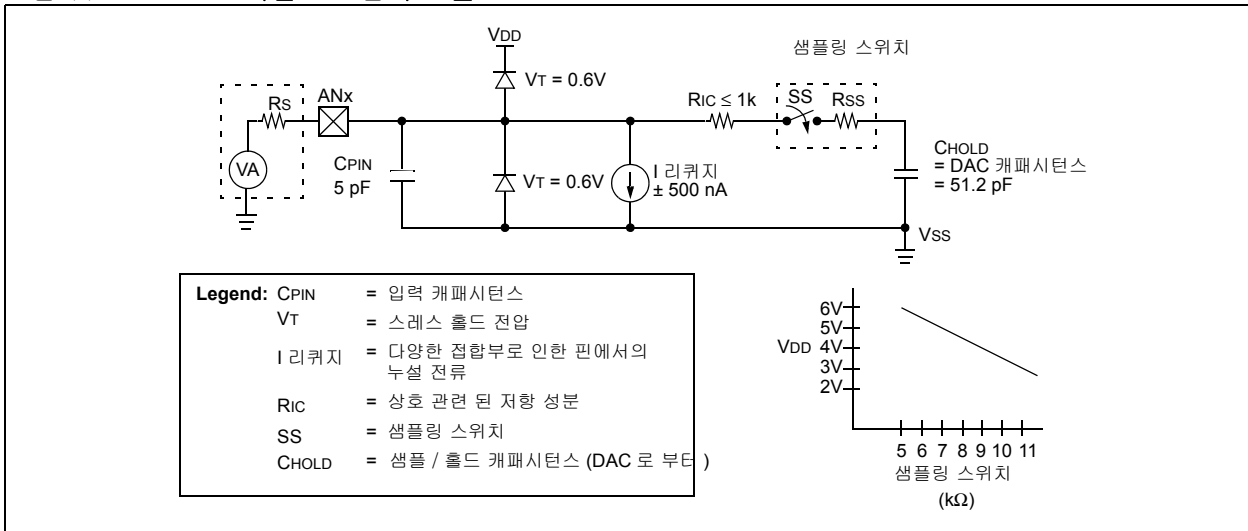
## 11.1 A/D 샘플링 요구 조건

A/D 컨버터는 정확성을 유지 하기 위하여 충전 / 홀딩용 캐패시터 (CHOLD) 가 채널 입력 전압 레벨 까지 충분히 충전 할 수 있도록 해 주어야 한다 . 아날로그 입력 모델은 그림 11-2 에 보여 주고 있다 . 소스 임피던스 ( $R_s$ )와 내부 샘플링 스위치 임피던스 ( $R_{ss}$ )는 캐패시터 CHOLD 충전 시간에 직접적인 영향을 미친다 . 그림 11-2 에서 알 수 있듯이 샘플링 스위치 임피던스 ( $R_{ss}$ )는 디바이스 전압 ( $V_{DD}$ )에 따라서 변화 하며 소스 임피던스 ( $R_s$ )는 아날로그 입력의 옴 - 셋 전압에 영향을 미친다 ( 핀 누설 전류 때문 )

아날로그 소스를 위하여 요구 되는 최대 임피던스는 **10 kΩ** 이다 . 아날로그 입력 채널이 선택 된 후에 변환을 시작 하기 앞서 이러한 샘플링 시간은 반드시 유지 되어야 한다 .

최소 샘플링 요구 시간  $T_{ACQ}$  을 계산 하기 위해서는 “PICmicro® 미드 - 레인지 MCU 패밀리 참조 매뉴얼” (DS33023) 를 참조 하기 를 바란다 . 그러나 일반적으로 100°C 의 온도에서 10 kΩ 의 최대 소스 임피던스가 주어 졌다면 최소 샘플링 요구 시간  $T_{ACQ}$  는 16 μsec 보 다 크지는 않을 것이다 .

그림 11-2: 아날로그 입력 모델



테이블 11-1: TAD 와 최대 디바이스 동작 주파수와의 관계 ( 표준 디바이스 (C) )

AD 클럭 소스 (TAD)		최대 디바이스 주파수
동작	ADCS1:ADCS0	최대
2TOSC	00	1.25 MHz
8TOSC	01	5 MHz
32TOSC	10	20 MHz
RC(1, 2, 3)	11	( 노트 1 )

- 노트 1:** RC 소스는 일반적으로 4 μs TAD 시간을 가지지만 2-6 μs 사이에서 변화 가능하다 .
- 2:** 1 MHz 보다 높은 주파수를 사용 하는 경우 RC A/D 컨버전 클럭의 선택은 오직 마이크로컨트롤러가 SLEEP 동작 중인 경우에만 사용 할 것을 추천 한다
- 3:** 확장 전압 디바이스 (LC) 인 경우는 전기적 특성 부분을 참고 하기 를 바란다 .



## 11.2 A/D 컨버전 클럭의 선택

단위 비트에 대한 A/D 컨버전 시간은 TAD 로 정의 된다 . 8 비트의 A/D 컨버전을 위해서는 9 TAD 가 요구 된다 . A/D 컨버전 클럭의 소스는 소프트웨어로 선택 가능하며 TAD 는 아래 처럼 4 가지 경우에서 하나를 선택 할 수 있다 :

- 2 Tosc (Fosc/2)
- 8 Tosc (Fosc/8)
- 32 Tosc (Fosc/32)
- 내부 RC 오실레이터 (2-6  $\mu$ s)

정확한 A/D 변환을 위하여 A/D 변환 클럭 (TAD) 은 최소 1.6  $\mu$ s 보다 커야만 한다 .

## 11.3 아날로그 포트 핀의 구성

ADCON1, TRISA 그리고 TRISE 레지스터를 이용 하여 A/D 포트 핀의 동작을 제어 한다. 아날로그 입력으로 요구 되는 포트 핀은 해당 TRIS 비트를 셋트 ( 입력 방향 ) 해야만 하고 만약 TRIS 비트가 클리어 ( 출력 방향 ) 되었다면 디지털 출력 상태 (Voh 또는 Vol) 가 될 것이다 .

CHS2:CHS0 비트와 TRIS 비트의 상태와 A/D 동작은 서로 독립적이다 ..

- 노트 1:** 모든 핀이 아날로그 입력 채널로 정의 되어 있을 때 포트 레지스터를 읽으면 0 으로 ( 로우 레벨 ) 읽혀 진다 . 핀이 디지털 입력으로 정의 되어 있을 때 A/D 컨버전을 하면 정확한 A/D 변환이 되지 않는다 .
- 2:** 아날로그 입력이 아니라 디지털 입력으로 정의 된 어떤 핀에 아날로그 레벨의 전압을 인가 하는 경우 이러한 경우는 스파이크를 벗어나는 전류 소모의 하나의 원인이 될 수도 있다 .

## 11.4 A/D 변환

**노트 :** A/D 모듈을 턴-온 시키는 시점 (ADON=1) 에서 GO/DONE 비트를 동시에 1 로 셋트 시키지 말아야 함

GO/DONE 비트를 1 로 셋트 하면 비로서 A/D 변환을 시작하며 A/D 컨버전이 완료가 되었을 때 8 비트 결과 값은 ADRES 레지스터로 들어 가게 되고 GO/DONE 비트는 자동 0 으로 클리어 되며 ADIF 플래그 (PIR<6>) 는 1 로 셋트가 된다 .

만약 A/D 인터럽트 인에이블 비트 ADIE (PIE1<6>) 와 주변장치 인터럽트 인에이블 비트 PEIE (INTCON<6>) 가 동시에 1 로 셋트가 되어 있었을 때 하드웨어에 의하여 ADIF 비트가 1 로 셋트가 되면 디바이스를 SLEEP 모드로 부터 깨울수가 있으며 더구나 글로벌 인터럽트 인에이블 비트인 GIE (INTCON<7>) 비트가 1 로 되어 있었다면 인터럽트가 발생 될 것이다 .

A/D 변환 도중에 GO/DONE 비트를 0 으로 클리어 시키면 현재 진행 중인 A/D 컨버전이 중단 되고 ADRES 레지스터 값은 업데이트 되지 않으며 ADIF 플래그 또한 1 로 셋트 되지 않는다 .

A/D 컨버전이 완료 되었거나 또는 소프트웨어적으로 GO/DONE 비트를 0 으로 클리어 시킨 이후에 다시 A/D 컨버전을 하고자 하는 경우에는 GO/DONE 비트를 다시 1 로 셋팅을 함으로써 가능 하다 . 이 경우 사용자는 반드시 어플리케이션에 따른 적당한 샘플링 시간을 고려 하여야 한다 .

## 11.5 Sleep 모드에서 A/D 동작

A/D 모듈은 SLEEP 모드 동안 동작 가능하다 . 이를 위하여 클럭 소스는 RC (ADCS1:ADCS0 = 11) 를 선택 하여야만 한다 . RC 클럭 소스가 선택 되었을 때 A/D 모듈은 변환을 시작 하기 전에 1 사이클 명령 동안 잠시 대기한다 . 이것은 SLEEP 명령 실행시 발생 할수 있는 모든 디지털 스위칭 노이즈를 제거 하기 위한 조치이다 . 변환이 완료 되었을 때 GO/DONE 비트는 0 으로 클리어 될 것이다 . 그리고 그 결과는 ADRES 레지스터 안으로 로드 되어진다 . 만약 A/D 인터럽트가 인에이블 되어 있다면 디바이스는 SLEEP 모드로 부터 깨어날 것이다 . 만약 A/D 인터럽트가 인에이블 되지 않았다면 비록 ADON 비트가 1 로 셋트 되어 있다 할지라도 A/D 모듈은 꺼진 상태로 남아있을것이다 .

A/D 클럭 소스가 RC 가 아닌 다른 클럭일때 SLEEP 명령은 현재 변환을 종료 시키고 비록 ADON 비트가 1 로 셋트 되어 있다 할지라도 A/D 모듈은 꺼진 상태로 남아 있게 된다 .

A/D 모듈을 턴 - 오프 시키면 전류 소모는 줄어 든다 .

**노트 :** SLEEP 모드에서 A/D 모듈을 동작 시키기 위해서는 AD 클럭 소스는 반드시 RC (ADCS1:ADCS0 = 11) 로 선택 되어져야 한다 . SLEEP 모드에서 A/D 변환이 진행 되기 위해서는 GO/DONE 비트가 1 로 셋트 됨과 동시에 SLEEP 명령이 수행 되어 야만 한다 .

## 11.6 리셋의 효과

디바이스 리셋은 모든 레지스터의 값들을 약속된 값으로 초기화 시킨다 . A/D 모듈은 디제이블 되고 어떠한 변환도 멈추게 된다 . 또한 모든 A/D 입력 핀들은 아날로그 입력 상태로 구성 된다 .

ADRES 레지스터는 파워 - 온 리셋 이후에는 알수 없는 쓰레기 값이 들어 가게 된다 .

# PIC16CR7X

## 11.7 CCP 트리거의 사용

A/D 변환을 CCP2 모듈의 “스페셜 이벤트 트리거” 에 의하여 시작 할 수도 있다 . 이 경우 CCP2M3:CCP2M0 비트들은 (CCP2CON<3:0>) 1011 로 셋팅 되어야만 하고 A/D 모듈이 인에이블 되어야만 한다 (ADON 비트를 1로 셋트). 트리거가 발생 하였을 때 GO/DONE 는 A/D 변환을 위하여 1로 셋트 되어지고 타이머 1 카운터는 0으로 클리어가 될것이다 . 최소한의 소프트웨어로 A/D 샘플링 주기를 판단 하기 위하여 타이머 1 은 반복적으

로 자동 리셋 된다 . 아날로그 입력 채널은 “스페셜 이벤트 트리거” 가 GO/DONE 비트를 1로 셋트 ( 변환 시작 ) 하기 전에 선택 되어져야만 하며 샘플링 되어져야만 한다 .

만약 A/D 모듈이 인에이블 되지 않았다면 (ADON 비트가 0으로 클리어 되어 있음) 그때 “스페셜 이벤트 트리거” 의 발생은 A/D 모듈에 의하여 무시 되어질것이다 . 그러나 타이머 1 카운터는 계속 리셋 될것이다 .

테이블 11-2: A/D 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0	POR,BOR 발생시	다른 모든 리셋 발생시
0Bh,8Bh,10Bh,18Bh	INTCON	GIE	PEIE	TMR0IE	INTE	RBIE	TMR0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
0Dh	PIR2	—	—	—	—	—	—	—	CCP2IF	---- --0	---- --0
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
8Dh	PIE2	—	—	—	—	—	—	—	CCP2IE	---- --0	---- --0
1Eh	ADRES	A/D 결과 레지스터 바이트								xxxx xxxx	uuuu uuuu
1Fh	ADCON0	ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/DONE	—	ADON	0000 00-0	0000 00-0
9Fh	ADCON1	—	—	—	—	—	PCFG2	PCFG1	PCFG0	---- -000	---- -000
05h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--0x 0000	--0u 0000
85h	TRISA	—	—	PORTA 방향 설정 레지스터						--11 1111	--11 1111
09h	PORTE <sup>(2)</sup>	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu
89h	TRISE <sup>(2)</sup>	IBF	OBF	IBOV	PSPMODE	—	PORTE 방향 설정 비트			0000 -111	0000 -111

범례 : x = 알수없음 , u = 변하지 않음 , - = 정의 되지 않았음 , 항상 0으로 읽함 . 빗금친 부분은 A/D 변환시 사용 되지 않음

- 노트 1: PSPIE 와 PSPIF 비트들은 PIC16CR73/76 에서는 사용 되지 않음 ; 항상 0으로 유지 됨 .  
 2: 이 레지스터는들은 PIC16CR73/76 디바이스에서는 사용 되지 않음 .

## 12.0 CPU의 특별한 기능들

이 디바이스들에는 시스템의 신뢰성을 극대화 하고 외부 요소들을 제거 함으로써 비용을 최소화 하고 저 전력 동작 모드를 제공 하면서 코드 프로텍션의 기능을 제공하는 기능들을 가지고 있다. 이것들은 :

- 오실레이터 선택
- 리셋
  - 파워 - 온 리셋 (POR)
  - 파워 - 업 타이머 (PWRT)
  - 오실레이터 스타트 - 업 타이머 (OST)
  - 브라운 - 아웃 리셋 (BOR)
- 인터럽트
- 워치 - 독 타이머 (WDT)
- 슬립
- 코드 프로텍션
- ID 프로그래밍 지역
- 인 - 서킷 시리얼 프로그래밍™

디바이스에는 워치 - 독 타이머를 내장 하고 있으며 옵션 비트의 제어를 통하여 인에이블 또는 디제이블 할 수 있다. 워치 - 독 타이머는 신뢰성을 더하기 위하여 칩 내부의 RC 오실레이터로 구동 된다.

또한 파워 - 업 시간 지연을 위한 두개의 타이머가 내장 되어 있는데 하나는 오실레이터 스타트 - 업 타이머 (OST) 이다. 그것은 크리스탈 오실레이터가 안정화가 될 때 까지 칩을 리셋 상태로 머물게 한다. 다른 하나는 파워 - 업 타이머 (PWRT) 이다. 그것은 전원이 투입 되는 경우에 약 72ms 의 고정 된 시간 지연을 제공 하여 파워 서플라이가 안정화가 될 때까지 칩을 리셋 상태에 있게 만든다. 또한 옵션 비트의 제어를 통하여 인에이블 또는 디제이블 시킬 수 있다. 따라서 칩 내부에 위와 같은 두개의 타이머가 있기 때문에 대부분의 어플리케이션 에서는 외부에 리셋 회로가 필요 없게 된다.

슬립 모드는 파워 - 다운 모드에서 매우 적은 전류 소비를 하도록 디자인 되어 있다. 사용자는 외부 리셋 또는 워치 - 독 타이머 그리고 각종 인터럽트를 통하여 슬립 모드로 부터 디바이스를 웨이크 - 업 시킬 수 있다.

다양한 오실레이터 옵션을 통하여 어플리케이션의 목적에 맞게 디자인이 가능하다. RC 오실레이터 옵션은 비용을 줄일 수 있는 반면 LP 크리스탈 옵션은 전류를 절약 시킬 수 있다. 요구 되는 오실레이터 모드의 선택을 위하여 컨퓨그레이션 비트가 사용 된다.

특별한 기능에 대한 좀 더 자세한 사항은 "PICmicro® I/O - 레인지 MCU 패밀리 참조 매뉴얼" (DS33023) 을 참조 하기를 바란다.

## 12.1 컨퓨그레이션 비트

다양한 디바이스의 구성을 선택 하기 위하여 컨퓨그레이션 비트를 프로그램 하거나 ('0' 으로 워킹) 또는 프로그램 하지 않을 수도 있다 ('1' 로 워킹). 이 비트들은 프로그램 메모리 2007h 번지에 위치 하고 있다.

2007h 번지는 사용자 프로그램 메모리 번지를 초과한 영역이기 때문에 이 번지는 오직 프로그래밍 하는 동안에만 액세스가 가능 하다.

# PIC16CR7X

레지스터 12-1:    컨피그레이션 워드 : ( 어드레스 2007h<sup>(1)</sup>)

U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—
비트 13						비트 7

R/P-1	U-0	R/P-1	R/P-1	R/P-1	R/P-1	R/P-1
BOREN	—	CP0	$\overline{\text{PWRTEN}}$	WDTEN	FOSC1	FOSC0
비트 6						비트 0

**범례 :**

R = 읽기 가능 비트	W = 쓰기 가능 비트	U = 정의 되지 않은 비트 , 항상 '0' 으로 읽힘
-n = POR 상태에서의 값	'1' = 비트가 셋트 됨	'0' = 비트가 클리어 됨                   x = 알 수 없는 비트 값

- 비트 13-7    **정의 되지 않은 영역 :** '1' 로 읽힌다
- 비트 6       **BOREN:** 브라운 - 아웃 리셋 인에이블 비트  
               1 = BOR 인에이블 됨  
               0 = BOR 디제이블 됨
- 비트 5       **정의 되지 않은 영역 :** '1' 로 읽힌다
- 비트 4       **CP0:** 프로그램 메모리 코드 프로텍션 비트  
               1 = 코드 프로텍션 기능이 오프 됨  
               0 = 모든 프로그램 메모리 영역이 코드 프로텍트 된다 .
- 비트 3        **$\overline{\text{PWRTEN}}$ :** 파워 - 업 타이머 인에이블 비트  
               1 = PWRT 디제이블 됨  
               0 = PWRT 인에이블 됨
- 비트 2       **WDTEN:** 워치 - 독 타이머 인에이블 비트  
               1 = WDT 인에이블 됨  
               0 = WDT 디제이블 됨
- 비트 1-0     **FOSC1:FOSC0:** 오실레이터 선택 비트  
               11 = RC 오실레이터  
               10 = HS 오실레이터  
               01 = XT 오실레이터  
               00 = LP 오실레이터

**노트 1:**    컨피그레이션 워드의 지워진 ( 프로그램 되지 않은 ) 값은 3FFFh 이다 .

## 12.2 오실레이터 구성

### 12.2.1 오실레이터 타입

PIC16CR7X 은 4 가지의 서로 다른 오실레이터 모드로 동작 된다 . 사용자는 이러한 4 가지 모드 중 하나를 선택 하기 위하여 두개의 컨퓨그레이션 비트 (FOSC1 와 FOSC0) 를 이용 하여 선택 한다 :

- LP 저 전력 크리스털
- XT 크리스털 / 레조네이터
- HS 고속의 크리스털 / 레조네이터
- RC 저항 / 콘덴서

### 12.2.2 크리스털 오실레이터 / 세라믹레조네이터

XT, LP 또는 HS 모드에서 발진을 위하여 크리스털 또는 레조네이터가 OSC1/CLKIN 과 OSC2/CLKOUT 핀으로 연결 된다 . ( 그림 12-1). PIC16CR7X 오실레이터는 병렬 구조를 가진 크리스털의 사용이 요구 된다 . 직렬 구조 형태의 크리스털인 경우 크리스털 제조사의 스펙과 다른 주파수를 발생 시킬 수 있다 . HS 모드에서 OSC1/CLKIN 핀을 구동 하기 위하여 외부 클럭 소스를 사용할 수 있다 ( 그림 12-2). 유효한 외부 클럭에 대해서는 그림 15-1 또는 그림 15-2 를 참조 ( VDD 범위 및 파트 넘버에 의존 함 ) 하기를 바란다 .

그림 12-1: 크리스털 / 세라믹레조네이터 동작 ( HS, XT 또는 LP 오실레이터 옵션 )

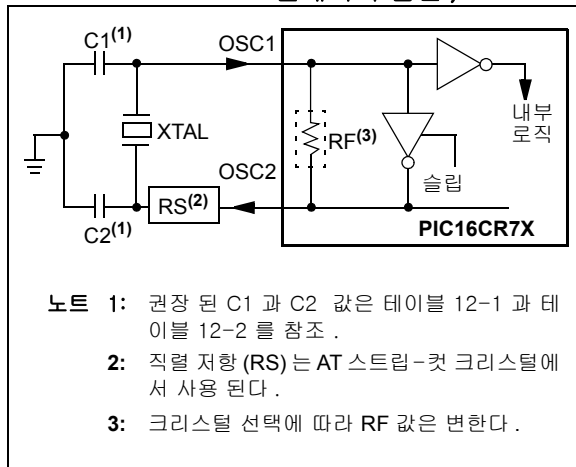
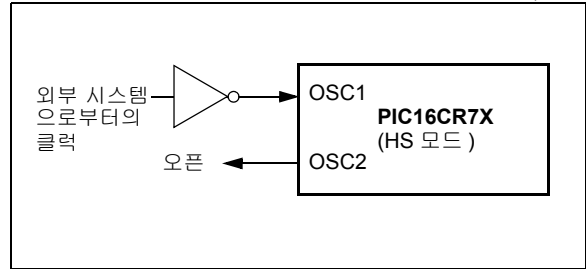


그림 12-2: 외부 클럭 입력 동작 (HS 오실레이터 컨퓨그레이션 )



테이블 12-1: 세라믹 레조네이터 ( 단지 디자인 가이드를 위하여 제공 )

일반적으로 사용 하는 콘덴서 값 :			
모드	주파수	OSC1	OSC2
XT	455 kHz	56 pF	56 pF
	2.0 MHz	47 pF	47 pF
	4.0 MHz	33 pF	33 pF
HS	8.0 MHz	27 pF	27 pF
	16.0 MHz	22 pF	22 pF

사용된 콘덴서 값은 단지 디자인 가이드를 위하여 제공 됨

이러한 콘덴서 값은 기본적인 스타트 - 업 과 동작을 위하여 아래에 제시 된 레조네이터를 사용하여 테스트 되었지만 조정은 되지 않았다 .

다른 콘덴서 값이 정확한 오실레이터 동작을 위하여 요구 될 수도 있다 . 따라서 사용자는 자신의 어플리케이션에 요구 되는 VDD 와 온도 범위를 고려 하여 오실레이터의 성능을 테스트 하여야만 한다 .

추가적인 정보는 페이지 92 아래 쪽 부분을 참조 하기를 바란다 .

#### 사용된 레조네이터 :

주파수	레조네이터
455 kHz	파나소닉 EFO-A455K04B
2.0 MHz	무라다 CSA2.00MG
4.0 MHz	무라다 CSA4.00MG
8.0 MHz	무라다 CSA8.00MT
16.0 MHz	무라다 CSA16.00MX

# PIC16CR7X

테이블 12-2: 크리스털 오실레이터를 위한 콘덴서 선택 (단지 디자인 가이드를 위하여 제공)

오실레이터 타입	크리스털 주파수	테스트 된 콘덴서 값 :	
		C1	C2
LP	32 kHz	33 pF	33 pF
	200 kHz	15 pF	15 pF
XT	200 kHz	56 pF	56 pF
	1 MHz	15 pF	15 pF
	4 MHz	15 pF	15 pF
HS	4 MHz	15 pF	15 pF
	8 MHz	15 pF	15 pF
	20 MHz	15 pF	15 pF

사용된 콘덴서 값은 단지 디자인 가이드를 위하여 제공 됨

이러한 콘덴서 값은 기본적인 스타트 - 업 과 동작을 위하여 아래에 제시 된 레조네이터를 사용 하여 테스트 되었지만 조정은 되지 않았다 .

다른 콘덴서 값이 정확한 오실레이터 동작을 위하여 요구 될 수도 있다 . 따라서 사용자는 자신의 어플리케이션에 요구 되는 VDD 와 온도 범위를 고려 하여 오실레이터의 성능을 테스트 하여야만 한다 .

자세한 사항은 아래 부분을 참조 하기를 바란다 .

### 사용된 크리스털 :

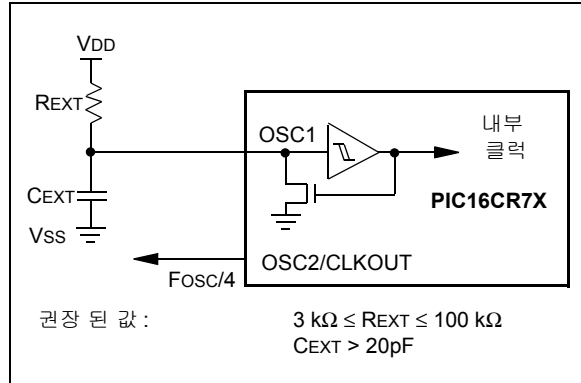
32 kHz	엡슨 C-001R32.768K-A
200 kHz	STD XTL 200.000KHz
1 MHz	ECS ECS-10-13-1
4 MHz	ECS ECS-40-20-1
8 MHz	엡슨 CA-301 8.000M-C
20 MHz	엡슨 CA-301 20.000M-C

- 노트 1:** 용량이 큰 콘덴서를 사용 할 수록 오실레이터의 안정성을 가져 오지만 반면 디바이스의 스타트 - 업 시간을 길게 할 것이다 .
- 2:** 각각의 크리스털이나 레조네이터는 고유 특성을 가지고 있으므로 사용자는 외부에 부착 하여야 하는 정확한 값에 대해서는 제조사에게 문의를 하여야 한다 .
- 3:** Rs 는 낮은 구동 레벨 사양을 가진 크리스털이 과도한 구동을 하는것을 방지 하기 위하여 XT 모드 뿐만아니라 HS 모드에서 요구 된다 .
- 4:** 항상 어플리케이션에서 요구 되는 VDD 와 온도 범위에 따라서 오실레이터 성능을 검증 하여야 한다 .

## 12.2.3 RC 오실레이터

타이밍이 중요하지 않고 비용절감이 중요한 어플리케이션에서는 "RC" 디바이스 옵션을 사용 한다 . RC 오실레이터의 주파수는 공급 전압 , 저항 (REXT) 과 콘덴서 (CEXT) 의 값 그리고 동작 온도에 의해서 좌우 된다 . 게다가 오실레이터 주파수는 디바이스간의 일반적인 공정 프로세서 파라미터 변화에 의해서도 변화 된다 . 또한 특히 낮은 CEXT 의 값을 가지고 있는 각 패키지 타입의 리드 프레임 캐패시턴스에 의해서도 오실레이터 주파수가 변화 된다 . 따라서 사용자는 외부에 사용 된 R 과 C 소자의 가변 범위에 의한 변화의 계산을 할 필요가 있다 . 그림 12-3 은 R/C 조합을 어떻게 PIC16CR7X 에 연결 하는지 그 방법을 보여 주고 있다 .

그림 12-3: RC 오실레이터 모드



## 12.3 리셋

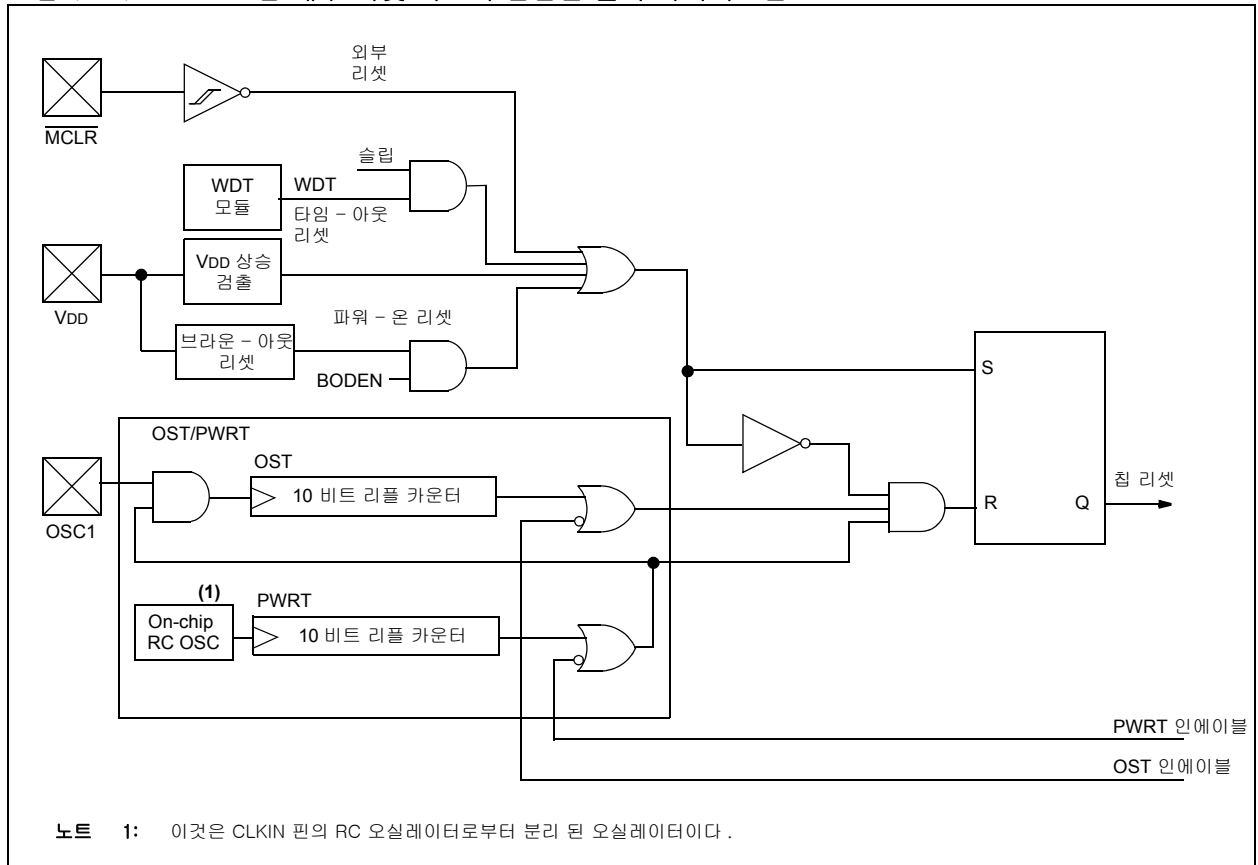
PIC16CR7X 는 서로 다른 다양한 종류의 리셋을 가지고 있다 :

- 파워 - 온 리셋 (POR)
- $\overline{\text{MCLR}}$  핀에 의한 리셋 ( 정상 동작 시 )
- $\overline{\text{MCLR}}$  핀에 의한 리셋 ( 슬립 모드 시 )
- WDT 리셋 ( 정상 동작 시 )
- WDT 타임 - 아웃에 의한 리셋 ( 슬립 동작 중 )
- 브라운 - 아웃 리셋 (BOR)

일부 레지스터들은 어떠한 리셋 조건에서도 영향을 받지 않는다 . 그들의 상태는 알 수 없는 쓰레기 값이 들어 있으며 POR 및 어떠한 다른 리셋에서도 변화 되지 않는다 . 대부분의 레지스터들은 파워 - 온 리셋 (POR),  $\overline{\text{MCLR}}$  리셋 , WDT 리셋 , 슬립 동안의  $\overline{\text{MCLR}}$  리셋 , 브라운 - 아웃 리셋 (BOR) 이 발생 되면 초기화가 된다 . 그들은 슬립 모드에서 WDT 타임 - 아웃에 의한 리셋에서는 영향을 받지 않는데 이것은 정상 동작의 연장선으로 보기 때문이다 . 테이블 12-4 에서 알 수 있듯이  $\overline{\text{TO}}$  와  $\overline{\text{PD}}$  비트들은 서로 다른 리셋 상황에서 서로 다르게 셋트 또는 클리어 된다 . 이러한 비트들은 소프트웨어적으로 어떠한 리셋이 발생 되었는지를 판단 하는데 사용이 된다 . 테이블 12-6 은 모든 레지스터의 리셋 상태를 보여 준다 .

그림 12-4 는 내장 된 리셋 회로의 간단한 블록 다이어그램이다 .

그림 12-4: 칩 내부 리셋 회로의 간단한 블록 다이어그램



# PIC16CR7X

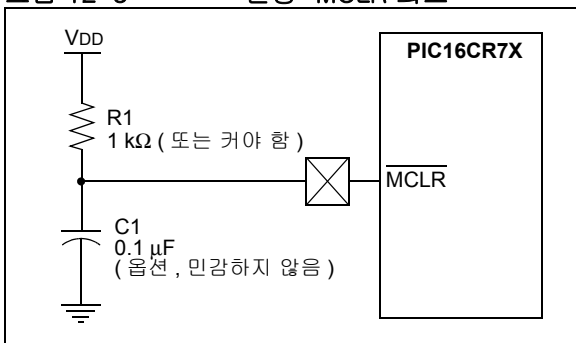
## 12.4 MCLR

PIC16CR7X 디바이스는 MCLR 리셋 패스에 노이즈 필터를 가지고 있다. 이 필터는 작은 펄스를 검출하고 무시할 것이다.

WDT 리셋은 MCLR 핀을 로우 상태로 구동 시키지는 않는다.

MCLR 핀 상에 ESD 프로텍션 동작은 이 패밀리의 다른 디바이스와는 조금 다르다. 이 핀으로 스펙에서 규정을 초과하는 전압이 공급되면 MCLR 리셋과 ESD 이벤트시 스펙에서 규정하고 있는 전류를 초과하여 흐를 것이다. 이러한 이유 때문에 마이크로칩은 MCLR 핀을 직접 VDD 에 연결하는 것은 권장하지 않는다. 제시된 RC 네트워크의 사용법이 그림 12-5 에 나타나 있다.

그림 12-5: 권장 MCLR 회로



## 12.5 파워 - 온 리셋 (POR)

파워 - 온 리셋 펄스는 VDD 상승이 검출 되었을 때 칩 내부에서 발생 된다 (1.2V-1.7V 범위에서 발생). POR 을 사용하기 위하여 섹션 12.4 MCLR에서 설명한 것처럼 MCLR 핀을 VDD 로 연결 한다. VDD 의 최대 상승 시간은 스펙으로 규정 되어 있다. 자세한 사항은 전기적 특성 부분을 참조 하기를 바란다.

디바이스가 정상 동작을 시작 할 때 (리셋 조건을 벗어날 때) 디바이스 동작 파라미터 (전압, 주파스온도...) 들은 반드시 동작 사항을 만족 하여야만 한다. 만약 이러한 동작이 만족 되지 못하면 디바이스는 동작 조건이 만족 될 때 까지 리셋상태에 머무르게 될 것이다. 보다 자세한 사항은 어플리케이션 노트 AN607, "Power-up Trouble Shooting" (DS00607) 를 참조 하기를 바란다.

## 12.6 파워 - 업 타이머 (PWRT)

파워 - 업 타이머는 POR 로 부터 파워 - 업시 고정 된 72ms 의 시간 지연을 제공 한다. 파워 - 업 타이머는 내부 RC 오실레이터로 구동되며 PWRT 가 구동 되는 동안에는 칩은 리셋 상태에 있게 된다. PWRT 시간 지연은 VDD 가 안정 된 레벨 까지 상승 하도록 기다려 준다. PWRT 의 인에이블 / 디제이블은 컨퓨그레이션 비트를 통하여 제어 된다.

파워 - 업 시간은 VDD, 온도 그리고 공정 파라미터에 의해 좌우 되기 때문에 디바이스마다 조금씩 다르다. 자세한 사항은 DC 파라미터 부분을 참고 하기를 바란다 (TPWRT, 파라미터 #33).

## 12.7 오실레이터 스타트업 타이머 (OST)

오실레이터 스타트업 타이머 (OST) 는 PWRT 시간 지연 (만약 인에이블 되어 있다면) 이후에 1024 오실레이터 클럭 사이클 (OSC1 입력으로 부터) 만큼의 시간 지연을 제공 한다. 이것은 크리스탈 오실레이터 또는 레조네이터가 안정화가 되도록 하는데 도움을 준다.

OST 시간 지연은 XT, LP 그리고 HS 오실레이터 모드에서 지원되며 파워 - 온 리셋시 또는 슬립 모드로 부터 깨어 날 때 지원 된다.

## 12.8 브라운 - 아웃 리셋 (BOR)

컨퓨그레이션 비트 중의 하나인 BODEN 비트를 이용하여 브라운 - 아웃 리셋 회로를 인에이블 또는 디제이블 시킬 수 있다. 만약 VDD 전압이 VBOR (파라미터 D005, 4V 정도) 전압 이하로 내려가서 TBOR (파라미터 #35, 100 μS 정도) 이상 유지 되면 브라운 - 아웃 상황이 되고 이는 디바이스를 리셋 시킬 것이다. 만약 VDD 전압이 TBOR 보다 적은 시간 동안 VBOR 이하로 내려간 경우 리셋은 발생 되지 않는다.

브라운 - 아웃이 발생 되었을 때 디바이스는 VDD 전압이 VBOR 전압 이상으로 다시 올라 갈 때까지 디바이스는 브라운 - 아웃 리셋 상태에 있을 것이다. VDD 전압이 VBOR 전압 이상으로 다시 올라 가면 그 때부터 TPWRT (파라미터 #33, 72 ms 정도) 가 구동 되고 그 기간 동안에는 디바이스가 리셋 상태에 계속 머물러 있는다. 만약 TPWRT 기간 동안 VDD 가 VBOR 이하로 떨어지면 VDD 가 VBOR 위로 올라 갔을 때 브라운 - 아웃 리셋 회로가 다시 구동이 되고 파워 - 업 타이머 또한 다시 구동 시작 된다. 파워 - 업 타이머는 PWRT 컨퓨그레이션 비트의 상태와 상관 없이 브라운 - 아웃 리셋 회로가 인에이블 되어 있을 때에는 항상 인에이블 된다.

## 12.9 타임 - 아웃 순서

전원 투입 시 타임 - 아웃 순서는 다음과 같다: POR 리셋이 발생 된 이후 PWRT 시간 지연이 시작 되고 (만약 인에이블 되어 있다면) PWRT 가 끝난 이후에는 OST 가 1024 오실레이터 사이클 동안 구동 된다. OST 가 완료 된 시점에서 디바이스는 리셋이 될 것이다 (LP, XT, HS).

만약 MCLR 이 너무 긴 시간 동안 로우 상태를 유지 한다면 모든 시간 지연은 끝나 버릴 것이다.

그때 MCLR 을 하이 상태로 하면 칩은 즉시 동작을 시작 할 것이다. 이와 같은 동작은 테스트 목적 또는 병렬 상태로 된 하나 이상의 PIC16CR7X 디바이스의 동작을 동기화 시키는데 유용 하게 사용 된다.

테이블 12-5 리셋 조건에서 STATUS, PCON 그리고 PC 레지스터의 초기 값을 나타낸 반면 테이블 12-6 은 모든 레지스터의 리셋 조건을 보여 주고 있다.



## 12.10 전원 제어 / 상태 레지스터 (PCON)

전원 제어 / 상태 레지스터인 PCON 는 마지막으로 발생 된 리셋의 타입을 보여 주기 위하여 두개의 관련된 비트를 가지고 있다 .

비트 0 은 브라운 - 아웃 리셋 상태 비트  $\overline{\text{BOR}}$  이다 . 비트  $\overline{\text{BOR}}$  은 파워 - 온 리셋 상태에서 알 수 없는 값이다 . 그래서  $\overline{\text{BOR}}$  비트는 사용자에게 의하여 셋트 되어야 하는데 이것은 브라운 - 아웃 리셋이 발생 되었을 때  $\overline{\text{BOR}}$

비트가 클리어 되는지를 체크 하기 위함이다 . 브라운 - 아웃 리셋이 디제이블 되었을 때  $\overline{\text{BOR}}$  비트의 상태는 예측 할 수 없다 .

비트 1 은  $\overline{\text{POR}}$  ( 파워 - 온 리셋 상태 비트 ) 이다 . 이 비트는 파워 - 온 리셋 상태에서는 클리어 되지만 다른 리셋에서는 영향을 받지 않는다 . 따라서 사용자는 파워 - 온 리셋 이후에는 이 비트를 반드시 셋트 하여야만 한다 .

테이블 12-3: 다양한 상황에서의 타임 - 아웃

오실레이터 종류	파워 - 업		브라운 - 아웃	슬립으로부터 깨어 나는 경우
	$\overline{\text{PWRTE}} = 0$	$\overline{\text{PWRTE}} = 1$		
XT, HS, LP	72 ms + 1024 TOSC	1024 TOSC	72 ms + 1024 TOSC	1024 TOSC
RC	72 ms	—	72 ms	—

테이블 12-4: 상태 비트 및 의미

$\overline{\text{POR}}$ (PCON<1>)	$\overline{\text{BOR}}$ (PCON<0>)	$\overline{\text{TO}}$ (STATUS<4>)	$\overline{\text{PD}}$ (STATUS<3>)	의미
0	x	1	1	파워 - 온 리셋
0	x	0	x	비 합리적 , $\overline{\text{TO}}$ 는 $\overline{\text{POR}}$ 상태에서 셋트 된다
0	x	x	0	비 합리적 , $\overline{\text{PD}}$ 는 $\overline{\text{POR}}$ 상태에서 셋트 된다
1	0	1	1	브라운 - 아웃 리셋
1	1	0	1	WDT 리셋
1	1	0	0	WDT 웨이크 - 업
1	1	u	u	정상 동작 중 $\overline{\text{MCLR}}$ 리셋
1	1	1	0	슬립 동안 중 $\overline{\text{MCLR}}$ 리셋 발생 또는 슬립 동안 중 인터럽트에 의한 웨이크 - 업

테이블 12-5: 특별한 레지스터들의 리셋 상태

조건	프로그램 카운터	STATUS 레지스터	PCON 레지스터
파워 - 온 리셋 발생 시	000h	0001 1xxx	---- --0x
정상 동작 중 $\overline{\text{MCLR}}$ 리셋 발생 시	000h	000u uuuu	---- --uu
슬립 동안에 $\overline{\text{MCLR}}$ 리셋 발생 시	000h	0001 0uuu	---- --uu
WDT 리셋 발생 시	000h	0000 1uuu	---- --uu
WDT 웨이크 - 업 발생 시	PC + 1	uuu0 0uuu	---- --uu
브라운 - 아웃 리셋 발생 시	000h	0001 1uuu	---- --u0
슬립 동안에 인터럽트 웨이크 - 업 발생 시	PC + 1 <sup>(1)</sup>	uuu1 0uuu	---- --uu

범례 : u = 변하지 않음 , x = 알 수 없음 , - = 정의 되지 않은 비트 , 항상 0 으로 읽힘

노트 1: 인터럽트와 GIE 비트로 인하여 웨이크 - 업이 되었을 경우는 PC 로 인터럽트 벡터 어드레스 (0004h) 가 로드 된다 .

# PIC16CR7X

테이블 12-6: 모든 레지스터의 초기화 조건

레지스터	디바이스				파워 - 온 리셋, 브라운 - 아웃 리셋	MCLR 리셋, WDT 리셋	WDT 를 통한 웨이크 - 업 또는 인터럽트
W	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
INDF	73	74	76	77	N/A	N/A	N/A
TMR0	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCL	73	74	76	77	0000h	0000h	PC + 1 <sup>(2)</sup>
STATUS	73	74	76	77	0001 1xxx	000q quuu <sup>(3)</sup>	uuuq quuu <sup>(3)</sup>
FSR	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTA	73	74	76	77	--0x 0000	--0u 0000	--uu uuuu
PORTB	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTC	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTD	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTE	73	74	76	77	---- -xxx	---- -uuu	---- -uuu
PCLATH	73	74	76	77	---0 0000	---0 0000	---u uuuu
INTCON	73	74	76	77	0000 000x	0000 000u	uuuu uuuu <sup>(1)</sup>
PIR1	73	74	76	77	r000 0000	r000 0000	ruuu uuuu <sup>(1)</sup>
	73	74	76	77	0000 0000	0000 0000	uuuu uuuu <sup>(1)</sup>
PIR2	73	74	76	77	---- ---0	---- ---0	---- ---u <sup>(1)</sup>
TMR1L	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
TMR1H	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
T1CON	73	74	76	77	--00 0000	--uu uuuu	--uu uuuu
TMR2	73	74	76	77	0000 0000	0000 0000	uuuu uuuu
T2CON	73	74	76	77	-000 0000	-000 0000	-uuu uuuu
SSPBUF	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
SSPCON	73	74	76	77	0000 0000	0000 0000	uuuu uuuu
CCPR1L	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCPR1H	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCP1CON	73	74	76	77	--00 0000	--00 0000	--uu uuuu
RCSTA	73	74	76	77	0000 -00x	0000 -00x	uuuu -uuu
TXREG	73	74	76	77	0000 0000	0000 0000	uuuu uuuu
RCREG	73	74	76	77	0000 0000	0000 0000	uuuu uuuu
CCPR2L	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCPR2H	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCP2CON	73	74	76	77	0000 0000	0000 0000	uuuu uuuu
ADRES	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADCON0	73	74	76	77	0000 00-0	0000 00-0	uuuu uu-u
OPTION_REG	73	74	76	77	1111 1111	1111 1111	uuuu uuuu
TRISA	73	74	76	77	--11 1111	--11 1111	--uu uuuu
TRISB	73	74	76	77	1111 1111	1111 1111	uuuu uuuu
TRISC	73	74	76	77	1111 1111	1111 1111	uuuu uuuu
TRISD	73	74	76	77	1111 1111	1111 1111	uuuu uuuu

범례 : u = 변하지 않음, x = 알 수 없음, - = 정의 되지 않은 비트, 항상 0 으로 워힘, q = 값은 조건에 따라 변하게 된다. r = 예약 되어 있음, 항상 클리어 상태를 유지 함

- 노트 1: INTCON, PIR1 그리고 / 또는 PIR2 레지스터의 하나 또는 여러 비트들은 영향을 받는다. ( 웨이크 - 업을 발생 시키기 위하여 ).
- 2: 인터럽트와 GIE 비트로 인하여 웨이크 - 업이 되었을 경우는 PC 로 인터럽트 벡터 어드레스 (0004h) 가 로드 된다
- 3: 특별한 조건을 위한 리셋 값은 테이블 12-5 참조 할 것 .

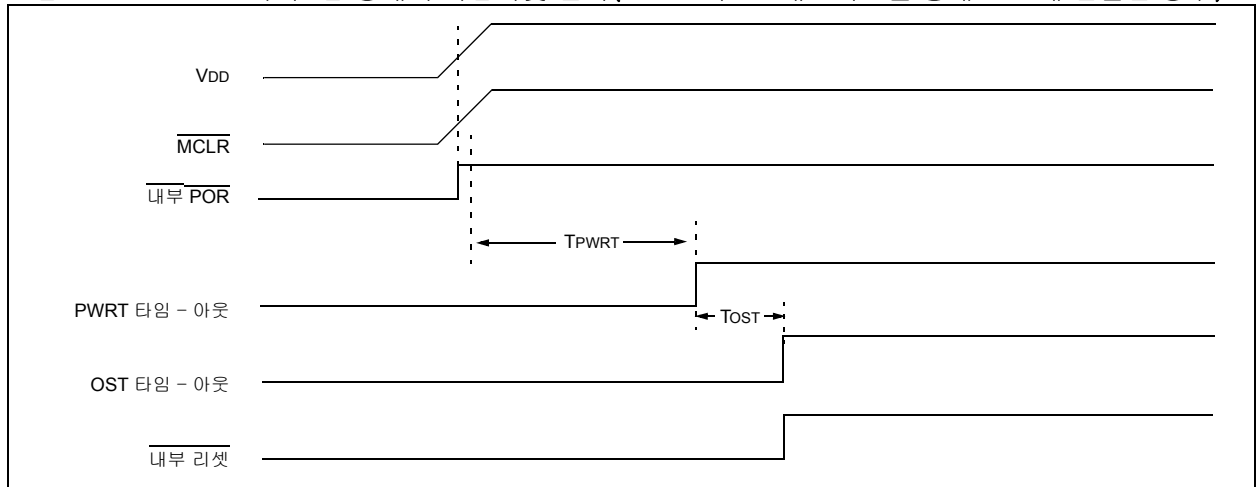
테이블 12-6: 모든 레지스터의 초기화 조건 ( 앞 페이지에 이어 계속 됨 )

레지스터	디바이스				파워-온 리셋, 브라운-아웃 리셋	MCLR 리셋, WDT 리셋	WDT 를 통한 웨이크-업 또는 인터럽트
TRISE	73	74	76	77	0000 -111	0000 -111	uuuu -uuu
PIE1	73	74	76	77	r000 0000	r000 0000	ruuu uuuu
	73	74	76	77	0000 0000	0000 0000	uuuu uuuu
PIE2	73	74	76	77	---- ---0	---- ---0	---- ---u
PCON	73	74	76	77	---- --qq	---- --uu	---- --uu
PR2	73	74	76	77	1111 1111	1111 1111	1111 1111
SSPSTAT	73	74	76	77	--00 0000	--00 0000	--uu uuuu
SSPADD	73	74	76	77	0000 0000	0000 0000	uuuu uuuu
TXSTA	73	74	76	77	0000 -010	0000 -010	uuuu -uuu
SPBRG	73	74	76	77	0000 0000	0000 0000	uuuu uuuu
ADCON1	73	74	76	77	---- -000	---- -000	---- -uuu
PMDATA	73	74	76	77	0--- 0000	0--- 0000	u--- uuuu
PMADR	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
PMDATH	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
PMADRH	73	74	76	77	xxxx xxxx	uuuu uuuu	uuuu uuuu
PMCON1	73	74	76	77	1--- ---0	1--- ---0	1--- ---u

범례 : u = 변하지 않음, x = 알 수 없음, - = 정의 되지 않은 비트, 항상 0 으로 워힘, q = 값은 조건에 따라 변하게 된다. r = 예약 되어 있음, 항상 클리어 상태를 유지 함

- 노트 1: INTCON, PIR1 그리고 / 또는 PIR2 레지스터의 하나 또는 여러 비트들은 영향을 받는다. ( 웨이크-업을 발생 시키기 위하여 ).
- 2: 인터럽트와 GIE 비트로 인하여 웨이크-업이 되었을 경우는 PC 로 인터럽트 벡터 어드레스 (0004h) 가 로드 된다
- 3: 특별한 조건을 위한 리셋 값은 테이블 12-5 참조 할 것.

그림 12-6: 파워-업 상태의 타임아웃 순서 (MCLR 이 RC 네트워크를 통해 VDD에 연결된 경우)



# PIC16CR7X

그림 12-7: 파워-업 상태의 타임-아웃 순서 (MCLR 이 VDD에 연결 되지 않은 경우): 경우 1

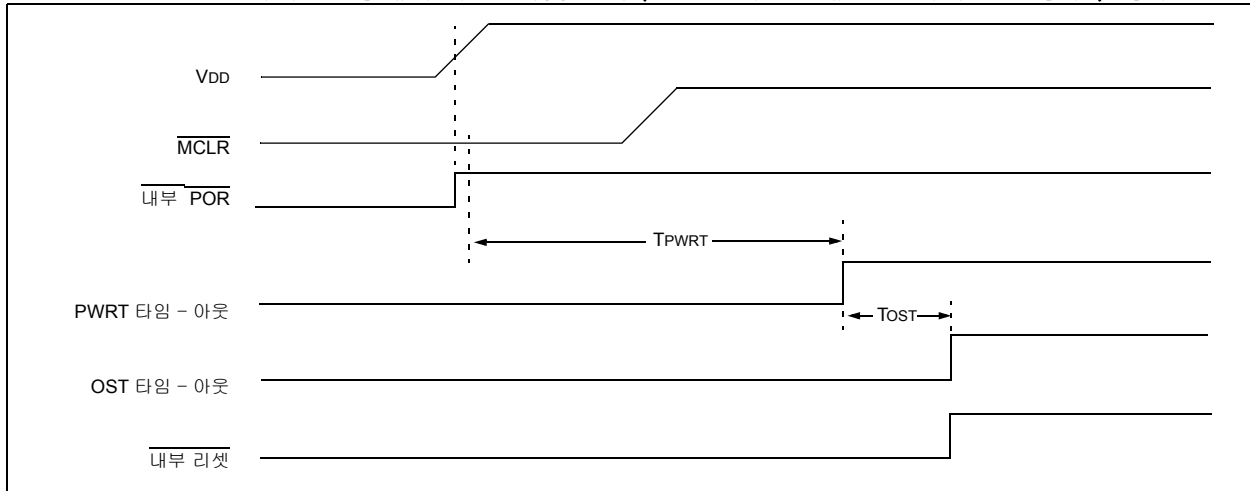


그림 12-8: 파워-업 상태의 타임-아웃 순서 (MCLR 이 VDD에 연결 되지 않은 경우): 경우 2

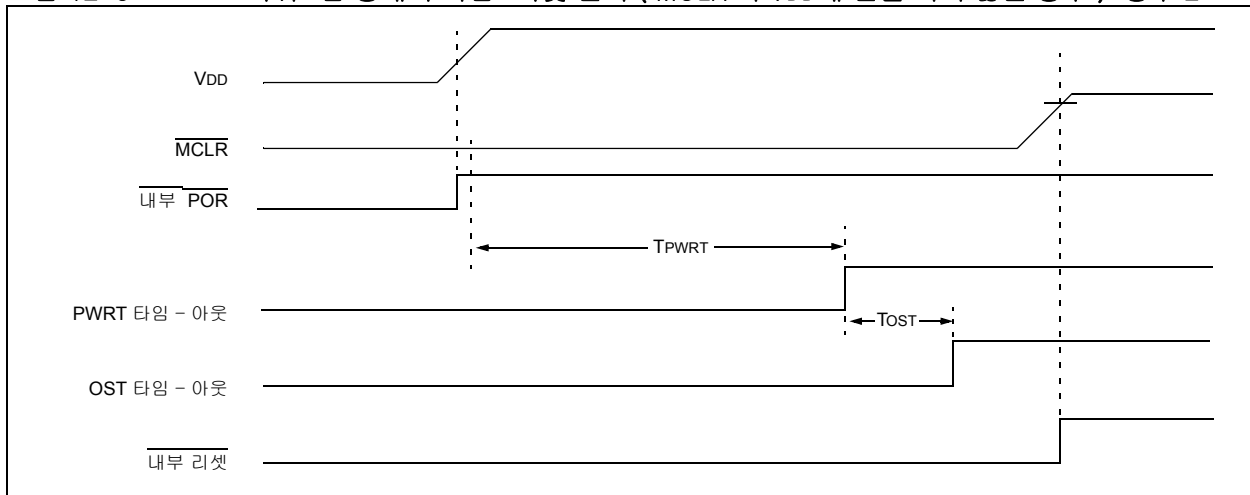
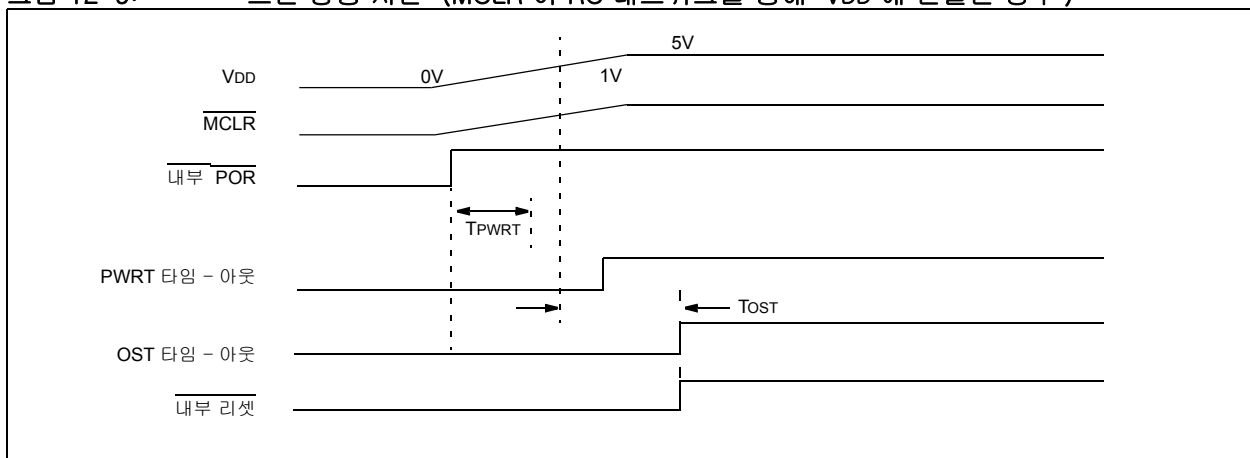


그림 12-9: 느린 상승 시간 (MCLR 이 RC 네트워크를 통해 VDD 에 연결된 경우)



## 12.11 인터럽트

PIC16CR7X 패밀리는 최대 12 개의 인터럽트 소스를 가지고 있다. 인터럽트 제어 레지스터 (INTCON) 는 각각의 인터럽트 요구 플래그 및 각각의 인에이블 비트 및 글로벌 인터럽트 인에이블 비트를 가지고 있다.

**노트 :** 각각의 인터럽트 요구 플래그는 해당 인터럽트의 마스크 비트 또는 GIE 비트의 상태와 상관 없이 셋트 된다.

글로벌 인터럽트 인에이블 비트 **GIE (INTCON<7>)** 는 마스크 되지 않은 모든 인터럽트를 인에이블 시킬 수도 (셋트 되어 있으면) 또는 모든 인터럽트를 디제이블 시킬 수도 (클리어 되어 있으면) 있다. **GIE** 비트가 인에이블 되어 있고 요구 플래그가 셋트 그리고 해당 인터럽트 인에이블 비트가 셋트이면 즉시 인터럽트가 발생될 것이다. 각각의 인터럽트는 여러 레지스터를 통하여 일치 하는 해당 인터럽트 인에이블 비트를 클리어 함으로써 디제이블 시킬 수 있다. 각각의 인터럽트 비트는 **GIE** 비트의 상태와 상관 없이 셋트가 가능하다. **GIE** 비트는 리셋 상태에서는 클리어 된다.

인터럽트 루틴으로 부터 복귀 하는 명령 **RETFIE** 를 사용하면 인터럽트 루틴을 빠져 나감과 동시에 **GIE** 비트를 다시 셋트 시켜 다시 인터럽트 발생을 가능 하게 만든다.

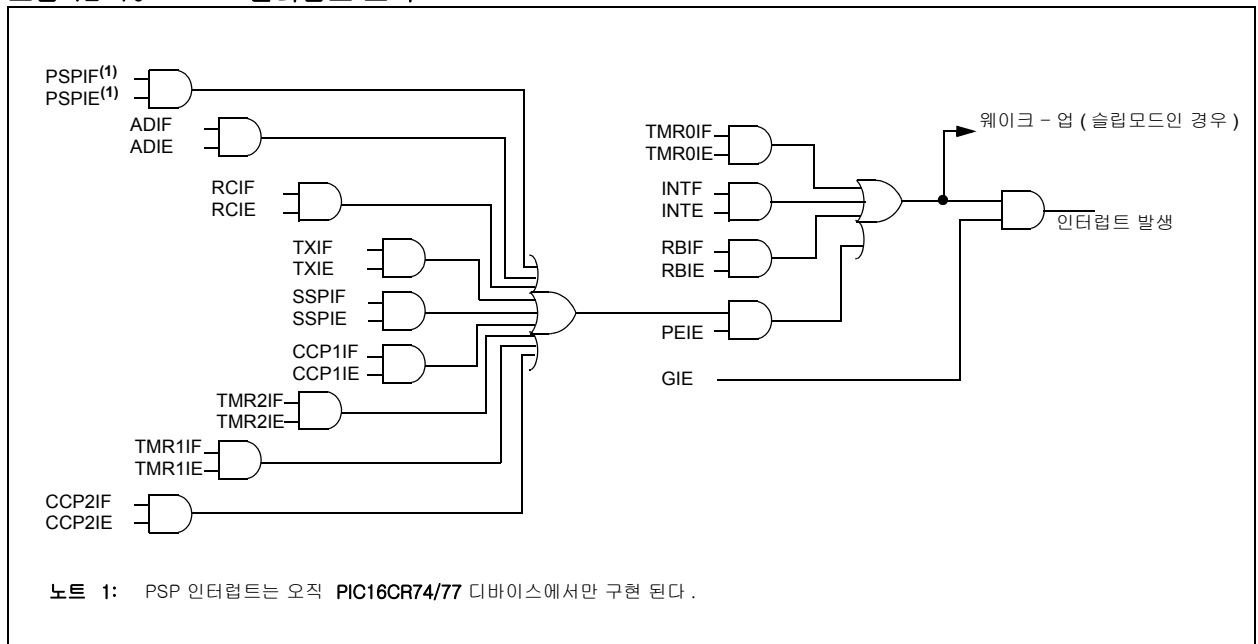
INTCON 레지스터에는 RB0/INT 핀 인터럽트, RB 포트 변화 인터럽트 그리고 TMR0 오버플로우 인터럽트 요구 플래그들을 포함 하고 있다.

주변 장치 인터럽트 요구 플래그들은 SFR 레지스터의 **PIR1** 및 **PIR2** 레지스터에 위치 하고 있다. 또한 각각의 주변 장치 인터럽트 인에이블 비트들은 SFR 레지스터의 **PIE1** 및 **PIE2** 레지스터에 위치 하고 있으며 주변 장치 인터럽트를 인에이블 시키는 **PEIE** 비트는 SFR 레지스터의 **INTCON** 레지스터에 위치 시키고 있다.

인터럽트가 발생 되면 다른 인터럽트의 발생을 막기 위하여 **GIE** 비트가 자동적으로 클리어 되며 복귀 어드레스가 스택으로 저장 됨과 동시에 PC 에는 **0004h** 어드레스가 로드 된다. 인터럽트 서비스 루틴에서는 인터럽트 요구 플래그를 체크 함으로써 어떤 인터럽트가 발생 되었는지를 체크 가능하다. 인터럽트 요구 플래그는 반드시 다시 인터럽트를 인에이블 시키기 이전에 소프트웨어 적으로 클리어 시켜 주어야 한다.

INT 핀 또는 포트 B 변화 인터럽트와 같은 외부 인터럽트인 경우 인터럽트 루틴으로 들어 갈 때까지의 시간은 3 또는 4 사이클이 소요 된다. 인터럽트 이벤트가 발생 하였을 때 의존하는 소요시간은 현재 Q 사이클에 상태적이다. 소요 시간은 1 또는 2 사이클 명령어인 경우에 동일 하다. 각각의 인터럽트 요구 플래그는 해당 인터럽트의 마스크 비트 또는 **GIE** 비트의 상태와 상관 없이 셋트 된다.

그림 12-10: 인터럽트 로직



# PIC16CR7X

## 12.11.1 INT 인터럽트

RB0/INT 핀 상의 외부 인터럽트는 에지 인터럽트이며 INTEDG (OPTION\_REG<6>) 가 셋트 이면 상승 에지에서 INTEDG 비트가 클리어이면 하강 에지에서 인터럽트가 발생 된다. RB0/INT 핀 상에 셋팅 한 에지가 발생 하면 INTF (INTCON<1>) 비트가 셋트 된다. 이 인터럽트는 인에이블 비트인 INTE (INTCON<4>) 비트를 클리어 시킴으로서 디제이블이 가능하다. INTF 비트는 반드시 인터럽트 서비스 루틴에서 다시 인터럽트가 인에이블 되기 이전에 클리어 시켜야 한다. INT 인터럽트는 슬립으로 가기 이전에 INTE 비트가 셋트 되어 있었다면 디바이스를 슬립 모드로 부터 웨이크-업 시킬 수 있다. 글로벌 인터럽트 인에이블 비트 GIE 를 통하여 웨이크-업 이후에 프로세서를 인터럽트 벡터로 보낼 것인지를 결정 할 수 있다. 슬립 모드에 대한 자세한 사항은 **섹션 12.14 파워-다운 모드 (슬립)** 을 참조 하기를 바란다.

## 12.11.2 TMR0 인터럽트

TMR0 레지스터에서 오버플로우 (FFh → 00h) 가 발생 하면 TMR0IF (INTCON<2>) 비트가 셋트 된다. 인터럽트는 인에이블 비트인 TMR0IE (INTCON<5>) 비트를 셋트 / 클리어 함으로써 인에이블 / 디제이블이 가능하다. (**섹션 5.0 타이머 0 모듈**) 참조

## 12.11.3 포트 B 변화 인터럽트

PORTB<7:4> 에 입력 변화가 발생 하면 RBIF (INTCON<0>) 비트가 셋트 된다. 인터럽트는 인에이블 비트인 RBIE (INTCON<3>) 비트를 셋트 / 클리어 함으로써 인에이블 / 디제이블 시킬 수 있다 **섹션 4.2 PORTB 와 TRISB 레지스터** 참조.

## 12.12 인터럽트 발생시 레지스터 저장

인터럽트가 발생 되면 오직 복귀 하는 PC 어드레스만 스택으로 저장 된다. 따라서 사용자는 사용 하는 중요한 레지스터를 사용자 램에 저장 시켜 주어야 한다. ( 즉 W, PCLATH 그리고 STATUS 레지스터 ). 이것은 예제 12-1 에 나타낸 것처럼 반드시 소프트웨어로 구현이 되어야 한다.

PIC16CR73/74 디바이스인 경우 레지스터 W\_TEMP 는 반드시 **뱅크 0** 와 **뱅크 1** 에 동시에 정의가 되어야 하며 반드시 각 **뱅크** 의 기저 어드레스로부터 같은 오프-셋 값을 갖는 어드레스 맵상에 정의가 되어야만 한다. ( 즉 만약 W\_TEMP 가 **뱅크 0** 의 20h 번지에 정의 하였다면 그것은 또한 **뱅크 1** 의 A0h 번지에도 정의가 되어 있어야만 한다 ). 다른 레지스터들 즉 PCLATH\_TEMP 와 STATUS\_TEMP 는 오직 **뱅크 0** 에 정의 되어 있으면 된다.

PIC16CR76/77 인 경우 각 **뱅크** 의 상위 16 바이트는 공통으로 사용 하는 레지스터이므로 이 영역에 일시 저장 용으로 사용 하는 W\_TEMP, STATUS\_TEMP 그리고 PCLATH\_TEMP 레지스터를 저장 가능 하다.

이 16 바이트 영역은 **뱅크** 의 전환이 필요가 없으므로 좀 더 쉽고 편하게 값들을 저장 하고 복원 시킬 수가 있다. 예제 12-1 보여준 예제 코드 또한 사용 가능 하다.

### 예제 12-1: 램 영역에 STATUS, W 그리고 PCLATH 레지스터 저장

MOVWF	W_TEMP	; TEMP 레지스터로 w 값을 복사 함
SWAPF	STATUS, W	; status 의 니블을 서로 바꾼후 결과를 w 에 저장 시킴
CLRF	STATUS	; 현재 <b>뱅크</b> 와 상관 없이 IRP, RP1, RP0 클리어 시켜 <b>뱅크 0</b> 로 셋팅
MOVWF	STATUS_TEMP	; status 레지스터를 <b>뱅크 0</b> STATUS_TEMP 에 저장 시킴
MOVF	PCLATH, W	; 만약 페이지 1, 2 또는 3 을 사용 한다면 요구 된다
MOVWF	PCLATH_TEMP	; w 값을 PCLATH_TEMP 에 저장 시킨다
CLRF	PCLATH	; 현재 페이지와 상관 없이 페이지 0 로 셋팅 시킨다
:		
:(ISR)		; 사용자 코드를 위치 시킨다
:		
MOVF	PCLATH_TEMP, W	; PCLATH 를 복원 시킨다
MOVWF	PCLATH	; w 값을 PCLATH 로 전달 한다
SWAPF	STATUS_TEMP, W	; STATUS_TEMP 의 니블을 서로 바꾼후 결과를 w 에 저장 시킴
		; ( 원래 상태의 <b>뱅크</b> 로 전환 시킴 )
MOVWF	STATUS	; w 값을 STATUS 레지스터로 전달 한다
SWAPF	W_TEMP, F	; W_TEMP 니블을 서로 바꾼후 결과를 자기 자신에 저장 시킴
SWAPF	W_TEMP, W	; W_TEMP 니블을 서로 바꾼후 결과를 w 에 저장 시킴

## 12.13 워치 - 독 타이머 (WDT)

워치 - 독 타이머는 칩 내부의 RC 오실레이터로 프리 - 런닝 되기 때문에 외부에 어떠한 주변 회로도 요구 되지 않는다. 이러한 RC 오실레이터는 OSC1/CLKIN 핀의 RC 오실레이터와는 구분 된다. 그 의미는 SLEEP 명령에 의해 디바이스의 OSC1/CLKIN 과 OSC2/CLKOUT 핀으로 공급 되는 클럭이 멈추더라도 WDT 는 계속 동작 함을 의미한다.

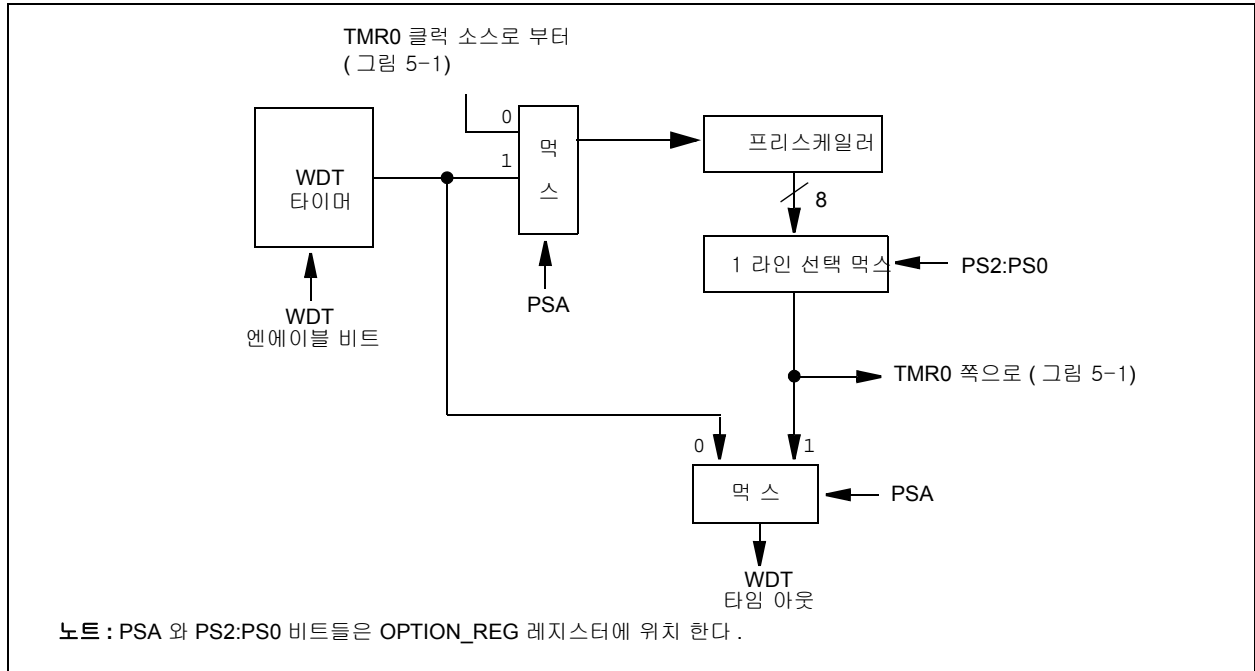
정상 동작 상태 일 때 WDT 타임 - 아웃의 발생은 디바이스의 리셋을 발생 시킨다 ( 워치 - 독 타이머 리셋 ). 만약 디바이스가 슬립 모드에 있는 경우라면 WDT 타임 - 아웃은 디바이스의 웨이크 - 업을 발생 시키고 계속 하여 정상 동작을 수행 시킬 것이다. ( 워치 - 독 타임 아웃에 의한 웨이크 - 업 ). 워치 - 독 타임 아웃이 발생 되면 STATUS 레지스터의  $\overline{TO}$  비트는 클리어 될 것이다.

WDT 모듈은 컨퓨그레이션 비트 WDTE (섹션 12.1 컨퓨그레이션 비트) 비트를 클리어 시키면 디제이블 된다.

WDT 타임 아웃 주기는 전기적 특성 섹션 파라미터 #31 에서 확인 가능 하다. WDT 프리스케일러의 값은 (실지로는 포스트 스케일러이다. 그러나 이것은 타이머 프리스케일러와 공용으로 사용 된다 ) OPTION\_REG 레지스터를 사용 하여 할당 가능하다.

- 노트 1:** CLRWDT 와 SLEEP 명령은 WDT 와 포스트 스케일러를 클리어 시킬 것이다 ( 만약 WDT 쪽으로 할당 되어 있다면 ) 그리고 그러한 명령은 타임 아웃과 디바이스 리셋을 발생 시키지 않는다.
- 2:** CLRWDT 명령이 실행 되고 프리스케일러 가 WDT 쪽으로 할당 된 경우는 프리 스케일러 카운터 값은 클리어가 되지만 프리 스케일러 할당 값은 변하지 않는다.

그림 12-11: 워치 - 독 타이머 블록 다이어그램



테이블 12-7: 워치 - 독 타이머와 관련 된 레지스터 요약

어드레스	이름	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0
2007h	컨퓨그 비트	(1)	BOREN <sup>(1)</sup>	—	CP0	PWRTEN <sup>(1)</sup>	WDTEN	FOSC1	FOSC0
81h,181h	OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0

범례 : 빗금친 부분은 워치 - 독 타이머에서는 사용 되지 않는다.

노트 1: 이 비트의 동작은 레지스터 12-1 를 참조 하기를 바란다.

## 12.14 파워 - 다운 모드 (슬립)

파워 - 다운 모드는 SLEEP 명령에 의하여 진입 된다. 위치 - 독 타이머가 인에이블 되어 있다면 슬립 명령과 동시에 클리어 되지만 계속 동작되며 PD 비트 (STATUS<3>) 는 클리어 되고 TO (STATUS<4>) 비트는 셋트 그리고 오실레이터는 동작을 멈출 것이다.

I/O 포트들은 SLEEP 명령이 실행 되기 이전의 상태를 계속 유지 할 것이다. (하이, 로우, 또는 하이 - 임피던스).

이 모드에서 전류 소비를 줄이기 위하여 모든 I/O 핀은 VDD 또는 VSS 에 연결 되어 있거나 외부로부터 전류가 유입 / 유출 되지 않은 상태로 있어야 하며 A/D 모듈을 오프 시키며 외부 클럭을 디제이블 시켜야 한다.

하이 - 임피던스에 있는 모든 I/O 핀들은 플로팅 입력에 의해 야기 되는 스위칭 전류를 피하기 위하여 반드시 하이 또는 로우 상태에 있어야 한다.

TOCKI 입력 또한 적은 소비 전류를 위하여 VDD 또는 VSS 에 연결 되어 있어야 한다. 포트B 의 내장 풀-업 또한 고려 되어야만 한다.

MCLR 핀은 반드시 로직 하이 - 레벨에 연결 되어 있어야만 한다. (VIHMC).

### 12.14.1 슬립 모드로부터 웨이크 - 업

다음과 같은 이벤트가 발생 하였을 때 슬립 모드로부터 디바이스를 웨이크 - 업 시킬 수 있다:

1. MCLR 핀을 통한 외부 리셋 입력.
2. 위치 - 독 타이머 웨이크 - 업 (만약 WDT 가 인에이블 되어 있다면).
3. INT 핀을 통한 인터럽트, RB 포트 변화 인터럽트 또는 주변 장치 인터럽트.

외부 MCLR 리셋은 디바이스 리셋을 야기 시키지만 다른 모든 이벤트는 슬립 모드로부터 디바이스를 웨이크 - 업 시킨 후 계속 프로그램을 수행 시킨다. STATUS 레지스터의 TO 와 PD 비트를 통하여 어떠한 상황에서 디바이스가 리셋 되었는지를 판단 할 수 있다. PD 비트는 파워 - 업 상황에서 셋트 되고 슬립 모드에 진입시에 클리어 된다. 만약 WDT 타임 - 아웃이 발생 되어 디바이스가 웨이크 - 업 되면 TO 비트는 클리어가 될 것이다. 다음과 같은 주변 장치 인터럽트는 슬립 모드로부터 디바이스를 깨울 수 있다:

1. PSP 읽기 또는 쓰기 (PIC16CR74/77 만 적용).
2. TMR1 인터럽트. 타이머 1 은 반드시 비동기 카운터 모드로 동작 되어야만 한다.
3. CCP 캡처 모드 인터럽트.
4. 스페셜 이벤트 트리거 (타이머 1 비동기 모드, 외부 클럭을 사용 할 때).
5. SSP (시작 / 멈춤) 비트 검출 인터럽트.
6. 슬레이브 모드에서 SSP 송신 또는 수신 (SPI/I<sup>2</sup>C).
7. USART RX 또는 TX (동기 슬레이브 모드).
8. A/D 컨버전 (A/D 클럭 소스가 RC 인 경우).

다른 주변 장치들은 칩 내부에 클럭이 존재 하지 않으므로 슬립 모드에서 인터럽트를 발생 시키지 않는다.

SLEEP 명령이 실행 되었을 때 다음 명령이 미리 페치 (PC + 1) 된다. 인터럽트 이벤트를 통하여 디바이스를 웨이크 - 업 시키는 경우는 반드시 일치 되는 인터럽트 인에이블 비트는 셋트 되어 있어야 한다. 웨이크 - 업의 발생은 GIE 비트의 상태와는 무관하다. 만약 GIE 비트가 클리어 되어 있다면 (디제이블) 디바이스는 계속하여 SLEEP 명령 이후의 명령을 수행 할 것이다. 만약 GIE 비트가 셋트 되어 있다면 (인에이블) 디바이스는 SLEEP 명령 이후의 하나의 명령을 수행 한 후 인터럽트 어드레스 (0004h) 로 점프 할 것이다. 이러한 경우 SLEEP 명령 이후의 명령 실행은 예기치 않은 결과를 야기 시킬 수 있기 때문에 사용자는 반드시 SLEEP 명령 이후에 하나의 NOP 명령을 넣어 주어야 한다.

### 12.14.2 인터럽트를 사용 한 웨이크 - 업

글로벌 인터럽트 비트가 디제이블 (GIE 비트가 클리어 됨) 되어 있을 때 인터럽트 인에이블 비트와 인터럽트 요구 플래그가 셋트 되면 아래와 같은 현상중 하나가 발생 될 것이다:

- 만약 SLEEP 명령 실행 이전에 인터럽트가 발생 된다면 SLEEP 명령은 NOP 로 처리가 된다. 따라서 WDT 와 WDT 포스트 스케일러는 클리어 되지 않으며 TO 비트는 셋트 되지 않고 PD 비트는 클리어 되지 않는다.
- 만약 SLEEP 명령 실행 중이거나 이후에 인터럽트가 발생 된다면 디바이스는 즉시 슬립으로부터 깨어난다. 즉 SLEEP 명령이 웨이크 - 업 이전에 실행 되는 것이다. 따라서 WDT 와 WDT 포스트 스케일러는 클리어 되며 TO 비트는 셋트 되고 PD 비트는 클리어 된다.

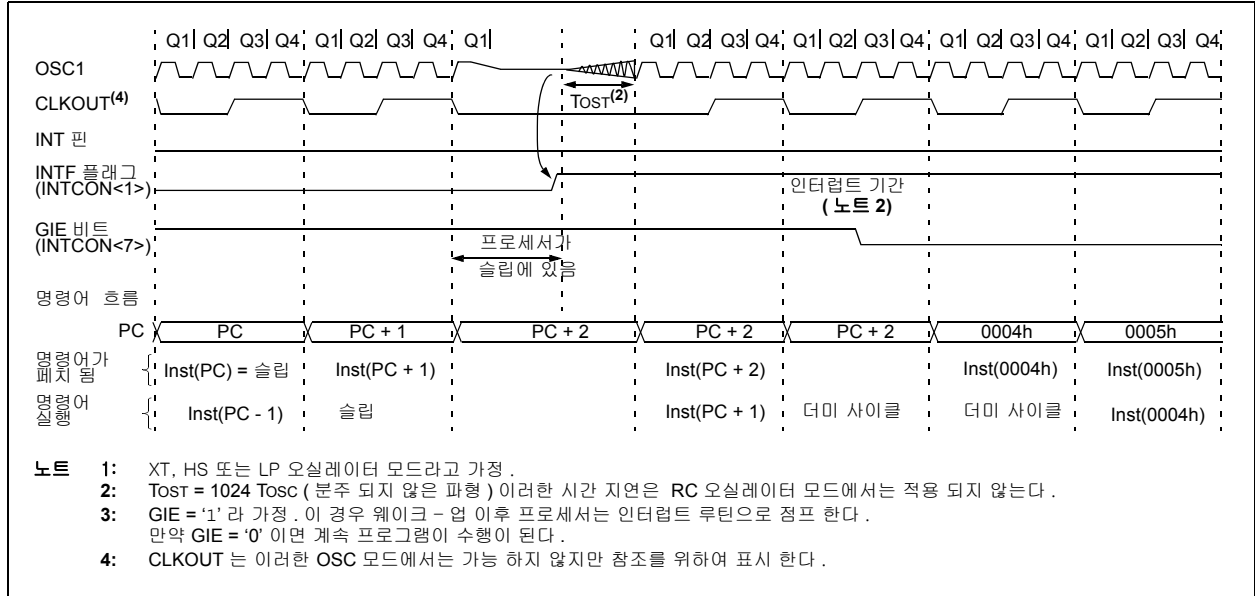
SLEEP 명령이 실행 되기 이전에 플래그 비트들이 체크 되었다 할지라도 플래그 비트들은 SLEEP 명령이 수행 되기 이전에 셋트 되는 것은 가능하다.

SLEEP 명령이 실행 되었는지를 확인 하기 위해서는 PD 비트를 체크 하면 된다. PD 비트가 셋트이면 SLEEP 명령은 NOP 로 처리 된다.

WDT 를 클리어 시키기 위해서는 SLEEP 명령 이전에 CLRWDI 명령이 실행 되어야만 한다.



그림 12-12: 인터럽트를 통한 슬립으로부터 웨이크 - 업



## 12.15 프로그램 검증 / 코드 프로텍션

만약 코드 프로텍션 비트가 인에이블 되어 있지 않으면 칩 내부의 프로그램 메모리 영역은 검증 목적으로 읽을 수 있다.

## 12.16 ID 영역

4 메모리 영역 (2000h-2002h) 은 ID 영역이며 그 영역에 사용자는 체크섬 코드 또는 다른 아이디 코드를 저장 할 수 있다. 이 영역은 일반적인 프로그램 수행 중에는 액세스가 불가능 하며 프로그램 검증을 위해서 읽기가 가능하다. ID 영역의 하위 4 비트만을 사용 하기를 권장한다.

## 12.17 사용자 코드

PIC16CR7X 마이크로 컨트롤로는 ROM 을 기반으로 하고 있기 때문에 사용자가 프로그래밍을 하는 것은 불가능 하다. 따라서 마지막으로 작성 된 코드를 어떻게 제출 하면 되는지에 대해서는 마이크로칩 한국 지사와 상의 하거나 어플리케이션 노트 AN1010, "PIC16CR ROM 코드 제출 과정" 을 참조 하면 된다.

# PIC16CR7X

---

노트 :

## 13.0 명령어 셋 요약

PIC16 명령어 셋은 다음과 같은 3 개의 기본적인 그룹으로 나눌 수 있다:

- 바이트 제어 관련 동작 명령어
- 비트 제어 관련 동작 명령어
- 상수 및 제어 관련 명령어

PIC16 명령어는 14 비트 워드로 구성 되어 있으며 이 안에 명령어 타입을 알 수 있는 오피 코드와 명령의 동작을 규정 하는 오퍼랜드를 포함 하고 있는 형식으로 구성 되어 있다. 각 카테고리의 일반적인 포맷 정보는 그림 13-1 부분을 참조 하기를 바람에 다양한 오피 코드 필드는 테이블 13-1 에 요약 되어 있다.

테이블 13-2 은 MPASM™ 어셈블러에서 사용 가능 한 모든 명령어를 보여 주고 있다. 각 명령어에 대한 자세한 사항은 “PICmicro® 미드-레인지 MCU 패밀리 참조 매뉴얼” (DS33023) 을 참조 하기를 바란다.

**바이트 제어 관련 명령어**에서 ‘f’ 는 파일 레지스터의 의미하고 ‘d’ 는 결과가 저장 될 방향을 의미 한다. ‘d’ 가 0 이면 결과는 W 레지스터로 저장 되며 1 이면 파일 레지스터로 저장이 된다.

**비트 제어 관련 명령어**에서 ‘b’ 는 비트를 의미하며 오퍼랜드에서 선택 된 파일 레지스터의 특정 비트를 가리 키고 있다.

**상수 및 제어 관련 명령어**에서 ‘k’ 는 8 비트 또는 11 비트의 상수 값을 의미한다.

하나의 명령어 사이클은 4 개의 오실레이터로 구성 된다; 만약 오실레이터 주파수를 4 MHz 를 사용 한다면 명령어 실행 시간은 1  $\mu$ s 가 될 것이다. 조건 테스트 명령이 참이거나 명령의 결과로 인하여 프로그램 카운터가 변화 되는 경우를 제외 한 모든 명령어는 하나의 명령어 사이클에서 실행 된다. 조건 테스트 명령 또는 프로그램 카운터가 변화 하는 명령어인 경우는 2 개의 명령어 사이클이 필요하며 이 경우 두번째 실행 사이클은 NOP 로 처리 된다

**노트:** 향후 PIC16CR7X 디바이스의 호환성을 위하여 OPTION 과 TRIS 명령어는 사용 하지 말아야 한다.

모든 명령어 예제에서 16 진수 표현을 위하여 ‘0xhh’ 의 포맷이 사용 되며 여기에서 ‘h’ 는 헥사 디지털을 의미 한다.

### 13.1 읽기-변경 - 쓰기 동작

어떤 파일레지스터 관련 명령어들은 읽기-변경-쓰기 (R-M-W) 동작으로 수행이 되는데 이는 레지스터가 읽혀진 후에 데이터가 변경 되고 그 결과가 명령어 또는 목적지 ‘d’ 에 의하여 저장 되는 경우를 의미한다. 비록 레지스터에 쓰기 명령일지라도 읽기 동작이 먼저 수행 될 수도 있다.

예를들면 “CLRf PORTB” 명령은 PORTB 를 읽고 나서 모든 데이터 비트를 클리어 시킨 후에 다시 PORTB 로 라이팅 된다. 이러한 경우 핀이 입력으로 구성되어 있고 PORTB 변환 인터럽트 기능을 사용 하는 경우 RBIF 플래그가 클리어 되는 예기치 않은 상황이 발생 될 수 있다.

테이블 13-1: 오피코드 필드 서술

필드	서술
f	파일 레지스터 어드레스 (0x00 ~ 0x7F)
W	워킹 레지스터 (어큐뮬레이터)
b	8 비트 파일레지스터 내의 비트 어드레스
k	상수 필드, 상수 데이터 또는 레이블
x	의미 없는 영역 (= 0 또는 1). 어셈블러는 x=0 를 발생 시킬 것이다. 그것은 마이크로칩 소프트웨어 툴을 이용 할 때 요구가 된다.
d	목적지 선택; d = 0: W 레지스터에 저장, d = 1: 파일 레지스터에 저장. 초기치는 d = 1.
PC	프로그램 카운터
TO	타임 - 아웃 비트
PD	파워 다운 비트

그림 13-1: 명령어의 일반적인 포맷

**바이트 제어 관련 명령어**

13		8	7	6	0
오피코드			d	f (파일 #)	

d = 0 이면 목적지가 W  
d = 1 이면 목적지가 파일레지스터  
f = 7 비트 파일 레지스터 어드레스

**비트 제어 관련 명령어**

13		10	9	7	6	0
오피코드			b (비트 #)	f (파일 #)		

b = 3 비트 어드레스  
f = 7 비트 파일 레지스터 어드레스

**상수 및 제어 동작 관련 명령어**

일반적인 명령어

13		8	7	0
오피코드			k (상수값)	

k = 8 비트 상수 값

CALL 과 GOTO 명령인 경우

13		11	10	0
오피코드			k (상수값)	

k = 11 비트 상수 값

# PIC16CR7X

테이블 13-2: PIC16CR7X 명령어 셋

뉴모닉, 오퍼랜드	서술	사이클	14 비트 오퍼 코드		영향을 받 는 비트	노트
			상위	하위		
<b>바이트 제어 관련 명령어</b>						
ADDWF	f, d	W 레지스터와 파일 레지스터를 더함	1	00 0111	dfff ffff	C,DC,Z 1,2
ANDWF	f, d	W 레지스터와 파일 레지스터를 AND 함	1	00 0101	dfff ffff	Z 1,2
CLRF	f	파일 레지스터를 클리어 함	1	00 0001	1fff ffff	Z 2
CLRWF	—	W 레지스터를 클리어 함	1	00 0001	0xxx xxxx	Z
COMF	f, d	파일 레지스터의 비트를 반전 시킴	1	00 1001	dfff ffff	Z 1,2
DECF	f, d	파일 레지스터의 값을 하나 감소 시킴	1	00 0011	dfff ffff	Z 1,2
DECFSZ	f, d	레지스터의 값을 하나 감소 후 0 이면 스킵	1(2)	00 1011	dfff ffff	1,2,3
INCF	f, d	파일 레지스터의 값을 하나 증가 시킴	1	00 1010	dfff ffff	Z 1,2
INCFSZ	f, d	레지스터의 값을 하나 증가 후 0 이면 스킵	1(2)	00 1111	dfff ffff	1,2,3
IORWF	f, d	W 레지스터와 파일 레지스터를 OR 함	1	00 0100	dfff ffff	Z 1,2
MOVF	f, d	파일 레지스터의 값을 이동 시킴	1	00 1000	dfff ffff	Z 1,2
MOVWF	f	W 레지스터의 값을 파일 레지스터로 이동	1	00 0000	1fff ffff	
NOP	—	아무런 뜻이 없음	1	00 0000	0xx0 0000	
RLF	f, d	캐리를 동반 하여 왼쪽으로 쉬프트 시킴	1	00 1101	dfff ffff	C 1,2
RRF	f, d	캐리를 동반 하여 오른쪽으로 쉬프트 시킴	1	00 1100	dfff ffff	C 1,2
SUBWF	f, d	파일 레지스터에서 W 레지스터의 값을 뺌	1	00 0010	dfff ffff	C,DC,Z 1,2
SWAPF	f, d	상위 니블과 하위 니블을 서로 바꿈	1	00 1110	dfff ffff	1,2
XORWF	f, d	W 레지스터와 파일 레지스터를 XOR 함	1	00 0110	dfff ffff	Z 1,2
<b>비트 제어 관련 명령어</b>						
BCF	f, b	파일 레지스터의 비트를 클리어 함	1	01 00bb	bfff ffff	1,2
BSF	f, b	파일 레지스터의 비트를 클리어 함	1	01 01bb	bfff ffff	1,2
BTFSC	f, b	비트를 테스트 하여 클리어하면 스킵 함	1 (2)	01 10bb	bfff ffff	3
BTFSS	f, b	비트를 테스트 하여 셋트면 스킵 함	1 (2)	01 11bb	bfff ffff	3
<b>상수 및 제어 동작 관련 명령어</b>						
ADDLW	k	상수 값과 W 레지스터를 더하여 W 에 저장	1	11 111x	kkkk kkkk	C,DC,Z 1,2
ANDLW	k	상수 값과 W 레지스터를 AND 하여 W 에 저장	1	11 1001	kkkk kkkk	Z 1,2
CALL	k	서브루틴 호출	2	10 0kkk	kkkk kkkk	
CLRWDT	—	워치 - 독 타이머 클리어	1	00 0000	0110 0100	$\overline{TO,PD}$
GOTO	k	특정 어드레스로 점프 시킴	2	10 1kkk	kkkk kkkk	
IORLW	k	상수 값과 W 레지스터를 OR 하여 W 에 저장	1	11 1000	kkkk kkkk	Z 1,2
MOVLW	k	W 레지스터에 상수 값을 넣음	1	11 00xx	kkkk kkkk	
RETFIE	—	인터럽트로 부터 복귀	2	00 0000	0000 1001	
RETLW	k	W 레지스터에 상수 값을 넣은 후 복귀	2	11 01xx	kkkk kkkk	
RETURN	—	서브 루틴으로부터 복귀	2	00 0000	0000 1000	
SLEEP	—	스탠바이 모드로 들어 감	1	00 0000	0110 0011	$\overline{TO,PD}$
SUBLW	k	상수에서 W 를 뺀 후 결과를 W 에 저장	1	11 110x	kkkk kkkk	C,DC,Z 1,2
XORLW	k	상수 값과 W 레지스터를 XOR 하여 W 에 저장	1	11 1010	kkkk kkkk	Z 1,2

- 노트 1:** I/O 레지스터가 자신과 상관 있는 명령과 함께 사용 되는 경우 ( 예 : MOVF PORTB, 1) 값은 현재 핀 상의 값이 될 것이다. 예를 들면 입력으로 구성 된 핀의 데이터 래치 값이 1 인 경우 외부 디바이스에 의하여 로우 상태로 전환 되었다면 데이터 값은 0 이 될 것이다.
- 2:** 만약 이러한 명령들이 TMO 레지스터와 상관이 있는 경우 (d = 1 일 경우) 타이머 0 모듈로 할당이 되었다면 프리스케일러는 클리어 될 것이다.
- 3:** 만약 프로그램 카운터 (PC) 가 변경 되거나 조건부 명령이 참일 경우 명령어는 2 사이클이 요구 되며 두번째 사이클은 NOP 로 실행 된다.

**노트 :** 미드-레인지 명령어 셋에 대한 자세한 사항은 “PICmicro® 미드-레인지 MCU 패밀리 참조 메뉴”(DS33023) 을 참조 하기를 바란다..

## 13.2 명령어 설명

ADDLW	W + 상수 -> W
구문 :	[ 라벨 ] ADDLW k
오퍼랜드 :	$0 \leq k \leq 255$
동작 :	$(W) + k \rightarrow (W)$
영향 플래그 :	C, DC, Z
상세 설명 :	W 레지스터에 8 비트 상수 'k' 값을 더하여 그 결과를 W 레지스터에 저장 한다 .

BCF	파일레지스터 특정 비트 클리어
구문 :	[ 라벨 ] BCF f,b
오퍼랜드 :	$0 \leq f \leq 127$ $0 \leq b \leq 7$
동작 :	$0 \rightarrow (f<b>)$
영향 플래그 :	없음
상세 설명 :	파일레지스터의 비트를 클리어

ADDWF	파일 레지스터 + W 레지스터
구문 :	[ 라벨 ] ADDWF f,d
오퍼랜드 :	$0 \leq f \leq 127$ $d \in [0,1]$
동작 :	$(W) + (f) \rightarrow (\text{목적지})$
영향 플래그 :	C, DC, Z
상세 설명 :	W 레지스터에 파일 레지스터의 값을 더한다 . 결과는 'd' 가 '0' 이면 W 레지스터에 저장이 되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장이 된다 .

BSF	파일레지스터 특정 비트 셋트
구문 :	[ 라벨 ] BSF f,b
오퍼랜드 :	$0 \leq f \leq 127$ $0 \leq b \leq 7$
동작 :	$1 \rightarrow (f<b>)$
영향 플래그 :	없음
상세 설명 :	파일레지스터의 비트를 셋트

ANDLW	상수 값 (AND) W --> W
구문 :	[ 라벨 ] ANDLW k
오퍼랜드 :	$0 \leq k \leq 255$
동작 :	$(W) .AND. (k) \rightarrow (W)$
영향 플래그 :	Z
상세 설명 :	W 레지스터에 8 비트 상수 값을 AND 한 후 그 결과 값을 W 레지스터에 저장 시킨다 .

BTFSS	비트를 테스트 하여 1 이면 스킵
구문 :	[ 라벨 ] BTFSS f,b
오퍼랜드 :	$0 \leq f \leq 127$ $0 \leq b < 7$
동작 :	$(f<b>) = 1$ 이면 스킵
영향 플래그 :	없음
상세 설명 :	비트 'b' 가 '0' 이면 다음 명령어가 실행 됨 . 비트 'b' 가 '1' 이면 다음 명령은 무시 되고 NOP 로 처리 됨 . 이경우 2Tcy 명령임 .

ANDWF	파일 레지스터 (AND) W
구문 :	[ 라벨 ] ANDWF f,d
오퍼랜드 :	$0 \leq f \leq 127$ $d \in [0,1]$
동작 :	$(W) .AND. (f) \rightarrow (\text{목적지})$
영향 플래그 :	Z
상세 설명 :	W 레지스터에 파일 레지스터의 값을 AND 한다 . 결과는 'd' 가 '0' 이면 W 레지스터에 저장이 되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장이 된다 .

BTFSC	비트를 테스트 하여 0 이면 스킵
구문 :	[ 라벨 ] BTFSC f,b
오퍼랜드 :	$0 \leq f \leq 127$ $0 \leq b \leq 7$
동작 :	$(f<b>) = 0$ 이면 스킵
영향 플래그 :	없음
상세 설명 :	비트 'b' 가 '1' 이면 다음 명령어가 실행 됨 . 비트 'b' 가 '0' 이면 다음 명령은 무시 되고 NOP 로 처리 됨 . 이경우 2Tcy 명령임 .

# PIC16CR7X

CALL	서브 루틴 호출
구문 :	[ 라벨 ] CALL k
오퍼랜드 :	$0 \leq k \leq 2047$
동작 :	(PC)+ 1 → TOS, k → PC<10:0>, (PCLATH<4:3>) → PC<12:11>
영향 플래그 :	없음
상세 설명 :	서브루틴 호출 명령 . 먼저 (PC + 1) 이 스택으로 저장 된 후 즉시 11 비트 어드레스가 PC<10:0> 로 로드 된다 . PC 의 상위 비트는 PCLATH 로 부터 로드 된다 . CALL 은 두 명령어 사이클 명령어 이다 .

CLRWDT	위치 - 독 타이머를 클리어 함
구문 :	[ 라벨 ] CLRWDT
오퍼랜드 :	없음
동작 :	00h → WDT 0 → WDT 프리스케일러 , 1 → $\overline{TO}$ 1 → $\overline{PD}$
영향 플래그 :	$\overline{TO}$ , $\overline{PD}$
상세 설명 :	CLRWDT 명령은 위치 - 독 타이머를 리셋 시킨다 . 또한 WDT 의 프리스케일러를 리셋 시킨다 . $\overline{TO}$ 와 $\overline{PD}$ 비트가 셋트 된다 .

CLRF	파일 레지스터를 클리어 함
구문 :	[ 라벨 ] CLRF f
오퍼랜드 :	$0 \leq f \leq 127$
동작 :	00h → (f) 1 → Z
영향 플래그 :	Z
상세 설명 :	파일 레지스터의 값을 클리어 하며 이 경우 Z 비트가 셋트 된다 .

COMF	파일 레지스터를 2의 보수를 취함
구문 :	[ 라벨 ] COMF f,d
오퍼랜드 :	$0 \leq f \leq 127$ $d \in [0,1]$
동작 :	$(\bar{f}) \rightarrow$ (목적지)
영향 플래그 :	Z
상세 설명 :	파일 레지스터의 내용을 2의 보수를 취한다 . 결과는 'd' 가 '0' 이면 W 레지스터에 저장되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장된다 .

CLRW	W 레지스터를 클리어 함
구문 :	[ 라벨 ] CLRW
오퍼랜드 :	없음
동작 :	00h → (W) 1 → Z
영향 플래그 :	Z
상세 설명 :	W 레지스터의 값을 클리어 하며 이 경우 Z 비트가 셋트 된다 .

DECF	파일 레지스터를 하나 감소 시킴
구문 :	[ 라벨 ] DECF f,d
오퍼랜드 :	$0 \leq f \leq 127$ $d \in [0,1]$
동작 :	$(f) - 1 \rightarrow$ (목적지)
영향 플래그 :	Z
상세 설명 :	파일 레지스터의 값을 하나 감소 시킴 . 결과는 'd' 가 '0' 이면 W 레지스터에 저장되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장된다 .

**DECFSZ**      파일 레지스터를 하나 감소, 결과가 0 이면 다음 명령 스킵

---

구문 :      [ 라벨] DECFSZ f,d

오퍼랜드 :       $0 \leq f \leq 127$   
 $d \in [0,1]$

동작 :      (f) - 1  $\rightarrow$  (목적지);  
 만약 결과 = 0 이면 스킵

영향 플래그 :      없음

상세 설명 :      파일 레지스터의 값을 하나 감소 시킴 . 결과는 'd' 가 '0' 이면 W 레지스터에 저장이 되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장이 된다 .  
 만약 결과가 '1' 이면 다음 명령이 실행 되고 '0' 이면 다음 명령은 무시 되고 NOP 로 처리 됨 . 이 경우 2Tcy 명령임

**INCFSZ**      파일 레지스터를 하나 증가, 결과가 0 이면 다음 명령 스킵

---

구문 :      [ 라벨] INCFSZ f,d

오퍼랜드 :       $0 \leq f \leq 127$   
 $d \in [0,1]$

동작 :      (f) + 1  $\rightarrow$  (목적지),  
 만약 결과 = 0 이면 스킵

영향 플래그 :      없음

상세 설명 :      파일 레지스터의 값을 하나 증가 시킴 . 결과는 'd' 가 '0' 이면 W 레지스터에 저장이 되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장이 된다 .  
 만약 결과가 '1' 이면 다음 명령이 실행 되고 '0' 이면 다음 명령은 무시 되고 NOP 로 처리 됨 . 이 경우 2Tcy 명령임

**GOTO**      무조건 점프

---

구문 :      [ 라벨] GOTO k

오퍼랜드 :       $0 \leq k \leq 2047$

동작 :       $k \rightarrow PC<10:0>$   
 $PCLATH<4:3> \rightarrow PC<12:11>$

영향 플래그 :      없음

상세 설명 :      GOTO 은 무조건 점프 명령이다 . 11 비트 어드레스가 PC<10:0> 로 로드 된다 . PC 의 상위 비트는 PCLATH<4:3> 로 부터 로드 된다 . GOTO 는 두 명령어 사이클 명령어이다 .

**IORLW**      W (OR) 상수 값

---

구문 :      [ 라벨] IORLW k

오퍼랜드 :       $0 \leq k \leq 255$

동작 :      (W) .OR. k  $\rightarrow$  (W)

영향 플래그 :      Z

상세 설명 :      W 레지스터에 8비트 상수 'k' 값을 OR 하여 그 결과를 W 레지스터에 저장 한다 .

**INCF**      파일 레지스터를 하나 증가 시킴

---

구문 :      [ 라벨] INCF f,d

오퍼랜드 :       $0 \leq f \leq 127$   
 $d \in [0,1]$

동작 :      (f) + 1  $\rightarrow$  (목적지)

영향 플래그 :      Z

상세 설명 :      파일 레지스터의 값을 하나 증가 시킴 . 결과는 'd' 가 '0' 이면 W 레지스터에 저장이 되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장이 된다 .

**IORWF**      W (OR) 파일 레지스터 f

---

구문 :      [ 라벨] IORWF f,d

오퍼랜드 :       $0 \leq f \leq 127$   
 $d \in [0,1]$

동작 :      (W) .OR. (f)  $\rightarrow$  (목적지)

영향 플래그 :      Z

상세 설명 :      W 레지스터와 파일 레지스터를 OR 한다 . 결과는 'd' 가 '0' 이면 W 레지스터에 저장이 되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장이 된다 .

# PIC16CR7X

---

**MOVF**            파일 레지스터의 값을 이동

---

구문 :            [ 라벨 ] MOVF f,d  
오퍼랜드 :         $0 \leq f \leq 127$   
                     $d \in [0,1]$   
동작 :            (f) → (목적지)  
영향 플래그 :    Z  
상세 설명 :        파일 레지스터의 값을 'd'의 목적지  
                    로 이동 시킨다. 만약 'd' = 0 이  
                    면 W 레지스터로 이동 시키는 것  
                    을 의미하며 'd' = 1 이면 자기 자  
                    신의 레지스터로 이동 시킨다.  
                    이 명령어는 상태 플래그 Z 비트  
                    에 영향을 미치기 때문에 테스트  
                    하는 경우 종종 사용 된다.

**MOVLW**          W 레지스터로 상수 값을 로드 함

---

구문 :            [ 라벨 ] MOVLW k  
오퍼랜드 :         $0 \leq k \leq 255$   
동작 :             $k \rightarrow (W)$   
영향 플래그 :    없음  
상세 설명 :        8비트 상수 'k' 값을 W 레지스터로  
                    로드 한다.

**MOVWF**          W 레지스터의 값을 파일레지스  
                    터로 이동 시킨다

---

구문 :            [ 라벨 ] MOVWF f  
오퍼랜드 :         $0 \leq f \leq 127$   
동작 :            (W) → (f)  
영향 플래그 :    없음  
상세 설명 :        W 레지스터의 값을 파일 레지스  
                    터로 이동 시킨다.

**NOP**            아무런 뜻도 없는 명령어

---

구문 :            [ 라벨 ] NOP  
오퍼랜드 :        없음  
동작 :            아무런 뜻도 없는 명령어  
영향 플래그 :    없음  
상세 설명 :        아무런 뜻도 없는 명령어.

**RETFIE**          인터럽트로 부터 복귀 하는 명령어

---

구문 :            [ 라벨 ] RETFIE  
오퍼랜드 :        없음  
동작 :            TOS → PC,  
                    1 → GIE  
영향 플래그 :    없음

**RETLW**          W 에 상수 값을 넣고 복귀

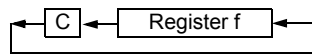
---

구문 :            [ 라벨 ] RETLW k  
오퍼랜드 :         $0 \leq k \leq 255$   
동작 :             $k \rightarrow (W)$ ;  
                    TOS → PC  
영향 플래그 :    없음  
상세 설명 :        8 비트 상수를 W 레지스터에 넣은  
                    후 원래의 프로그램으로 복귀 함



## RLF 캐리 비트를 동반하여 로테이트 레프트

구문 : [ 라벨 ] RLF f,d  
 오퍼랜드 :  $0 \leq f \leq 127$   
 $d \in [0,1]$   
 동작 : 상세 설명 참조  
 영향 플래그 : C  
 상세 설명 : 캐리 비트를 동반 하여 파일레지스터를 1 비트 왼쪽으로 쉬프트 시킴 . 결과는 'd' 가 '0' 이면 W 레지스터에 저장이 되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장이 된다 .



## SLEEP

구문 : [ 라벨 ] SLEEP  
 오퍼랜드 : 없음  
 동작 :  $00h \rightarrow WDT$ ,  
 $0 \rightarrow WDT$  프리스케일러 ,  
 $1 \rightarrow \overline{TO}$ ,  
 $0 \rightarrow \overline{PD}$   
 영향 플래그 :  $\overline{TO}$ ,  $\overline{PD}$   
 상세 설명 : 파워 다운 상태 비트  $\overline{PD}$  는 클리어되며 타임 - 아웃 상태 비트는 셋트 된다 . 워치 - 독 타이머와 프리스케일러 값은 클리어 된다 슬립 모드로 들어 가면 프로세서의 오실레이터는 동작을 하지 않는다 .

## RETURN 서브 루틴으로부터 복귀 함

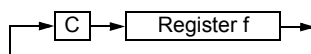
구문 : [ 라벨 ] RETURN  
 오퍼랜드 : 없음  
 동작 :  $TOS \rightarrow PC$   
 영향 플래그 : 없음  
 상세 설명 : 서브 루틴으로부터 복귀 함 . 스택에 저장 되어 있는 값이 프로그램 카운터로 로드 됨 . 이것은 2 사이클 명령어 임 .

## SUBLW 8 비트 상수 - W --> W

구문 : [ 라벨 ] SUBLW k  
 오퍼랜드 :  $0 \leq k \leq 255$   
 동작 :  $k - (W) \rightarrow (W)$   
 영향 플래그 : C, DC, Z  
 상세 설명 : 8 비트 상수 'k' 값에서 W 레지스터의 값을 뺀 후 그 결과 값을 W 레지스터에 저장 시킨다 .

## RRF 캐리 비트를 동반하여 로테이트 라이트

구문 : [ 라벨 ] RRF f,d  
 오퍼랜드 :  $0 \leq f \leq 127$   
 $d \in [0,1]$   
 동작 : 상세 설명 참조  
 영향 플래그 : C  
 상세 설명 : 캐리 비트를 동반 하여 파일레지스터를 1 비트 오른쪽으로 쉬프트 시킴 . 결과는 'd' 가 '0' 이면 W 레지스터에 저장이 되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장이 된다 .



## SUBWF 파일레지스터 - W 레지스터

구문 : [ 라벨 ] SUBWF f,d  
 오퍼랜드 :  $0 \leq f \leq 127$   
 $d \in [0,1]$   
 동작 :  $(f) - (W) \rightarrow (\text{목적지})$   
 영향 플래그 : C, DC, Z  
 상세 설명 : 파일 레지스터의 값에서 W 레지스터의 값을 뺀다 . 결과는 'd' 가 '0' 이면 W 레지스터에 저장이 되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장이 된다 .

# PIC16CR7X

---

## **SWAPF**      파일 레지스터의 상위 니블과 하위 니블을 서로 교환 한다

---

구문 :            [ *라벨* ] SWAPF f,d  
오퍼랜드 :       $0 \leq f \leq 127$   
                     $d \in [0,1]$   
동작 :            (f<3:0>) → ( 목적지 <7:4> ),  
                    (f<7:4>) → ( 목적지 <3:0> )  
영향 플래그 :    없음  
상세 설명 :      파일 레지스터의 상위 니블과 하위 니블을 서로 교환 한다. 결과는 'd' 가 '0' 이면 W 레지스터에 저장 이 되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장 이 된다 .

## **XORWF**      파일 레지스터 (XOR) W

---

구문 :            [ *라벨* ] XORWF f,d  
오퍼랜드 :       $0 \leq f \leq 127$   
                     $d \in [0,1]$   
동작 :            (W) .XOR. (f) → ( 목적지 )  
영향 플래그 :    Z  
상세 설명 :      파일 레지스터와 W 레지스터를 XOR 시킨다. 결과는 'd' 가 '0'이면 W 레지스터에 저장 이 되고 'd' 가 1 이면 자기 자신인 파일 레지스터에 저장 이 된다 .

## **XORLW**      W (XOR) 8 비트 상수 값

---

구문 :            [ *라벨* ] XORLW k  
오퍼랜드 :       $0 \leq k \leq 255$   
동작 :            (W) .XOR. k → (W)  
영향 플래그 :    Z  
상세 설명 :      W 레지스터와 8 비트 상수 'k' 값을 XOR 한 후 그 결과를 W 레지스터에 저장 시킨다 .

## 14.0 개발 지원

PICmicro® 마이크로 컨트롤러는 하드웨어 및 소프트웨어 전 영역에 걸쳐 개발 장비를 지원 하고 있다 :

- 통합 개발 환경
  - MPLAB® IDE 소프트웨어
- 어셈블러 / 컴파일러 / 링커
  - MPASM™ 어셈블러
  - MPLAB C18 와 MPLAB C30 C 컴파일러
  - MPLINK™ 오브젝트 링커 / MPLIB™ 오브젝트 라이브러리
  - MPLAB ASM30 어셈블러 / 링커 / 라이브러리
- 시뮬레이터
  - MPLAB SIM 소프트웨어 시뮬레이터
- 에뮬레이터
  - MPLAB ICE 2000 인 - 서킷 에뮬레이터
  - MPLAB ICE 4000 인 - 서킷 에뮬레이터
- 인 - 서킷 디버거
  - MPLAB ICD 2
- 디바이스 프로그래머
  - PICSTART® Plus 엔지니어용 프로그래머
  - MPLAB PM3 디바이스 프로그래머
  - PICKit™ 2 엔지니어용 프로그래머
- 저가형의 데모 및 개발 보드 그리고 평가 키트

## 14.1 MPLAB IDE 통합 환경 소프트웨어

MPLAB IDE 소프트웨어는 이전에 8/16 비트 마이크로 컨트롤러 시장에서 경험 해보지 못한 아주 쉬운 소프트웨어 개발 환경을 지원 하고 있다 . MPLAB IDE 는 Windows® OS 를 기반으로 아래와 같이 구동 된다 :

- 다양한 디버깅 툴을 인터페이스 가능
  - 시뮬레이터
  - 프로그래머 ( 별도로 판매 됨 )
  - 에뮬레이터 ( 별도로 판매 됨 )
  - 인 - 서킷 디버거 ( 별도로 판매 됨 )
- 칼라풀한 에디터 환경
- 복수의 프로젝트 매니저
- 값을 직접 변경 가능한 사용자 데이터 윈도우
- 하이 - 레벨 소스 코드 디버깅
- 쉬운 방법으로 각종 레지스터 값을 초기화 하기 위한 비주얼 디바이스 이니셜라이저 지원
- 마우스 조작으로 쉽게 변수 값을 확인 가능
- 소스 코드 상에서 위치 윈도우로 마우스를 통한 변수 전달 가능
- 온 - 라인 도움말 지원
- HI-TECH C 컴파일러 및 IAR C 컴파일러와 같은 협력 회사 툴 사용 가능

또한 MPLAB IDE 에서는 다음과 같은 행 할 수 있다 :

- 소스 파일 에디트 ( 어셈블러 또는 C )
- 간단하게 어셈블 ( 또는 컴파일 ) 이 가능 함과 동시에 PICmicro MCU 에뮬레이터 또는 시뮬레이터 툴로 다운로드 됨 ( 모든 프로젝트 정보가 자동적으로 업데이트 됨 )
- 아래 파일을 사용 하여 디버깅 가능 :
  - 소스 파일 ( 어셈블러 또는 C )
  - 어셈블러와 C 가 혼합 된 코드
  - 기계어 코드

MPLAB IDE 는 비용이 전혀 들지 않는 시뮬레이터로부터 저렴한 인 - 서킷 디버거 그리고 완벽한 에뮬레이터 장비까지 완벽하고 다양한 개발 환경을 지원 하고 있다 . 이것은 툴을 업그레이드 할 때 소요 되는 시간을 줄일 수 있다는 장점이 있다 .

## 14.2 MPASM 어셈블러

MPASM 은 모든 PICmicro MCUs 제품을 위한 유니버설 매크로 어셈블러이다 .

MPASM 어셈블러는 MPLINK 오브젝트 링커를 위한 재배치 가능한 오브젝트 파일 , Intel® 표준 HEX 파일 , 메모리 사용과 각종 심볼을 나타는 MAP 파일 그리고 소스 라인과 기계어가 포함 된 절대적인 LST 파일 , 디버깅을 위한 COFF 파일등을 생성 시킨다 .

MPASM 어셈블러는 다음과 같은 기능을 포함 하고 있다 :

- MPLAB IDE 프로젝트에서 사용 가능
- 어셈블러 소스코드 안에 사용자 정의한 매크로를 사용 가능
- 다양한 목적의 소스 파일을 위하여 조건부 어셈블리가 가능
- 어셈블리 과정을 제어 하기 위한 디렉티브 사용 가능

## 14.3 MPLAB C18 와 MPLAB C30 C 컴파일러

MPLAB C18 과 MPLAB C30 코드 개발 시스템은 마이크로칩 PIC18 마이크로 콘트롤러 패밀리와 dsPIC30, dsPIC33 그리고 PIC24 디지털 시그널 콘트롤러 패밀리 개발을 위한 완벽한 ANSI-C 컴파일러이다 .

이 컴파일러들은 다른 컴파일러 보다 사용 하기 쉽고 높은 코드 옵티마이징이 되며 파워풀한 라이브러리들을 지원 하고 있다 .

쉬운 소스 레벨의 디버깅을 위하여 컴파일러는 디버깅에 필요한 다양한 심볼 정보들을 MPLAB IDE 디버거에 제공을 한다 .

## 14.4 MPLINK 오브젝트 링커 / MPLIB 오브젝트 라이브러리

MPLINK 오브젝트 링커는 MPASM 어셈블러와 MPLAB C18 C 컴파일러에서 생성 된 재배치 가능한 오브젝트 파일들을 링크 시킨다 . 그것은 링커 스크립트로부터 디렉티브를 사용 하여 미리 컴파일 된 라이브러리로 부터 재배치 시킬 수 있다 .

MPLIB 오브젝트 라이브러리는 미리 컴파일 된 코드의 라이브러리 파일을 변경 하거나 새로 생성 시킬 수 있다 . 라이브러리 하나의 루틴이 소스 파일에 의해 호출 되었을 때 루틴을 포함 하고 있는 모듈만 어플리케이션에 링크 될 것이다 . 이것은 서로 다른 다양한 어플리케이션에서 큰 라이브러리를 효과적으로 사용 가능 하게 해 준다 .

오브젝트 링커/라이브러리는 다음의 기능을 포함 한다:

- 작고 많은 파일 대신 하나의 라이브러리의 효과적인 링크
- 서로 관련 된 모듈의 그룹에 의해 코드 관리의 효율성
- 대치 , 제거 및 추출을 위한 라이브러리의 유연성

## 14.5 MPLAB ASM30 어셈블러 , 링커 그리고 라이브러리

MPLAB ASM30 어셈블러는 dsPIC30F 디바이스를 위해 심볼릭 어셈블리 언어로 부터 기계어 코드로 재배치 시키는 역할을 하며 MPLAB C30 C 컴파일러는 어셈블러로 부터 자신의 오브젝트 파일을 생성 시키는 역할을 한다 .

어셈블러의 다음과 같은 기능을 내장 한다 .

- 완전한 dsPIC30F 명령어 셋 지원
- 픽스드 포인트 및 플로팅 포인트 데이터 지원
- 커맨드 라인 인터페이스
- 디렉티브 셋
- 유연한 매크로 언어
- MPLAB IDE 에서 호환 됨

## 14.6 MPLAB SIM 소프트웨어 시뮬레이터

MPLAB SIM 소프트웨어 시뮬레이터는 PC 환경에서 PICmicro MCU 와 dsPIC® DSC 디바이스의 명령어들을 시뮬레이션 하여 보는데 사용이 된다 . 주어진 명령어 상에서 데이터 영역들은 테스트 되고 변경 되고 내부의 스티뮬러스 콘트롤러로부터 적용 될 수 있다 . 레지스터들은 분석을 위하여 파일로 고정 될 수도 있다 . 트레이스 버퍼 및 로직 아날라이저는 내부 레지스터 , 대부분의 주변 장치 ,I/O 상태 그리고 프로그램이 어디에서 실행이 되는지 추적 하고 기록 하는것이 가능하다 .

MPLAB SIM 소프트웨어에서 MPLAB C18 , MPLAB C30 C 컴파일러 , MPASM 그리고 MPLAB ASM30 어셈블러를 사용하여 심볼릭 디버깅을 할 수 있다 .

소프트웨어 시뮬레이터를 이용 함으로써 하드웨어 환경이 아직 준비가 안된 상황에서 소스 코드를 테스트 하여 볼 수 있기 때문에 개발의 유연성을 가져오는 경제적인 소프트웨어 개발 툴이라 할 수 있다 .

## 14.7 MPLAB ICE 2000 고성능 인 - 서킷 에뮬레이터

MPLAB ICE 2000 인 - 서킷 에뮬레이터는 프러덕트 개발 엔지니어가 PICmicro 마이크로 컨트롤러를 이용하여 디자인 할 때 손 쉽게 개발 할 수 있도록 도움을 주는 에뮬레이터이다. MPLAB ICE 2000 인 - 서킷 에뮬레이터의 소프트웨어는 MPLAB IDE 개발 환경을 이용할 수 있으며 통합 환경 IDE 를 통하여 소스 코드 에디트, 컴파일, 다운로드 및 디버깅을 할 수 있다.

MPLAB ICE 2000 는 트래이스 메모리, 트리거 및 데이터 모니터링 기능을 내장한 고성능 에뮬레이터 시스템이다. 또한 상호 교환 가능한 프로세스 모듈을 이용하여 서로 다른 프로세서를 이용 가능 하도록 설계 되어 있다.

따라서 이러한 MPLAB ICE 2000 인 - 서킷 에뮬레이터 아키텍처로 인하여 향후 출시 되는 새로운 마이크로 컨트롤러도 지원이 된다.

MPLAB ICE 2000 인 - 서킷 에뮬레이터 시스템은 일반적으로 고가의 개발 툴에서 지원 하는 실시간 에뮬레이터 시스템 환경으로 설계가 되어 있다.

이러한 환경을 위하여 PC 플랫폼 품과 Microsoft® Windows® 32-bit 오퍼레이팅 시스템이 간단 하면서도 안정적인 시스템 구동을 위하여 선택 되었다.

## 14.8 MPLAB ICE 4000 고성능 인 - 서킷 에뮬레이터

MPLAB ICE 4000 인 - 서킷 에뮬레이터는 프러덕트 개발 엔지니어가 고성능 PICmicro 마이크로 컨트롤러 및 dsPIC DSC 를 이용하여 디자인 할 때 손 쉽게 개발 할 수 있도록 도움을 주는 에뮬레이터이다. MPLAB ICE 4000 인 - 서킷 에뮬레이터의 소프트웨어는 MPLAB IDE 개발 환경을 이용할 수 있으며 통합 환경 IDE 를 통하여 소스 코드 에디트, 컴파일, 다운로드 및 디버깅을 할 수 있다.

MPLAB ICE 4000 는 MPLAB ICE 2000 과 같은 고성능의 에뮬레이터 시스템이지만 에뮬레이션 메모리가 더욱 증가 되었으며 dsPIC30F 과 PIC18XXXX 디바이스들을 위하여 더욱 고속으로 구현이 된다. 또한 이러한 ICE 4000 에뮬레이터 시스템에는 컴플렉스 트리거 및 타이밍 기능 그리고 최대 2M 바이트의 외부 메모리를 사용할 수 있도록 설계가 되어 있다.

MPLAB ICE 4000 인 - 서킷 에뮬레이터 시스템은 일반적으로 고가의 개발 툴에서 지원 하는 실시간 에뮬레이터 시스템 환경으로 설계가 되어 있다. 이러한 환경을 위하여 PC 플랫폼 품과 Microsoft® Windows® 32-bit 오퍼레이팅 시스템이 간단 하면서도 안정적인 시스템 구동을 위하여 선택 되었다.

## 14.9 MPLAB ICD 2 인 - 서킷 디버거

마이크로칩 인 - 서킷 디버거 MPLAB ICD 2 는 컴퓨터와 RS-232 및 USB 를 사용하여 인터페이스 할 수 있는 고성능, 저 비용, 실 시간 개발 툴이다. 이 툴은 기본적으로 플래시 PICmicro 에 사용할 수 있으며 또한 다른 PICmicro 뿐만 아니라 dsPIC DSC 제품에도 사용 가능하다. MPLAB ICD 2 는 플래시 디바이스 속에 내장된 디버깅 기능을 이용 한다. 이러한 기능은 마이크로칩 제품을 사용하는 사용자에게 마이크로칩 인 - 서킷 시리얼 프로그래밍 프로토콜을 이용 하여 저렴하게 MPLAB IDE 환경에서 플래시 마이크로 컨트롤러를 쉽게 디버깅 하는데 큰 도움을 준다. 또한 이러한 기능을 이용 하면 디자이너는 소스코드를 디버깅 할 때 CPU 상태 및 주변 장치 레지스터 값을 쉽게 확인 가능하며 워치 윈도우 그리고 싱글 스텝 기능, 브레이크 포인트 기능등을 이용 하여 디버깅 가능하다. 테스트 하는 하드웨어가 최고 속도로 실행 되고 있는 경우 실시간 디버깅 또한 가능하다. MPLAB ICD 2 는 또한 선택된 PICmicro 디바이스의 프로그래머로 사용 가능하다.

## 14.10 MPLAB PM3 디바이스 프로그래머

MPLAB PM3 디바이스 프로그래머는 최대한 신뢰성을 제공 하기 위하여 VDDMIN 와 VDDMAX 전압 사이에서 프로그래밍 전압을 검증 하는 기능을 내장 한 유니버설 CE 호환 디바이스 프로그래머이다. 그것에는 메뉴와 에러 메세지 디스플레이를 위한 큰 LCD 창 (128 x 64) 이 있으며 모듈라 케이블 및 여러 가지 다양한 패키지 타입을 지원 하기 위한 분리 가능한 소켓 어셈블리 구조를 가지고 있다. 또한 ICSP™ 케이블은 기본 약세서리로 포함 되어 있다. 스탠드 - 얼론 모드에서 MPLAB PM3 디바이스 프로그래머는 PC 와의 연결이 없어도 PICmicro 디바이스의 내용을 읽고 검증하고 다시 라이팅이 가능하다. 또한 이 모드에서 코드 - 프로젝션 기능을 인에이블 시킬 수도 있다. MPLAB PM3 는 RS-232 및 USB 케이블을 이용 하여 PC 와 인터페이스 한다. MPLAB PM3 는 고속 통신으로 프로그래밍을 하며 큰 메모리 디바이스의 빠른 프로그래밍을 위하여 압축된 알고리즘을 이용 한다. 또한 파일 저장 및 보안 어플리케이션을 위하여 SD/MMC 카드 리더기를 지원 하고 있다.

## 14.11 PICSTART Plus 프로그래머

PICSTART Plus 프로그래머는 사용 하기 쉽고 저렴한 프로토타입 프로그래머이다. 이것은 COM(RS-232) 포트를 통하여 PC 와 인터페이스 된다. 또한 MPLAB 통합 환경 소프트웨어를 이용 하여 프로그래머를 쉽고 효과적으로 사용 가능하다.

PICSTART Plus 프로그래머는 최대 40 핀 까지의 DIP 패키지를 지원 하고 있으며 이보다 큰 핀 수의 PIC16C92X 와 PIC17C76X 마이크로 컨트롤러는 아답터 소켓을 이용 하여 지원 된다. PICSTART Plus 프로그래머는 CE 호환 제품이다.

## 14.12 PICKit 2 프로그래머

PICKit™ 2 프로그래머는 사용 하기 쉽고 저렴한 프로그래머이며 이 장비를 통하여 마이크로칩의 베이스라인, 미드레인지 그리고 PIC18F 플래시 메모리 마이크로 컨트롤러의 프로그래밍이 가능하다.

PICKit 2 스타터 키트는 프로토타입 개발 보드, 12 개의 예제 프로그램 및 소프트웨어, HI-TECH 사의 PICC 라이트 C 컴파일러를 포함 하고 있으며 PIC® 마이크로 컨트롤러를 빠르게 습득 할 수 있도록 도움을 준다.

이 키트는 성능이 좋은 마이크로칩의 미드 - 레인지 플래시 메모리 패밀리를 쉽게 프로그래밍 하고 테스트 하여 볼 수 있도록 설계가 되었다.

## 14.13 데모 보드 및 평가 보드

다양한 PICmicro MCU 와 dsPIC DSC 를 빠르게 테스트 하여 볼 수 있는 다양한 평가 및 데모 보드를 지원 하고 있다.

대부분의 보드에는 사용자 회로를 추가 하기 위한 프로토타입 영역을 포함 하고 있으며 손쉽게 사용 할 수 있도록 예제 소스 프로그램을 지원 하고 있다.

보드에는 LED, 온도 센서, 스위치류, 스피커, RS-232 인터페이스, LCD 디스플레이, 포텐셔미터 그리고 외부 EEPROM 메모리등을 이용하여 다양한 기능을 구현 해 볼 수 있도록 설계가 되어 있다.

데모 및 개발 보드를 이용 하여 다양한 마이크로 컨트롤러를 공부 하거나 가르치는데 이용을 할 수 있다.

PICDEM™ 과 dsPICDEM™ 데모 / 개발보드 뿐만 아니라 마이크로칩은 아날로그 필터 디자인을 위한 데모 소프트웨어, KEELOQ® 시큐리티 ICs, CAN, IrDA®, PowerSmart® 배터리 관리, SEEVAL® 평가 시스템, 델타-시그마 ADC 등등 많은 데모 보드를 지원 한다.

최신의 데모보드 및 평가 키트에 대해서는 마이크로칩 웹 - 사이트 ([www.microchip.com](http://www.microchip.com)) 에서 “제품 선택 가이드”(DS00148) 를 참고 하기를 바란다.

## 15.0 전기적 특성

### 절대적 최대치 †

바이어스 아래서의 환경 온도 .....	-55 ~ +125°C
저장 온도 .....	-65°C ~ +150°C
Vss 에 대한 각 핀의 전압 .....	-0.3V ~ (VDD + 0.3V)
Vss 에 대한 VDD 전압 .....	-0.3 ~ +6.5V
Vss 에 대한 $\overline{\text{MCLR}}$ 전압 .....	0 ~ +5.5V
Vss 에 대한 RA4 핀의 전압 .....	0 ~ +5.5V
총 파워 소비 ( <b>노트 1</b> ) .....	1.0W
Vss 핀으로 흘러 나가는 최대 전류 .....	300 mA
VDD 핀으로 들어오는 최대 전류 .....	250 mA
입력 클램프 전류, I <sub>IK</sub> (V <sub>I</sub> < 0 또는 V <sub>I</sub> > VDD) .....	± 20 mA
출력 클램프 전류, I <sub>OK</sub> (V <sub>O</sub> < 0 또는 V <sub>O</sub> > VDD) .....	± 20 mA
각 I/O 핀의 최대 출력 싱크 전류 .....	25 mA
각 I/O 핀의 최대 출력 소스 전류 .....	25 mA
PORTA, PORTB, 그리고 PORTE ( 복수의 핀 ) 에 의한 최대 싱크 전류 ( <b>노트 3</b> ) .....	200 mA
PORTA, PORTB, 그리고 PORTE ( 복수의 핀 ) 에 의한 최대 소스 전류 ( <b>노트 3</b> ) .....	200 mA
PORTC 그리고 PORTD ( 복수의 핀 ) 에 의한 최대 싱크 전류 ( <b>노트 3</b> ) .....	200 mA
PORTC 그리고 PORTD ( 복수의 핀 ) 에 의한 최대 소스 전류 ( <b>노트 3</b> ) .....	200 mA

**노트 1:** 파워 소비는 다음과 같은 공식으로 계산 됨 :  $P_{dis} = V_{DD} \times \{I_{DD} - \sum I_{OH}\} + \sum \{(V_{DD} - V_{OH}) \times I_{OH}\} + \sum (V_{OL} \times I_{OL})$

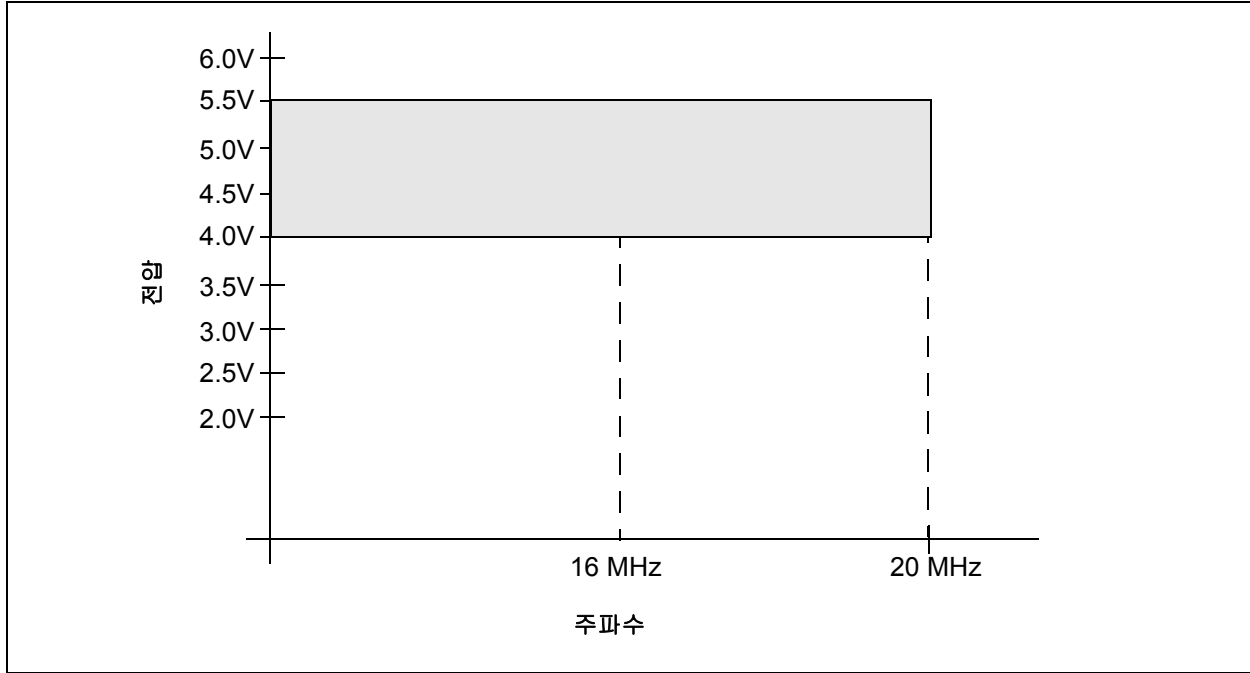
**2:**  $\overline{\text{MCLR}}$  핀에 스파이크 전압이 공급 되면 래치 - 업 현상을 야기 시킬 수도 있다 . 따라서 이 핀을 직접 VDD 에 직접 연결 하는 것 보다 1 kΩ 보다 큰 직렬 저항을  $\overline{\text{MCLR}}$  핀에서 VDD 쪽으로 사용 하여야만 한다 .

**3:** PORTD 와 PORTE 는 PIC16CR73/76 디바이스에서는 구현 되지 않는다 .

† 주의 : 위에서 제시한 스트레스의 절대적 최대치의 값들은 디바이스에 치명적인 파손을 가져 올 수 있다 . 위에서 제시한 값들은 디바이스가 기능적으로만 동작이 되는 경우에 한하며 스펙에서 제시 되지 않은 다른 조건에서는 해당 되지 않으며 그 이상의 조건에서는 디바이스의 신뢰성에 영향을 미칠수 있다 .

# PIC16CR7X

그림 15-1: PIC16CR7X 전압 - 주파수 그래프





## 15.1 DC 특성 : PIC16CR73/74/76/77 ( 산업용 , 오토모티브 )

PIC16CR73/74/76/77 ( 산업용 , 오토모티브 )		일반적인 동작 조건 ( 다른 상황이 없는 경우 )					
		동작 온도		산업용 -40°C ≤ TA ≤ +85°C 오토모티브 -40°C ≤ TA ≤ +125°C			
파라메 터 넘버	심볼	특성	최소	평균 †	최대	단위	조건
	VDD	공급 전압					
D001		PIC16CR7X	2.5 2.2 2.0	— — —	5.5 5.5 5.5	V V V	A/D 사용 됨 , -40°C ~ +85°C A/D 사용 됨 , 0°C ~ +85°C A/D 사용 되지 않음 , -40°C ~ +85°C
D001 D001A		PIC16CR7X	4.0 VBOR*	— —	5.5 5.5	V V	모든 컨퓨그레이션 BOR 이 인에이블 됨 ( 노트 7 )
D002*	VDR	RAM 데이터 유지 전압 ( 노트 1 )	—	1.5	—	V	
D003	VPOR	안정적인 내부 파워 - 온 리셋을 위한 VDD 시작 전압	—	VSS	—	V	상세한 사항은 파워 - 온 리셋 부분을 참조 할 것
D004*	SVDD	안정적인 내부 파워 - 온 리 셋을 위한 VDD 상승 기울기	0.05	-	—	V/ms	상세한 사항은 파워 - 온 리셋 부분을 참조 할 것
D005	VBOR	브라운 - 아웃 리셋 전압	TBD	TBD	TBD	V	옵션에서 BOREN 비트가 인에이블 되어 있 을 때

범례 : \* 빗금친 부분은 테이블을 읽기 쉽게 하기 위함이다 .

\* 이러한 파라미터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다 .

† “평균” 의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다 . 이 파라미터 값은 단지 디자인 가이드  
를 위한 값이며 테스트 되지는 않았다 .

노트 1: 이것은 RAM 데이터의 손실 없이 낮아 질수 있는 VDD 전압을 의미한다 .

2: 공급 전류는 주로 동작 전압과 주파수에 의해 결정 된다 . 그 외 I/O 핀 로딩과 스위칭 비율 , 오실레이터 타  
입 , 내부 코드 실행 패턴 , 온도등이 소비 전류를 결정 하는데 중요한 요소가 된다 .

동작 모드에서 모든 IDD 를 측정 하기 위한 테스트 조건은 다음과 같다 :

OSC1 = 외부 구형파 , 레일 투 레일 ; 모든 트리 스테이트 I/O 핀들 , VDD 로 풀 - 업

MCLR = VDD; WDT 인에이블 / 디제이블

3: 슬립 모드에서의 소비 전류는 오실레이터 타입에 영향을 받지 않는다 . 슬립 모드에서의 소비 전류 측정은  
모든 하이 - 임피던스 상태의 I/O 핀 및 VDD 및 VSS 에 연결 된 I/O 핀에 흐르는 전류를 측정 하는 것이다 .

4: RC 오실레이터 옵션에서 REXT 를 통하여 흐르는 전류는 포함 되지 않는다 . 저항을 통하여 흐르는 전류는  
 $I_r = VDD/2R_{EXT} \text{ (mA)}$  (  $R_{EXT} = k\Omega$  ) 을 통하여 계산 될 수 있다 .

5: 타이머1 오실레이터 ( 인에이블 되어 있을 때 ) 는 기본 스펙 보다 약 20 μA 정도 더 전류가 흐른다 . 이 값은  
기본 특성 값이며 단지 디자인 가이드를 위한 값이다 . 테스트 되지는 않았다 .

6: Δ 전류는 주변 장치가 인에이블 되었을 때 측정 된 추가 전류이다 . 이 전류 값은 기본적인 IDD 또는 IPD 와  
더해 져야만 한다 .

7: BOR 이 인에이블 되었을 때 디바이스는 VBOR 전압이 트립 포인트에 도달 할 때 까지 정상적으로 동작 될  
것이다 .

# PIC16CR7X

## 15.1 DC 특성 : PIC16CR73/74/76/77 ( 산업용 , 오토모티브 ) ( 앞 페이지에 이어 계속 됨 )

PIC16CR73/74/76/77 ( 산업용 , 오토모티브 )		일반적인 동작 조건 ( 다른 상황이 없는 경우 )					
		동작 온도		산업용 -40°C ≤ TA ≤ +85°C 오토모티브 -40°C ≤ TA ≤ +125°C			
파라메터 번호	심볼	특성	최소	평균 †	최대	단위	조건
		<b>공급 전류 ( 노트 2, 5 )</b>					
D010	IDD	PIC16CR7X	—	0.5	2	mA	XT, RC 오실레이터 모드 FOSC = 4 MHz, VDD = 3.0V ( 노트 4 )
D010A		PIC16CR7X	—	20	48	μA	LP 오실레이터 모드 FOSC = 32 kHz, VDD = 3.0V, WDT 오프
D010		PIC16CR7X	—	1.1	4	mA	XT, RC 오실레이터 모드 FOSC = 4 MHz, VDD = 5.5V ( 노트 4 )
D013		PIC16CR7X	—	6.3	15	mA	HS 오실레이터 모드 FOSC = 20 MHz, VDD = 5.5V
D015*	ΔIBOR	브라운 - 아웃 리셋 전류 ( 노트 6 )	—	30	200	μA	BOR 온 , VDD = 5.0V
		<b>파워 - 다운 전류 ( 노트 3, 5 )</b>					
D020	IPD	PIC16CR7X	—	TBD	TBD	μA	VDD = 3.0V, WDT 온 , -40°C ~ +85°C
D021		PIC16CR7X	—	TBD	TBD	μA	VDD = 3.0V, WDT 오프 , -40°C ~ +85°C
D020		PIC16CR7X	—	TBD	TBD	μA	VDD = 4.0V, WDT 온 , -40°C ~ +85°C
D021		PIC16CR7X	—	TBD	TBD	μA	VDD = 4.0V, WDT 오프 , -40°C ~ +85°C
D021A		PIC16CR7X	—	TBD	TBD	μA	VDD = 4.0V, WDT 온 , -40°C ~ +125°C
		PIC16CR7X	—	TBD	TBD	μA	VDD = 4.0V, WDT 오프 , -40°C ~ +125°C
D023*	ΔIBOR	브라운 - 아웃 리셋 전류 ( 노트 6 )	—	30	200	μA	BOR 온 , VDD = 5.0V

**범례 :**

- 빗금친 부분은 테이블을 읽기 쉽게 하기 위함이다 .
- \* 이러한 파라메터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다 .
- † “평균” 의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다 . 이 파라메터 값은 단지 디자인 가이드를 위한 값이며 테스트 되지는 않았다 .

**노트 1:**

- 1: 이것은 RAM 데이터의 손실 없이 낮아 질수 있는 VDD 전압을 의미한다 .
- 2: 공급 전류는 주로 동작 전압과 주파수에 의해 결정 된다 . 그 외 I/O 핀 로딩과 스위칭 비율 , 오실레이터 타입 , 내부 코드 실행 패턴 , 온도등이 소비 전류를 결정 하는데 중요한 요소가 된다 .  
동작 모드에서 모든 IDD 를 측정 하기 위한 테스트 조건은 다음과 같다 :  
OSC1 = 외부 구형파 , 레일 투 레일 ; 모든 트리 스테이트 I/O 핀들 , VDD 로 풀 - 업  
MCLR = VDD; WDT 인에이블 / 디제이블
- 3: 슬립 모드에서의 소비 전류는 오실레이터 타입에 영향을 받지 않는다 . 슬립 모드에서의 소비 전류 측정은 모든 하이 - 임피던스 상태의 I/O 핀 및 VDD 및 VSS 에 연결 된 I/O 핀에 흐르는 전류를 측정 하는 것이다 .
- 4: RC 오실레이터 옵션에서 REXT 를 통하여 흐르는 전류는 포함 되지 않는다 . 저항을 통하여 흐르는 전류는  $I_r = V_{DD}/2R_{EXT}$  ( mA ) ( REXT= kOhm ) 을 통하여 계산 될 수 있다 .
- 5: 타이머1 오실레이터 ( 인에이블 되어 있을 때 ) 는 기본 스펙 보다 약 20 μA 정도 더 전류가 흐른다 . 이 값은 기본 특성 값이며 단지 디자인 가이드를 위한 값이다 . 테스트 되지는 않았다 .
- 6: Δ 전류는 주변 장치가 인에이블 되었을 때 측정 된 추가 전류이다 . 이 전류 값은 기본적인 IDD 또는 IPD 와 더해져야만 한다 .
- 7: BOR 이 인에이블 되었을 때 디바이스는 VBOR 전압이 트립 포인트에 도달 할 때 까지 정상적으로 동작 될 것이다 .



# PIC16CR7X

## 15.2 DC 특성 : PIC16CR73/74/76/77 ( 산업용 , 오토모티브 ) ( 앞 페이지에 이어 계속 됨 )

DC 특성		일반적인 동작 조건 ( 다른 상황이 없는 경우 )					
		동작 온도		산업용		-40°C ≤ TA ≤ +85°C	
				오토모티브		-40°C ≤ TA ≤ +125°C	
		동작 전압 VDD 범위에 대해서는 DC 특성 섹션 15.1 DC 특성 : PIC16CR73/74/76/77 ( 산업용 , 오토모티브 ) 을 참조할 것 .					
파라미터 넘버	심볼	특성	최소	평균 †	최대	단위	조건
	VOL	<b>출력 로우 전압</b>					
D080		I/O 포트	—	—	0.6	V	IOL = 8.5 mA, VDD = 4.5V, -40°C ~ +125°C
D083		OSC2/CLKOUT (RC 오실레이터 모드)	—	—	0.6	V	IOL = 1.6 mA, VDD = 4.5V, -40°C ~ +125°C
			—	—	0.6	V	IOL = 1.2 mA, VDD = 4.5V, -40°C ~ +125°C
	VOH	<b>출력 하이 전압</b>					
D090		I/O 포트 ( 노트 3)	VDD - 0.7	—	—	V	I <sub>OH</sub> = -3.0 mA, VDD = 4.5V, -40°C ~ +125°C
D092		OSC2/CLKOUT (RC 오실레이터 모드)	VDD - 0.7	—	—	V	I <sub>OH</sub> = -1.3 mA, VDD = 4.5V, -40°C ~ +125°C
			VDD - 0.7	—	—	V	I <sub>OH</sub> = -1.0 mA, VDD = 4.5V, -40°C ~ +125°C
D150*	VOD	오픈 드레인 하이 전압	—	—	5.5	V	RA4 핀
		<b>출력 핀의 로드 캐패시턴스 스펙</b>					
D100	Cosc2	OSC2 핀	—	—	15	pF	OSC1 핀을 드라이브 하기 위하여 외부 클럭이 사용 되었을 때 ( XT, HS 그리고 LP 모드 )
D101	Cio	모든 I/O 핀과 OSC2 (RC 모드)	—	—	50	pF	
D102	CB	I <sup>2</sup> C™ 모드에서 SCL, SDA	—	—	400	pF	

\* 이러한 파라미터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다 .

† “평균” 의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다 . 이 파라미터 값은 단지 디자인 가이드를 위한 값이며 테스트 되지는 않았다 .

- 노트 1:** RC 오실레이터 모드에서 OSC1/CLKIN 핀은 슈미트 트리거 입력 핀이다 . 따라서 PIC16CR7X 마이크로 컨트롤러가 RC 오실레이터 모드인 경우 외부 클럭으로 구동 시키는 것은 바람직 하지 않다 .
- 2:** MCLR 핀 상의 누설 전류는 공급 되는 전압 레벨에 상당히 의존적이다 . 따라서 제시된 값들은 정상 동작 조건 하에서 이다 . 다른 입력 전압에서는 높은 누설 전류가 측정 될 수도 있다 .
- 3:** 음수의 전류 값은 핀에 의해서 소스 된 전류 값을 의미 한다 .

## 15.3 타이밍 파라미터 심볼

타이밍 파라미터 심볼들은 아래의 포맷 중 하나를 사용하여 생성된다 :

1. TppS2ppS
2. TppS
3. Tcc:ST (I<sup>2</sup>C™ 스펙에서만)
4. Ts (I<sup>2</sup>C™ 스펙에서만)

<b>T</b>			
F	주파수	T	타임

소문자 (pp) 및 그들의 의미 :

<b>pp</b>			
cc	CCP1	osc	OSC1
ck	CLKOUT	rd	$\overline{RD}$
cs	$\overline{CS}$	rw	$\overline{RD}$ 또는 $\overline{WR}$
di	SDI	sc	SCK
do	SDO	ss	$\overline{SS}$
dt	데이터 입력	t0	T0CKI
io	I/O 포트	t1	T1CKI
mc	$\overline{MCLR}$	wr	$\overline{WR}$

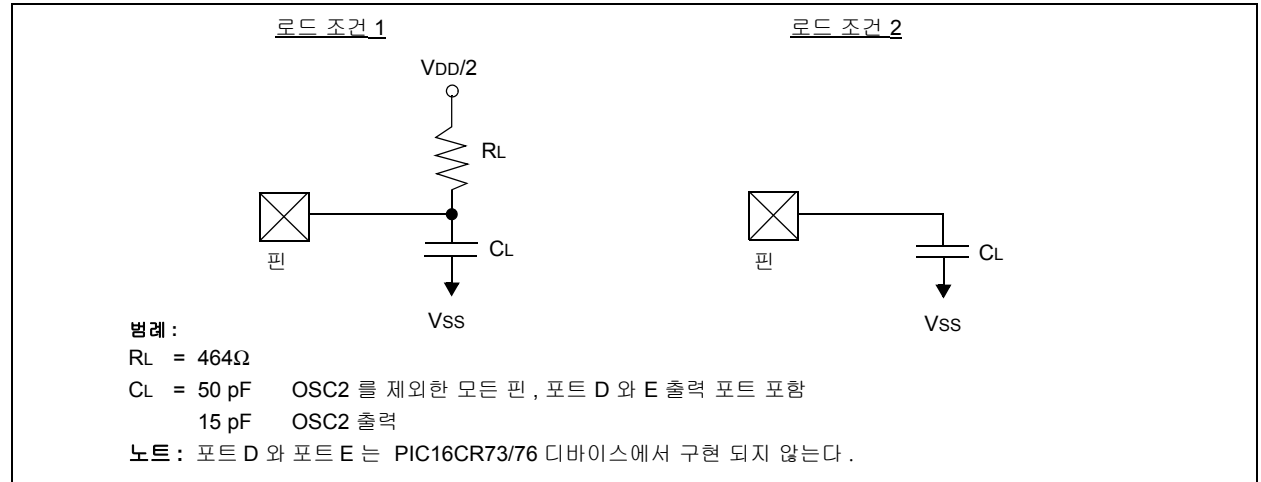
대문자 및 그들의 의미 :

<b>S</b>			
F	하강	P	주기
H	하이	R	상승
I	부정확 (하이 - 임피던스)	V	정확
L	로우	Z	하이 - 임피던스
<b>I<sup>2</sup>C™ 만 이용</b>			
AA	출력 액세스	High	하이
BUF	버스 프리	Low	로우

Tcc:ST (I<sup>2</sup>C 스펙에서만)

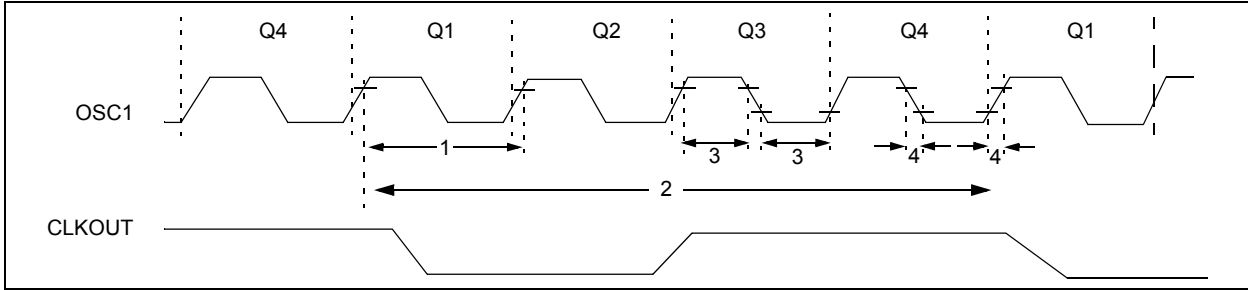
<b>CC</b>			
HD	홀드	SU	셋업
<b>ST</b>			
DAT	데이터 입력 홀드	STO	멈춤 조건
STA	시작 조건		

그림 15-2: 로드 조건



# PIC16CR7X

그림 15-3: 외부 클럭 타이밍



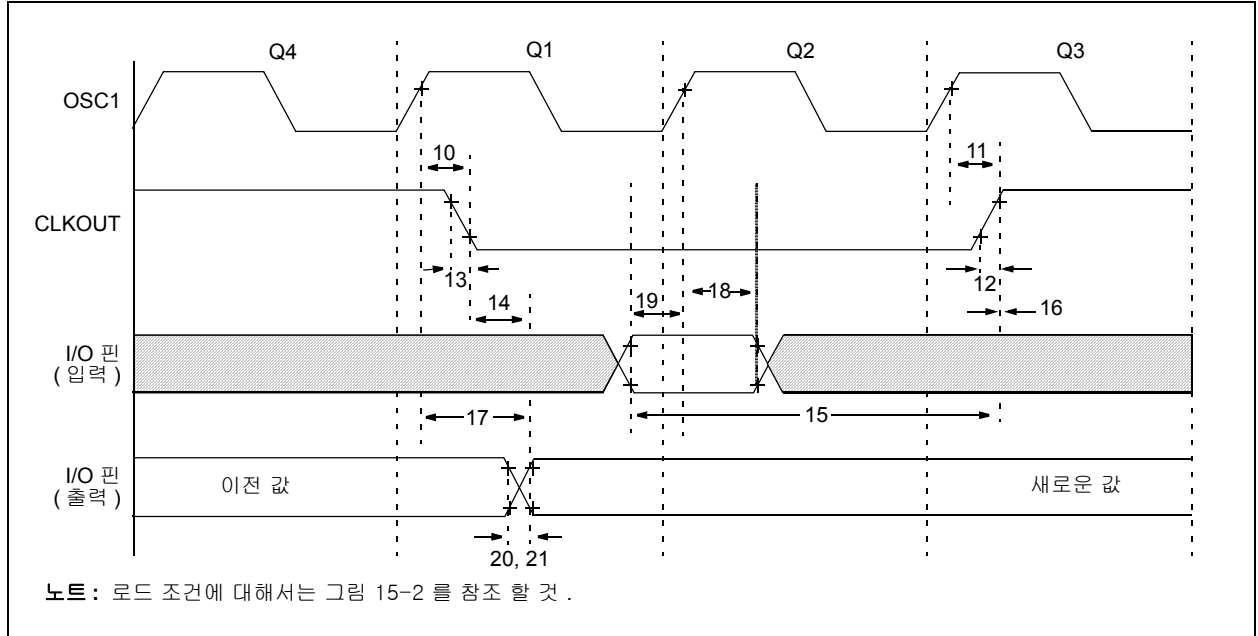
테이블 15-1: 외부 클럭 타이밍 요구 조건

파라미터 번호	심볼	특성	최소	평균 †	최대	단위	조건
	Fosc	외부 CLKIN 주파수 ( 노트 1)	DC	—	1	MHz	XT 오실레이터 모드
			DC	—	20	MHz	HS 오실레이터 모드
			DC	—	32	kHz	LP 오실레이터 모드
		오실레이터 주파수 ( 노트 1)	DC	—	4	MHz	RC 오실레이터 모드
			0.1	—	4	MHz	XT 오실레이터 모드
			4	—	20	MHz	HS 오실레이터 모드
1	Tosc	외부 CLKIN 주기 ( 노트 1)	1000	—	—	ns	XT 오실레이터 모드
			50	—	—	ns	HS 오실레이터 모드
			5	—	—	ms	LP 오실레이터 모드
		오실레이터 주기 ( 노트 1)	250	—	—	ns	RC 오실레이터 모드
			250	—	10,000	ns	XT 오실레이터 모드
			50	—	250	ns	HS 오실레이터 모드
2	Tcy	명령어 사이클 타임 ( 노트 1)	5	—	—	ms	LP 오실레이터 모드
			5	—	—	ms	LP 오실레이터 모드
			5	—	—	ms	LP 오실레이터 모드
			5	—	—	ms	LP 오실레이터 모드
			5	—	—	ms	LP 오실레이터 모드
			5	—	—	ms	LP 오실레이터 모드
3	TosL, TosH	외부 클럭 입력 (OSC1) 하이 또는 로우 시간	500	—	—	ns	XT 오실레이터
			2.5	—	—	ms	LP 오실레이터
			15	—	—	ns	HS 오실레이터
4	TosR, TosF	외부 클럭 입력 (OSC1) 상승 또는 하강 시간	—	—	25	ns	XT 오실레이터
			—	—	50	ns	LP 오실레이터
			—	—	15	ns	HS 오실레이터

† “평균”의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다. 이 파라미터 값은 단지 디자인 가이드를 위한 값이며 테스트 되지는 않았다.

**노트 1:** 명령어 사이클 주기 (Tcy) 는 입력 되는 오실레이터 타임 주기의 4 배와 동일 하다. 모든 제시 된 값들은 코드를 실행 할 때 표준 동작 조건에서 특정 오실레이터를 기반으로 하였다. 제시된 제한 값들을 초과하면 오실레이터 동작이 불안정 하게 되며 또한 예상 되는 소비 전류 값을 초과 하여 흐르게 될 것이다. 모든 디바이스들은 외부 클럭을 OSC1/CLKIN 핀으로 공급 시키면서 최소 값에서 동작이 되는지 테스트 된다. 모든 디바이스는 외부 클럭 입력이 사용 되었을 때 최대 제한 된 사이클 타임은 DC (클럭이 없음) 이다.

그림 15-4: CLKOUT 과 I/O 타이밍



테이블 15-2: CLKOUT 과 I/O 타이밍 요구 조건

파라메터 넘버	심볼	특성	최소	평균 †	최대	단위	조건	
10*	TosH2ckL	OSC1↑ 에서 CLKOUT↓ 까지의 시간	—	75	200	ns	(노트 1)	
11*	TosH2ckH	OSC1↑ 에서 CLKOUT↑ 까지의 시간	—	75	200	ns	(노트 1)	
12*	TckR	CLKOUT 상승 시간	—	35	100	ns	(노트 1)	
13*	TckF	CLKOUT 하강 시간	—	35	100	ns	(노트 1)	
14*	TckL2ioV	CLKOUT↓ 에서 유효한 포트 출력 까지의 시간	—	—	0.5Tcy + 20	ns	(노트 1)	
15*	TioV2ckH	CLKOUT↑ 이전에 유효한 포트 데이터	Tosc + 200	—	—	ns	(노트 1)	
16*	TckH2iol	CLKOUT↑ 이후에 포트 홀드 시간	0	—	—	ns	(노트 1)	
17*	TosH2ioV	OSC1↑ (Q1 사이클) 에서 유효한 포트 출력 시간	—	100	255	ns		
18*	TosH2iol	OSC1↑ (Q2 사이클) 에서 부정확한 포트 입력 (I/O 홀드 시간)	표준 디바이스 (5V)	100	—	—	ns	
		저 전압 디바이스 (3V)	200	—	—	ns		
19*	TioV2osH	유효한 포트 입력에서 OSC1↑ (I/O 셋업 시간)	0	—	—	ns		
20*	TioR	포트 출력 상승 시간	표준 디바이스 (5V)	—	10	40	ns	
		저 전압 디바이스 (3V)	—	—	145	ns		
21*	TioF	포트 출력 하강 시간	표준 디바이스 (5V)	—	10	40	ns	
		저 전압 디바이스 (3V)	—	—	145	ns		
22††*	Tinp	INT 핀 하이 또는 로우 시간	Tcy	—	—	ns		
23††*	Trbp	RB7:RB4 변화 인터럽트 하이 또는 로우 시간	Tcy	—	—	ns		

\* 이러한 파라메터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다.

† “평균”의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다. 이 파라메터 값은 단지 디자인 가이드를 위한 값이며 테스트 되지는 않았다.

†† 이러한 파라메터들은 어떠한 내부 클럭 예지와는 상관 없는 비동기 이벤트이다.

노트 1: RC 모드에서 측정 되었다. 여기에서 CLKOUT 출력은 4 x Tosc 이다.

# PIC16CR7X

그림 15-5: 리셋, 워치 - 독 타이머, 오실레이터 스타트 - 업 타이머 및 파워 - 업 타이밍

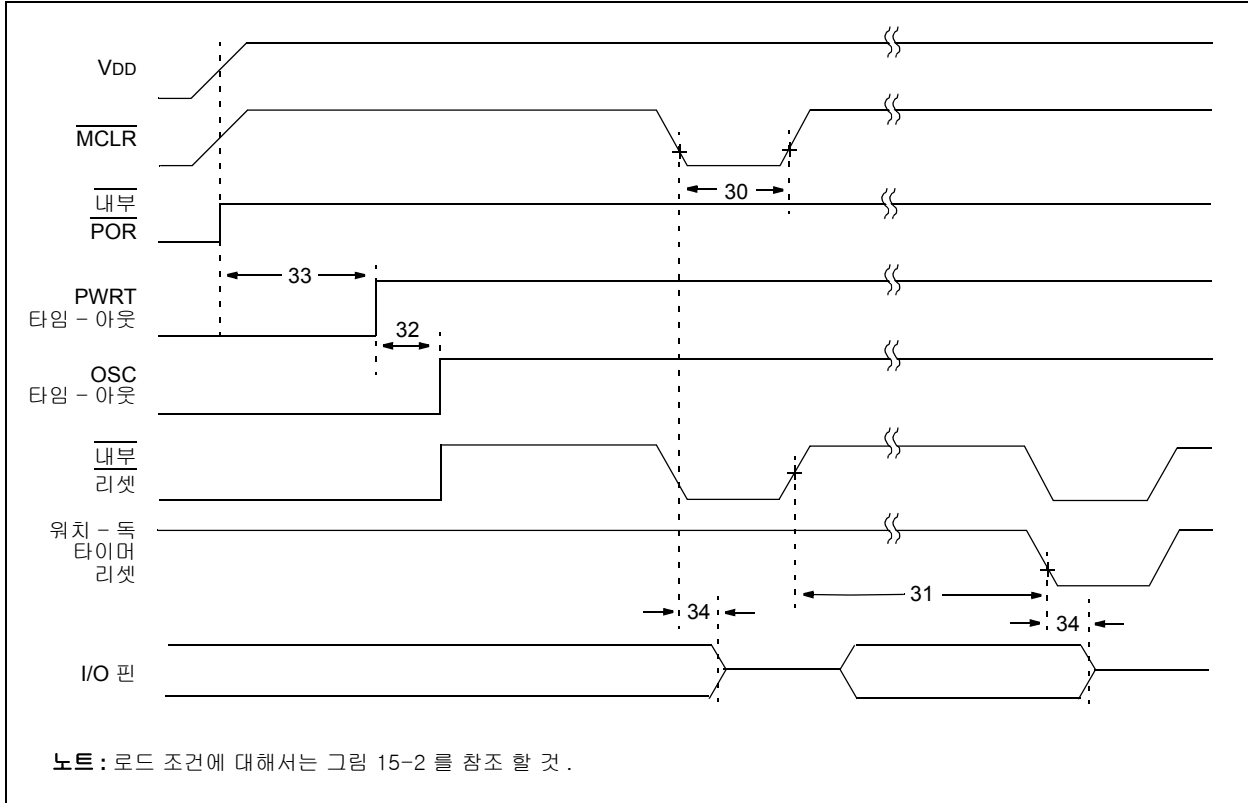
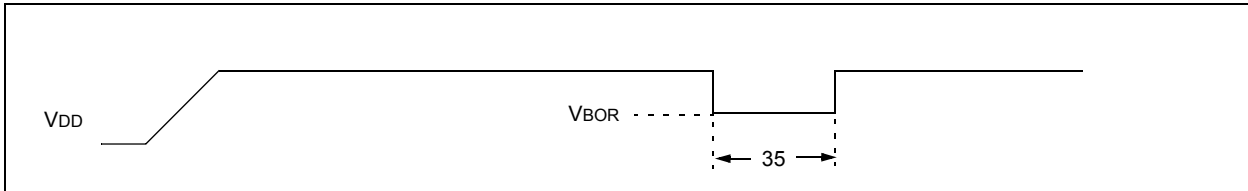


그림 15-6: 브라운 - 아웃 리셋 타이밍



테이블 15-3: 리셋, 워치 - 독 타이머, 오실레이터 스타트 - 업 타이머, 파워 - 업 타이머 및 브라운 - 아웃 리셋 요구 조건

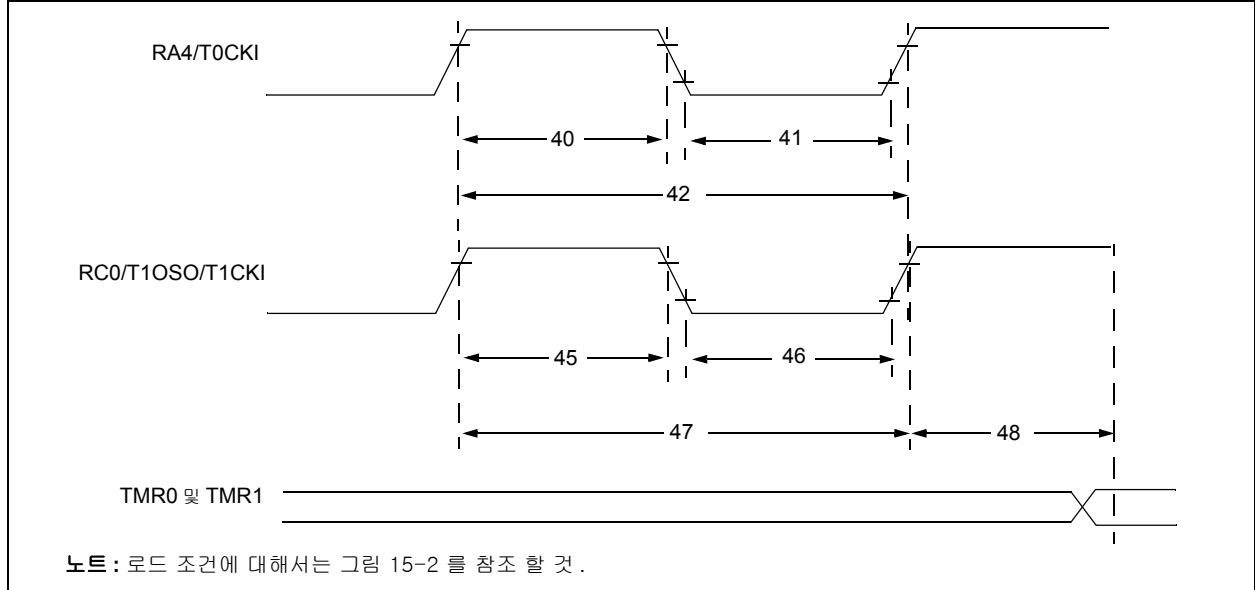
파라미터 번호	심볼	특성	최소	평균 †	최대	단위	조건
30	TmCL	MCLR 펄스 폭 (로우)	TBD	—	—	μs	VDD = 5V, -40°C ~ +85°C
31*	TWDT	워치 - 독 타이머 타임 - 아웃 주기 (프리스케일러가 없는 경우)	7	18	33	ms	VDD = 5V, -40°C ~ +85°C
32	TOST	오실레이터 스타트업 타이머 주기	—	1024 TOSC	—	—	TOSC = OSC1 주기
33*	TPWRT	파워 - 업 타이머 주기	28	72	132	ms	VDD = 5V, -40°C ~ +85°C
34	TIOZ	워치독 타이머 리셋 또는 MCLR 로 우 상태에서부터의 /O 하이임피던스	—	—	2.1	μs	
35	TBOR	브라운 - 아웃 리셋 펄스 폭	100	—	—	μs	VDD ≤ VBOR (D005)

\* 이러한 파라미터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다 .

† "평균" 의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다 . 이 파라미터 값은 단지 디자인 가이드  
를 위한 값이며 테스트 되지는 않았다 .



그림 15-7: 타이머 0 및 타이머 1 외부 클럭 타이밍



테이블 15-4: 타이머 0 및 타이머 1 외부 클럭 요구 조건

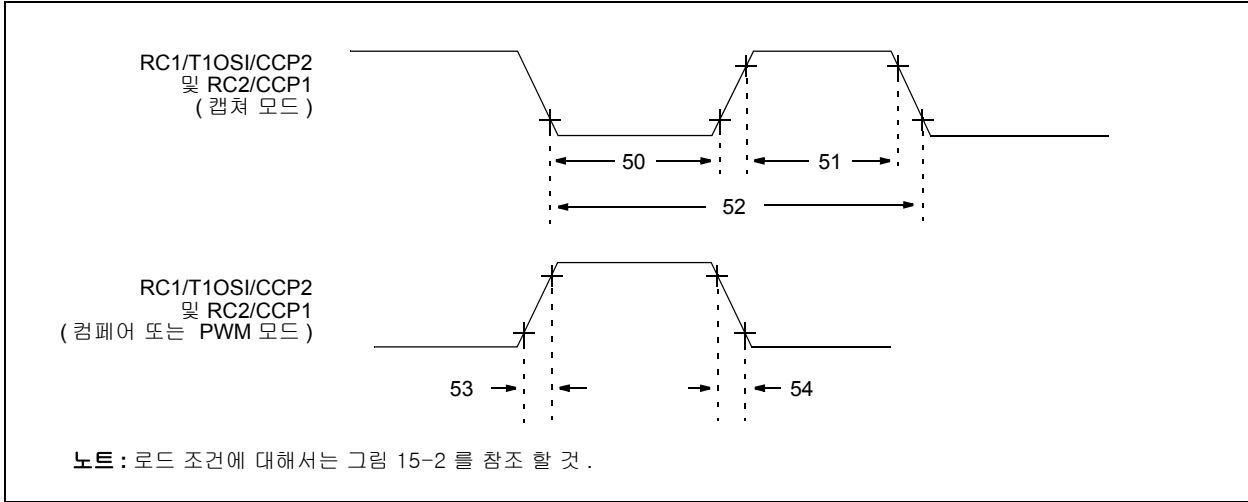
파라미터 번호	심볼	특성		최소	평균 †	최대	단위	조건	
40*	Tt0H	T0CKI 하이 펄스 폭	프리스케일 x	0.5Tcy + 20	—	—	ns	파라미터 42 도 만족 시켜야 함	
			프리스케일	10	—	—	ns		
41*	Tt0L	T0CKI 로우 펄스 폭	프리스케일 x	0.5Tcy + 20	—	—	ns	파라미터 42 도 만족 시켜야 함	
			프리스케일	10	—	—	ns		
42*	Tt0P	T0CKI 주기	프리스케일 x	Tcy + 40	—	—	ns	N = 프리스케일 값 (2, 4, ..., 256)	
			프리스케일	20 보다 크거나 또는 $\frac{Tcy + 40}{N}$	—	—	ns		
45*	Tt1H	T1CKI 하이 타임	동기, 프리스케일러 = 1	0.5Tcy + 20	—	—	ns	파라미터 47 도 만족 시켜야 함	
			동기, 프리스케 일러 = 2,4,8	표준 (5V)	15	—	—		ns
				저전압 (3V)	25	—	—		ns
			비동기	표준 (5V)	30	—	—		ns
저전압 (3V)	50	—		—	ns				
46*	Tt1L	T1CKI 로우 타임	동기, 프리스케일러 = 1	0.5Tcy + 20	—	—	ns	파라미터 47 도 만족 시켜야 함	
			동기, 프리스케 일러 = 2,4,8	표준 (5V)	15	—	—		ns
				저전압 (3V)	25	—	—		ns
			비동기	표준 (5V)	30	—	—		ns
저전압 (3V)	50	—		—	ns				
47*	Tt1P	T1CKI 입력 주기	동기	표준 (5V)	30 보다 크거나 또는 $\frac{Tcy + 40}{N}$	—	—	ns	N = 프리스케일 값 (1, 2, 4, 8)
				저전압 (3V)	50 보다 크거나 또는 $\frac{Tcy + 40}{N}$	—	—	ns	
			비동기	표준 (5V)	60	—	—	ns	
				저전압 (3V)	100	—	—	ns	
Ft1	타이머 1 오실레이터 입력 주파수 범위 (T1OSCEN 비트의 셋트에 의해서 인에이블 됨)		DC	—	200	kHz			
48	TCKEZtmr1	외부 클럭 예지로 부터 타이머가 증가 할 때 까지의 시간 지연		2 Tosc	—	7 Tosc	—		

\* 이러한 파라미터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다.

† “평균”의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다. 이 파라미터 값은 단지 디자인 가이드를 위한 값이며 테스트 되지는 않았다.

# PIC16CR7X

그림 15-8: 캡처 / 컴페어 / PWM 타이밍 (CCP1 와 CCP2)



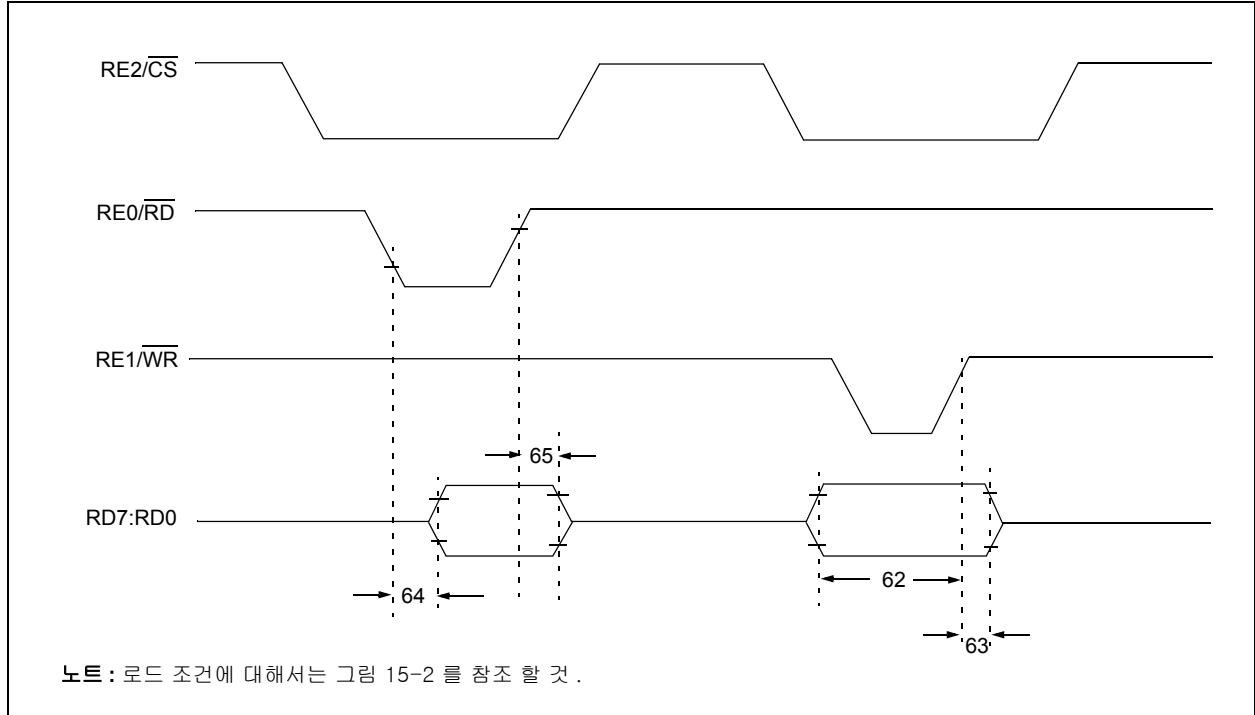
테이블 15-5: 캡처 / 컴페어 / PWM 요구 조건 (CCP1 및 CCP2)

파라미터 번호	심볼	특성	최소	평균 †	최대	단위	조건		
50*	TccL	CCP1 및 CCP2 입력 로우 타임	프리스케일 x	$0.5T_{CY} + 20$	—	—	ns		
			프리스케일	표준 (5V)	10	—	—		ns
				저전압 (3V)	20	—	—		ns
51*	TccH	CCP1 및 CCP2 입력 하이 타임	프리스케일 x	$0.5T_{CY} + 20$	—	—	ns		
			프리스케일	표준 (5V)	10	—	—		ns
				저전압 (3V)	20	—	—		ns
52*	TccP	CCP1 및 CCP2 입력 주기	$\frac{3T_{CY} + 40}{N}$	—	—	ns	N = 프리스케일 값 (1,4 or 16)		
53*	TccR	CCP1 및 CCP2 출력 상승 시간	표준 (5V)	—	10	25	ns		
			저전압 (3V)	—	25	50	ns		
54*	TccF	CCP1 및 CCP2 출력 하강 시간	표준 (5V)	—	10	25	ns		
			저전압 (3V)	—	25	45	ns		

\* 이러한 파라미터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다 .

† “평균” 의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다 . 이 파라미터 값은 단지 디자인 가이드  
를 위한 값이며 테스트 되지는 않았다 .

그림 15-9: 병렬 슬레이브 포트 타이밍 (PIC16CR74/77 디바이스만 적용 됨)



테이블 15-6: 병렬 슬레이브 포트 요구 조건 (PIC16CR74/77 디바이스만 해당 됨)

파라미터 번호	심볼	특성	최소	평균 †	최대	단위	조건
62	TdtV2wrH	$\overline{WR}\uparrow$ 또는 $\overline{CS}\uparrow$ 이전에 유효한 데이터 ( 셋업타임 )	20 25	— —	— —	ns ns	확장 범위에서만 적용
63*	TwrH2dtl	$\overline{WR}\uparrow$ 또는 $\overline{CS}\uparrow$ 이후 부정확한 데이터 ( 홀드 타임 )	표준 (5V) 저전압 (3V)	20 35	— —	ns ns	
64	TrdL2dtV	$\overline{RD}\downarrow$ 및 $\overline{CS}\downarrow$ 이후에 유효한 데이터 출력	— —	— —	80 90	ns ns	확장 범위에서만 적용 y
65	TrdH2dtl	$\overline{RD}\uparrow$ 또는 $\overline{CS}\downarrow$ 이후에 부정확한 데이터 출력	10	—	30	ns	

\* 이러한 파라미터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다.

† “평균”의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다. 이 파라미터 값은 단지 디자인 가이드를 위한 값이며 테스트 되지는 않았다.

# PIC16CR7X

그림 15-10: SPI 마스터 모드 타이밍 (CKE = 0, SMP = 0)

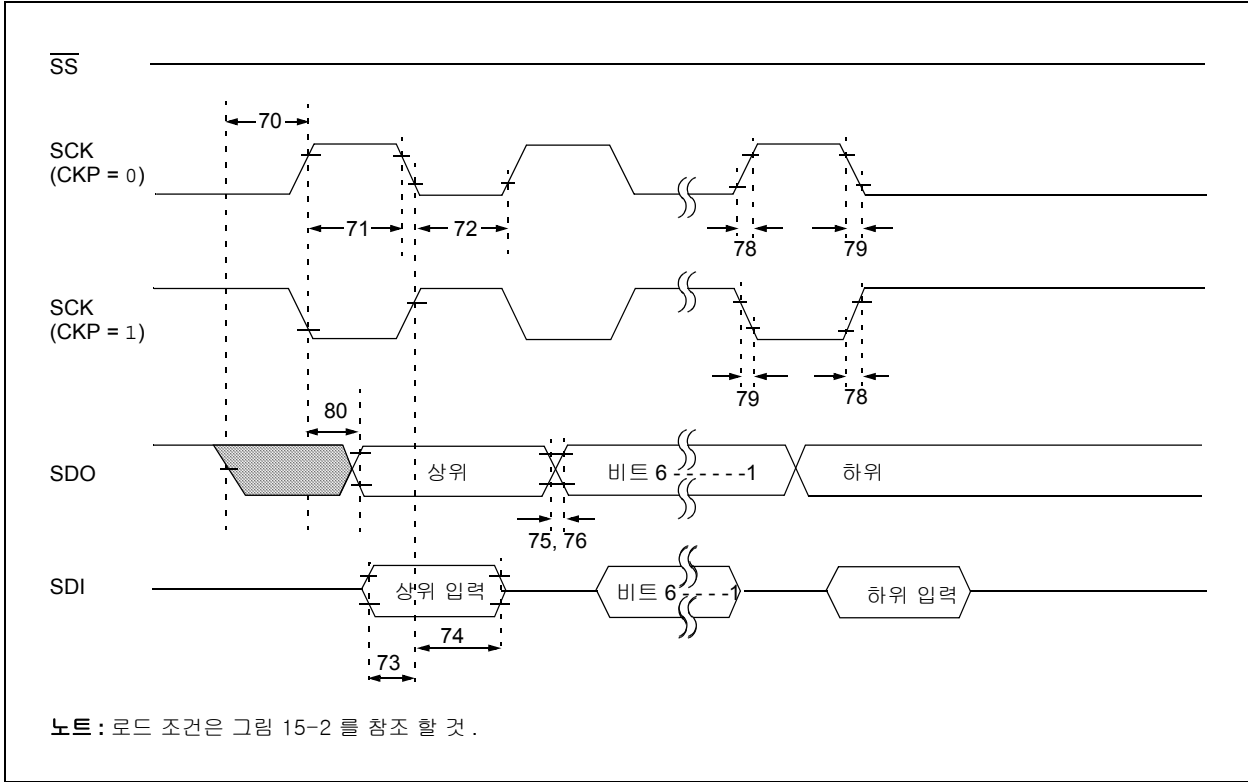


그림 15-11: SPI 마스터 모드 타이밍 (CKE = 1, SMP = 1)

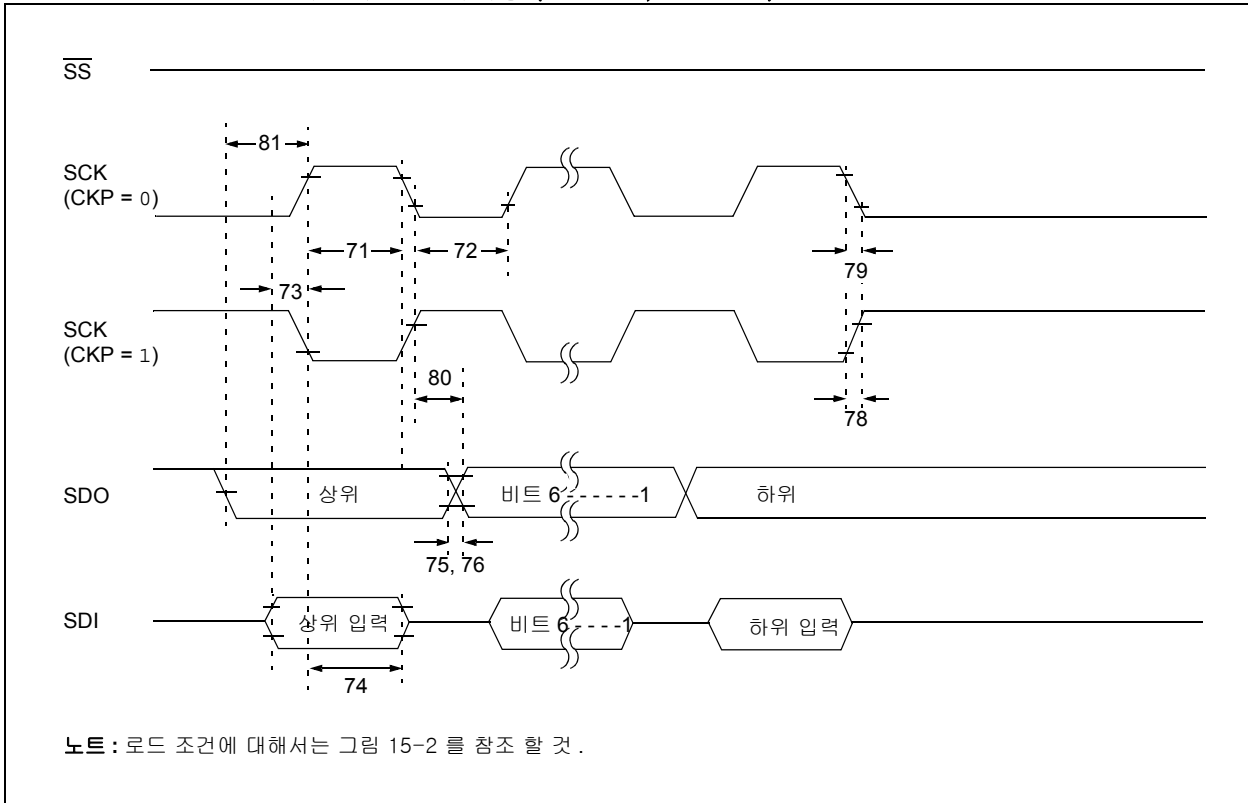


그림 15-12: SPI 슬레이브 모드 타이밍 (CKE = 0)

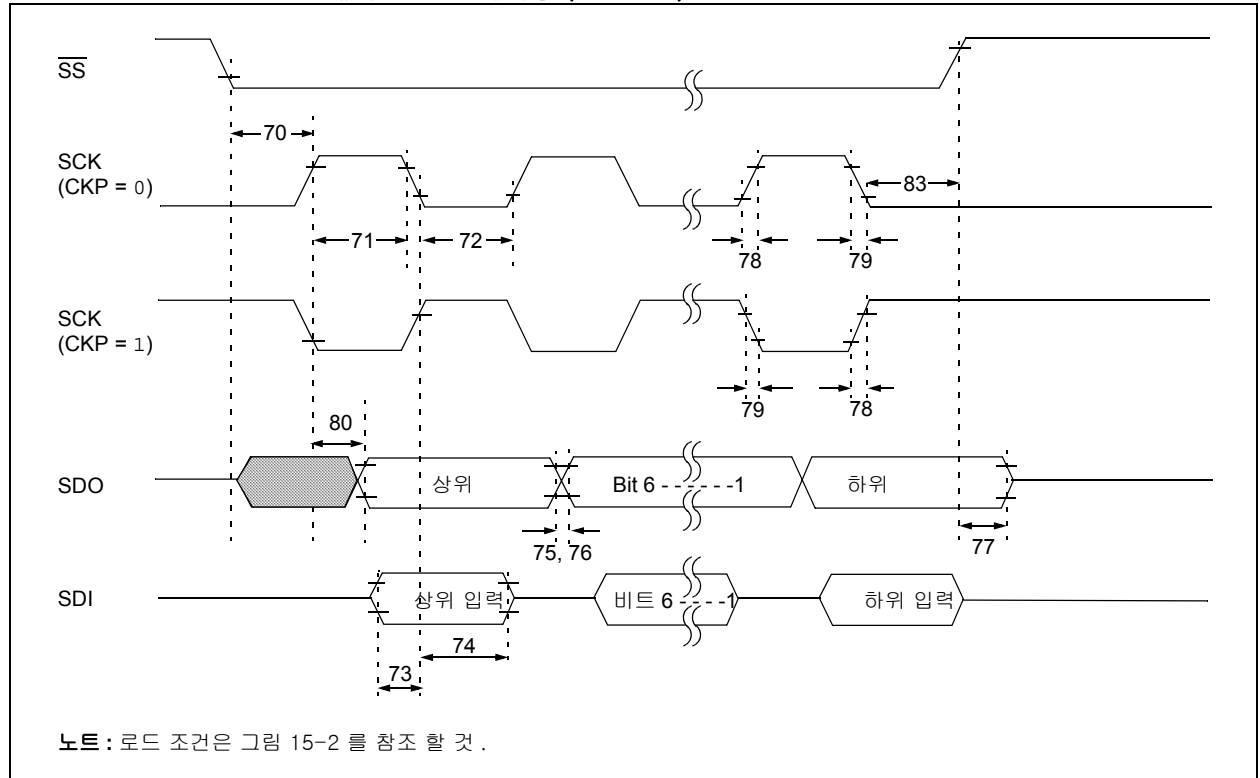
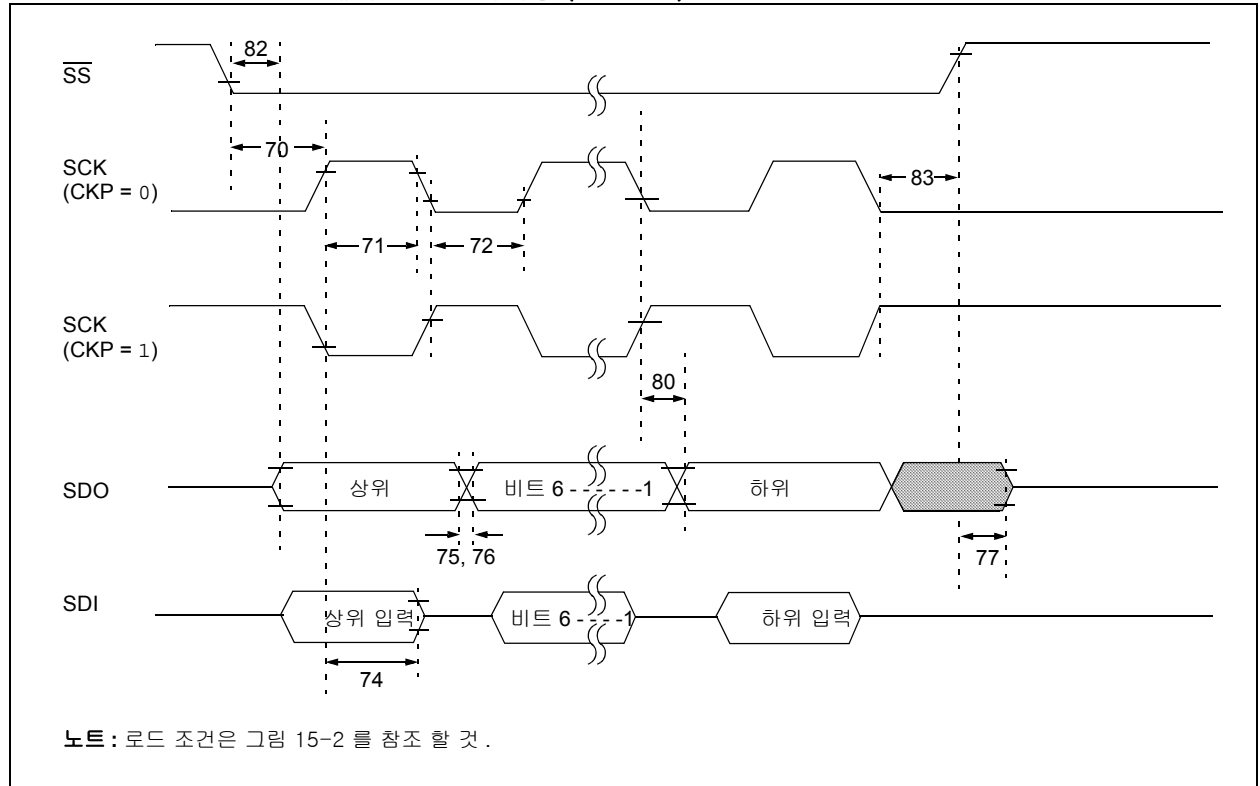


그림 15-13: SPI 슬레이브 모드 타이밍 (CKE = 1)



# PIC16CR7X

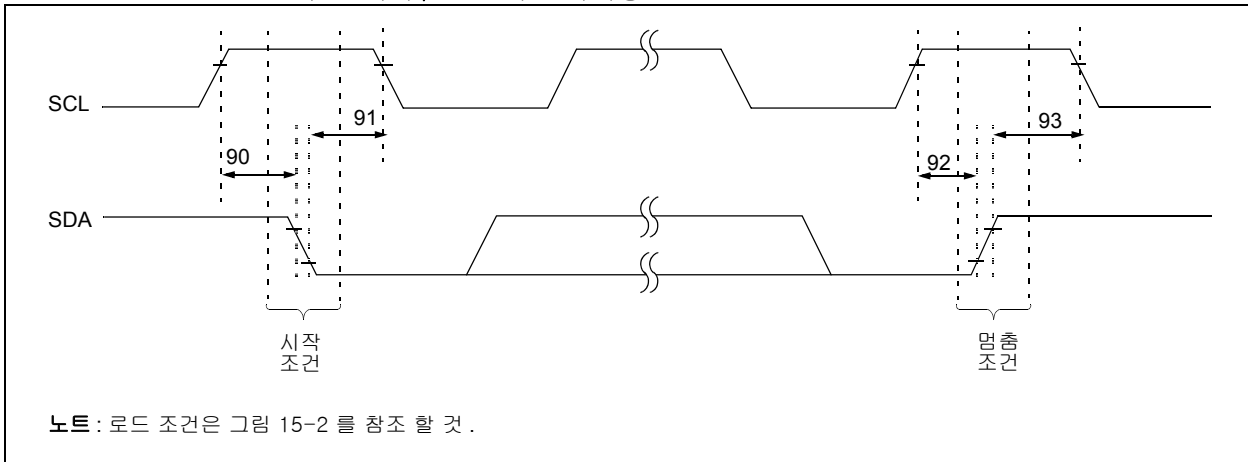
테이블 15-7: SPI 모드 요구 조건

파라메터 넘버	심볼	특성	최소	평균 †	최대	단위	조건
70*	Tssl2scH, Tssl2scL	$\overline{SS}\downarrow$ 이후 SCK $\downarrow$ 또는 SCK $\uparrow$ 입력	Tcy	—	—	ns	
71*	Tsch	SCK 입력 하이 타임 (슬레이브 모드)	Tcy + 20	—	—	ns	
72*	Tscl	SCK 입력 로우 타임 (슬레이브 모드)	Tcy + 20	—	—	ns	
73*	TdiV2scH, TdiV2scL	SDI 데이터 입력의 셋업 타임 이후 SCK 에지 발생	100	—	—	ns	
74*	Tsch2diL, Tscl2diL	SDI 데이터 입력의 홀드 타임 이후 SCK 에지 발생	100	—	—	ns	
75*	TdoR	SDO 데이터 출력 상승 타임	표준 (F) 저전압 (LF)	10 25	25 50	ns ns	
76*	TdoF	SDO 데이터 출력 하강 타임	—	10	25	ns	
77*	TssH2doZ	$\overline{SS}\uparrow$ 이후 SDO 출력 하이 - 임피던스	10	—	50	ns	
78*	TscR	SCK 출력 상승 타임 (마스터 모드)	표준 (5V) 저전압 (3V)	10 25	25 50	ns ns	
79*	TscF	SCK 출력 하강 타임 (마스터 모드)	—	10	25	ns	
80*	Tsch2doV, Tscl2doV	SCK 에지 이후 유효한 SDO 데이터 출력	표준 (5V) 저전압 (3V)	— —	50 145	ns ns	
81*	TdoV2scH, TdoV2scL	SDO 데이터 출력 셋업 이후 SCK 에지 발생	Tcy	—	—	ns	
82*	Tssl2doV	$\overline{SS}\downarrow$ 에지 이후 유효한 SDO 데이터 출력	—	—	50	ns	
83*	Tsch2ssH, Tscl2ssH	SCK 에지 이후 $\overline{SS}\uparrow$ 에지	1.5Tcy + 40	—	—	ns	

\* 이러한 파라미터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다.

† “평균”의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다. 이 파라미터 값은 단지 디자인 가이드를 위한 값이며 테스트 되지는 않았다.

그림 15-14: I<sup>2</sup>C 버스 시작 / 멈춤 비트 타이밍

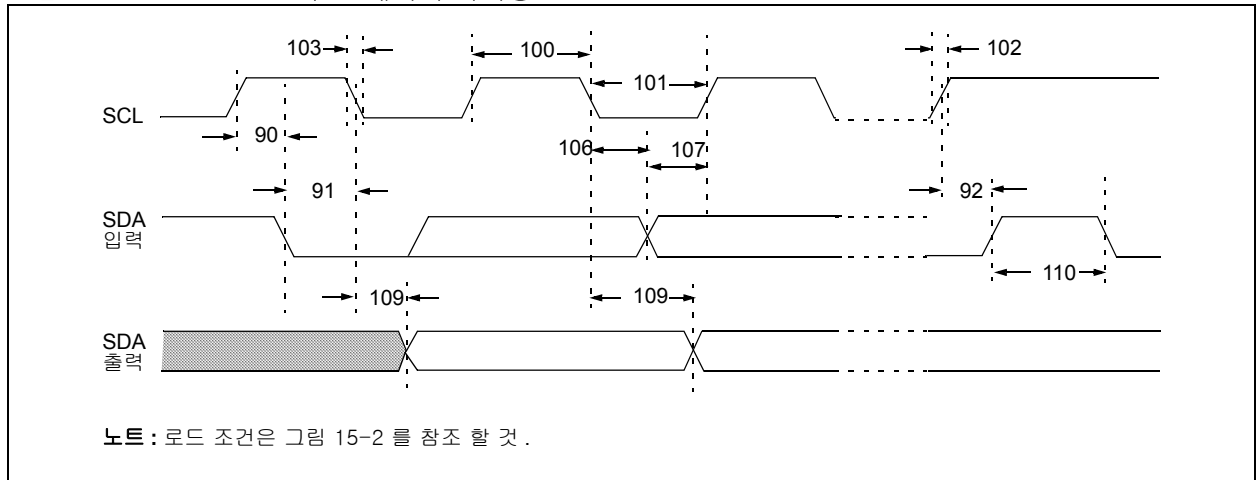


테이블 15-8: I<sup>2</sup>C 버스 시작 / 멈춤 비트 요구 조건

파라미터 넘버	심볼	특성	최소	평균	최대	단위	조건	
90*	TSU:STA	시작 조건	100 kHz 모드	4700	—	—	ns	연속 시작 조건인 경우에서만
		셋업 타임	400 kHz 모드	600	—	—		
91*	THD:STA	시작 조건	100 kHz 모드	4000	—	—	ns	이 주기 이후에 첫 번째 클럭 펄스가 발생 된다
		홀드 타임	400 kHz 모드	600	—	—		
92*	TSU:STO	멈춤 조건	100 kHz 모드	4700	—	—	ns	
		셋업 타임	400 kHz 모드	600	—	—		
93	THD:STO	멈춤 조건	100 kHz 모드	4000	—	—	ns	
		홀드 타임	400 kHz 모드	600	—	—		

\* 이러한 파라미터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다.

그림 15-15: I<sup>2</sup>C 버스 데이터 타이밍



# PIC16CR7X

테이블 15-9: I<sup>2</sup>C 버스 데이터 요구 조건

파라미터 넘버	심볼	특성		최소	최대	단위	조건
100*	THIGH	클럭 하이 타임	100 kHz 모드	4.0	—	μs	디바이스는 최소 1.5 MHz 에서 동작 하여야 함
			400 kHz 모드	0.6	—	μs	디바이스는 최소 10 MHz 에서 동작 하여야 함
			SSP 모듈	1.5T <sub>CY</sub>	—		
101*	TLOW	클럭 로우 타임	100 kHz 모드	4.7	—	μs	디바이스는 최소 1.5 MHz 에서 동작 하여야 함
			400 kHz 모드	1.3	—	μs	디바이스는 최소 10 MHz 에서 동작 하여야 함
			SSP 모듈	1.5T <sub>CY</sub>	—		
102*	TR	SDA 과 SCL 상승 시간	100 kHz 모드	—	1000	ns	
			400 kHz 모드	20 + 0.1C <sub>B</sub>	300	ns	C <sub>B</sub> 의 값은 10-400 pF 의 값이다
103*	TF	SDA 과 SCL 하강 시간	100 kHz 모드	—	300	ns	
			400 kHz 모드	20 + 0.1C <sub>B</sub>	300	ns	C <sub>B</sub> 의 값은 10-400 pF 의 값이다
90*	TSU:STA	시작 조건 셋업 타임	100 kHz 모드	4.7	—	μs	연속 시작 조건인 경우에 서만
			400 kHz 모드	0.6	—	μs	
91*	THD:STA	시작 조건 홀드 타임	100 kHz 모드	4.0	—	μs	이 시간 이후에 첫번째 클 럭 펄스가 발생 된다
			400 kHz 모드	0.6	—	μs	
106*	THD:DAT	데이터 입력 홀드 타임	100 kHz 모드	0	—	ns	
			400 kHz 모드	0	0.9	μs	
107*	TSU:DAT	데이터 입력 셋업 타임	100 kHz 모드	250	—	ns	( 노트 2 )
			400 kHz 모드	100	—	ns	
92*	TSU:STO	멈춤 조건 셋업 타임	100 kHz 모드	4.7	—	μs	
			400 kHz 모드	0.6	—	μs	
109*	TAA	클럭으로부터 유효 한 출력	100 kHz 모드	—	3500	ns	( 노트 1 )
			400 kHz 모드	—	—	ns	
110*	TBUF	버스 프리 타임	100 kHz 모드	4.7	—	μs	새로운 전송이 시작 되기 이전에 반드시 버스가 자 유로워야 하는 시간
			400 kHz 모드	1.3	—	μs	
	CB	버스 로딩 캐패시턴스		—	400	pF	

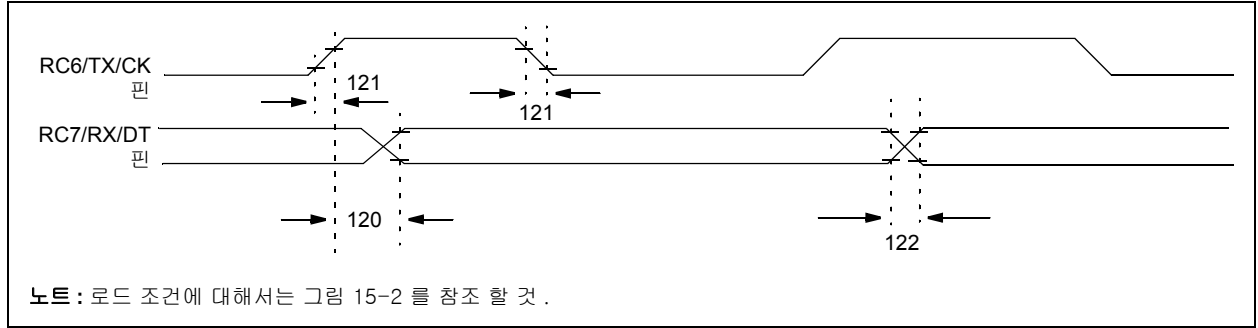
\* 이러한 파라미터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다 .

**노트 1:** 송신기로 동작 할 때 디바이스는 예기치 않은 시작 및 송신 조건의 발생을 피하기 위하여 SCL 의 하강 에  
지 이후 정의 되지 않은 영역 ( 최소 300 ns ) 을 위한 내부 최소 시간 지연을 제공 하여야만 한다 .

**2:** 고속 모드 (400 kHz) I<sup>2</sup>C 버스 디바이스는 표준 모드 (100 kHz) I<sup>2</sup>C 버스 시스템에서 사용 가능 하지만  
TSU:DAT ≥ 250 ns 의 요구 조건은 만족 시켜야만 된다 . 이것은 만약 디바이스가 SCL 신호의 로우 주기를  
확장 시키지 않는다면 자동적으로 발생 된다 . 만약 그러한 디바이스들이 SCL 신호의 로우 주기를 확장 하  
면 그것은 SCL 라인이 풀어 지기 이전에 다음 데이터 비트를 SDA 라인 Tr max. + TSU:DAT = 1000 + 250 =  
1250 ns ( 표준 I<sup>2</sup>C 버스 모드 스펙에 따라서 ) 으로 출력 하여야 한다 .



그림 15-16: USART 동기 전송 (마스터 / 슬레이브) 타이밍

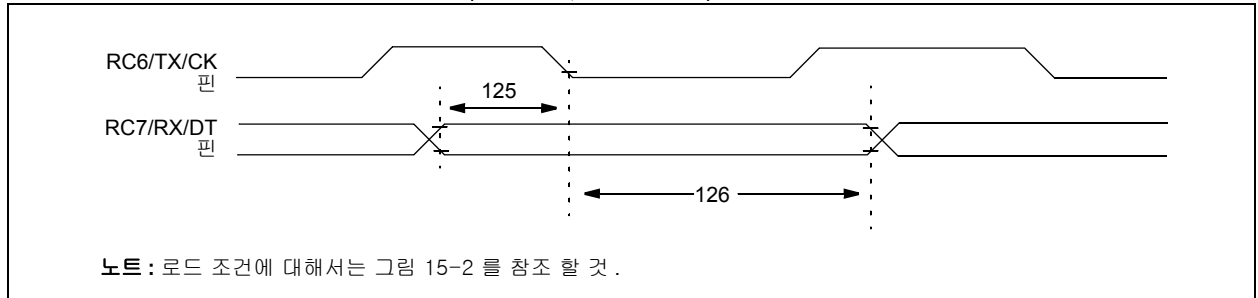


테이블 15-10: USART 동기 송신 요구 조건

파라미터 번호	심볼	특성	최소	평균 †	최대	단위	조건	
120	TckH2dtV	동기 송신 (마스터 & 슬레이브) 하이 클럭 이후 유효한 데이터 출력	표준 (5V)	—	—	80	ns	
			저전압 (3V)	—	—	100	ns	
121	Tckrf	하이에서 로우까지의 클럭 출력 시간 (마스터모드)	표준 (5V)	—	—	45	ns	
			저전압 (3V)	—	—	50	ns	
122	TdtV	상승 및 하강의 데이터 출력 시간	표준 (5V)	—	—	45	ns	
			저전압 (3V)	—	—	50	ns	

† “평균”의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다. 이 파라미터 값은 단지 디자인 가이드를 위한 값이며 테스트 되지는 않았다.

그림 15-17: USART 동기 수신 (마스터 / 슬레이브) 타이밍



테이블 15-11: USART 동기 수신 요구 조건

파라미터 번호	심볼	특성	최소	평균 †	최대	단위	조건
125	TdtV2ckL	SYNC 수신 (마스터 & 슬레이브) CK↓ 이전 데이터 셋업 (DT 셋업 타임)	15	—	—	ns	
			15	—	—	ns	
126	TckL2dtI	CK↓ 이후 데이터 홀드 (DT 홀드 타임)	15	—	—	ns	

† “평균”의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다. 이 파라미터 값은 단지 디자인 가이드를 위한 값이며 테스트 되지는 않았다.

# PIC16CR7X

테이블 15-12: A/D 컨버터 특성 : PIC16CR7X ( 산업용 , 오토모티브 )

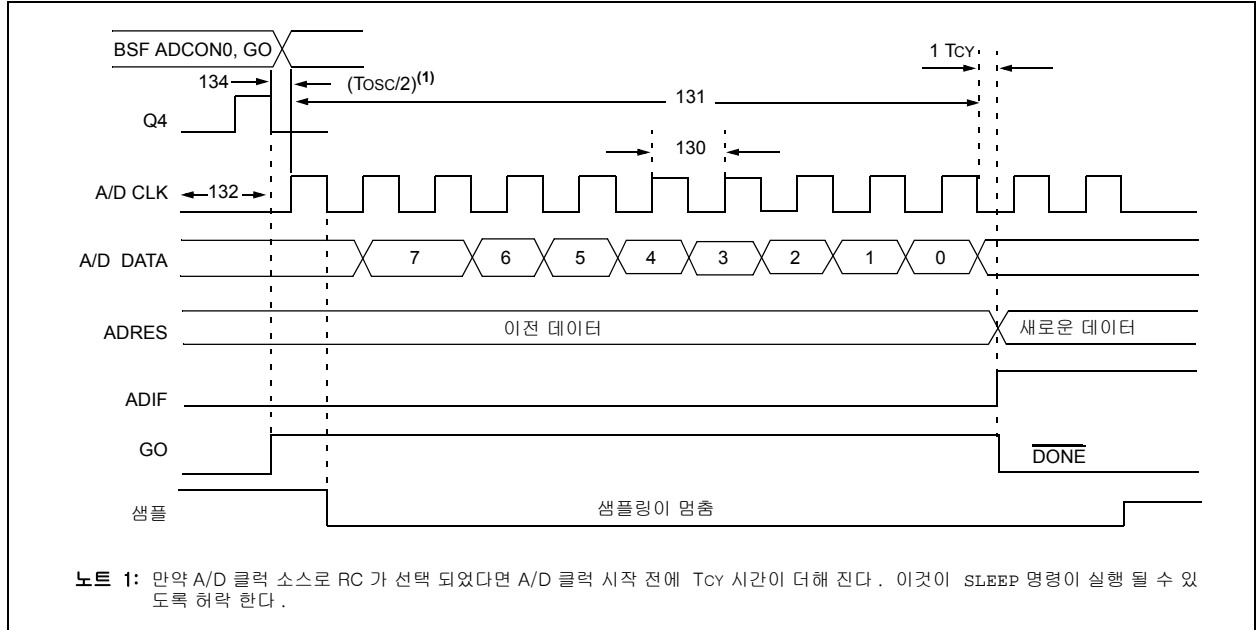
파라메터 넘버	심볼	특성	최소	평균 †	최대	단위	조건
A01	NR	분해능	—	—	8 비트	비트	$V_{REF} = V_{DD} = 5.12V$ , $V_{SS} \leq V_{AIN} \leq V_{REF}$
A02	EABS	절대적 에러의 총합	—	—	$< \pm 1$	LSb	$V_{REF} = V_{DD} = 5.12V$ , $V_{SS} \leq V_{AIN} \leq V_{REF}$
A03	EIL	적분 에러	—	—	$< \pm 1$	LSb	$V_{REF} = V_{DD} = 5.12V$ , $V_{SS} \leq V_{AIN} \leq V_{REF}$
A04	EDL	미분 에러	—	—	$< \pm 1$	LSb	$V_{REF} = V_{DD} = 5.12V$ , $V_{SS} \leq V_{AIN} \leq V_{REF}$
A05	EFS	풀 - 스케일 에러	—	—	$< \pm 1$	LSb	$V_{REF} = V_{DD} = 5.12V$ , $V_{SS} \leq V_{AIN} \leq V_{REF}$
A06	EOFF	오프셋 에러	—	—	$< \pm 1$	LSb	$V_{REF} = V_{DD} = 5.12V$ , $V_{SS} \leq V_{AIN} \leq V_{REF}$
A10	—	단조성 ( 노트 3 )	—	보증 됨	—	—	$V_{SS} \leq V_{AIN} \leq V_{REF}$
A20	VREF	기준 전압	2.5 2.2	— —	5.5 5.5	V V	$-40^{\circ}C \sim +125^{\circ}C$ $0^{\circ}C \sim +125^{\circ}C$
A25	VAIN	아날로그 입력 전압	$V_{SS} - 0.3$	—	$V_{REF} + 0.3$	V	
A30	ZAIN	아날로그 입력 전압 소스의 요구 되는 임피던스	—	—	10.0	k $\Omega$	
A40	IAD	A/D 변환 전류 ( $V_{DD}$ )	—	180	—	$\mu A$	A/D 가 온 되었을 때의 평균 소비 전류 ( 노트 1 ).
A50	IREF	VREF 입력 전류 ( 노트 2 )	N/A —	— —	$\pm 5$ 500	$\mu A$ $\mu A$	VAIN 샘플링 동안 A/D 컨버전 사이클 동안

\* 이러한 파라메터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다 .

† “평균” 의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다 . 이 파라메터 값은 단지 디자인 가이드를 위한 값이며 테스트 되지는 않았다 .

- 노트 1:** A/D 가 오프 되었을 때는 아주 적은 누설 전류 이외는 그 어떠한 전류도 소비 되지 않는다 . 파워 - 다운 전류 스펙에서 나타낸 값들은 A/D 모듈이 오프 되었을 때 발생 하는 누설 전류 또한 포함 하고 있다 .
- 2:** VREF 전류는 기준 전압으로 선택 된 RA3 핀 또는 VDD 핀에서 흐르는 전류이다 .
- 3:** A/D 변환 결과는 입력 전압이 증가 하여도 결코 감소 되지 않으며 따라서 결과 값을 놓치는 일은 발생 되지 않는다 .

그림 15-18: A/D 변환 타이밍



테이블 15-13: A/D 컨버전 요구 사항

파라미터 번호	심볼	특성		최소	평균 †	최대	단위	조건
130	TAD	A/D 클럭 주기	PIC16CR7X	1.6	—	—	μs	TOSC 기반, $V_{REF} \geq 3.0V$
			PIC16CR7X	2.0	—	—	μs	TOSC 기반, $2.0V \leq V_{REF} \leq 5.5V$
			PIC16CR7X	2.0	4.0	6.0	μs	A/D RC 모드
			PIC16CR7X	3.0	6.0	9.0	μs	A/D RC 모드
131	Tcnv	컨버전 시간 (샘플과 홀드 시간은 포함 되지 않음) (노트 1)		9	—	9	TAD	
132	TACQ	샘플 / 홀드 시간		5*	—	—	μs	최소 시간은 옴프 셋팅 시간이다. 만약 새로운 입력 전압 값이 이전에 샘플 된 전압 값 (CHOLD 상태 일 때) 보다 $1LSb$ (즉 $20.0 mV @ 5.12V$ ) 이상으로 변하지 않았다면 이 값이 사용 될 수 있다.
134	TGO	Q4 에서 A/D 클럭 시작		—	$T_{osc}/2$	—	—	만약 A/D 클럭 소스로 RC 가 선택 되었다면 A/D 클럭 시작 전에 $T_{cy}$ 시간이 더해 진다. 이것이 SLEEP 명령이 실행 될 수 있도록 허락 한다.

\* 이러한 파라미터 값들은 특정 값으로 표시 되었지만 테스트 되지는 않았다.

† “평균”의 의미는 다른 특별한 이야기가 없으면 5V, 25°C 조건이다. 이 파라미터 값은 단지 디자인 가이드를 위한 값이며 테스트 되지는 않았다..

노트 1: ADRES 레지스터는  $T_{cy}$  사이클 이후에 읽을 수 있다.

2: 최소 조건에 대해서는 섹션 11.1 A/D 샘플링 요구 조건 을 참조 하기를 바란다.

# PIC16CR7X

---

노트 :

## 16.0 DC 및 AC 특성 그래프 및 테이블

**노트:** 앞으로 제공 하는 그래프와 테이블들은 제한 된 샘플을 가지고 요약 된 것이며 단지 정보를 제공 한다는 목적으로 제공 되었다. 따라서 여기에 나타난 성능 특성들은 테스트 되었거나 완전히 보증 되지는 않는다. 어떤 테이블이나 그래프에서 표시 된 데이터는 정의 된 동작 범위를 벗어 날 수도 있다. (예를들면 정의 된 전원 공급 범위를 벗어 남)

“평균”의 의미는 25°C 에서 분포의 의미를 나타내고 “최대” 또는 “최소”는 (평균 + 3σ) 또는 (평균 - 3σ)을 의미한다. 여기에서 σ는 모든 온도 영역에서의 표준 편차를 의미한다.

그림 16-1: VDD 에 따른 일반적인 IDD 와 Fosc 와의 관계 (HS 모드)

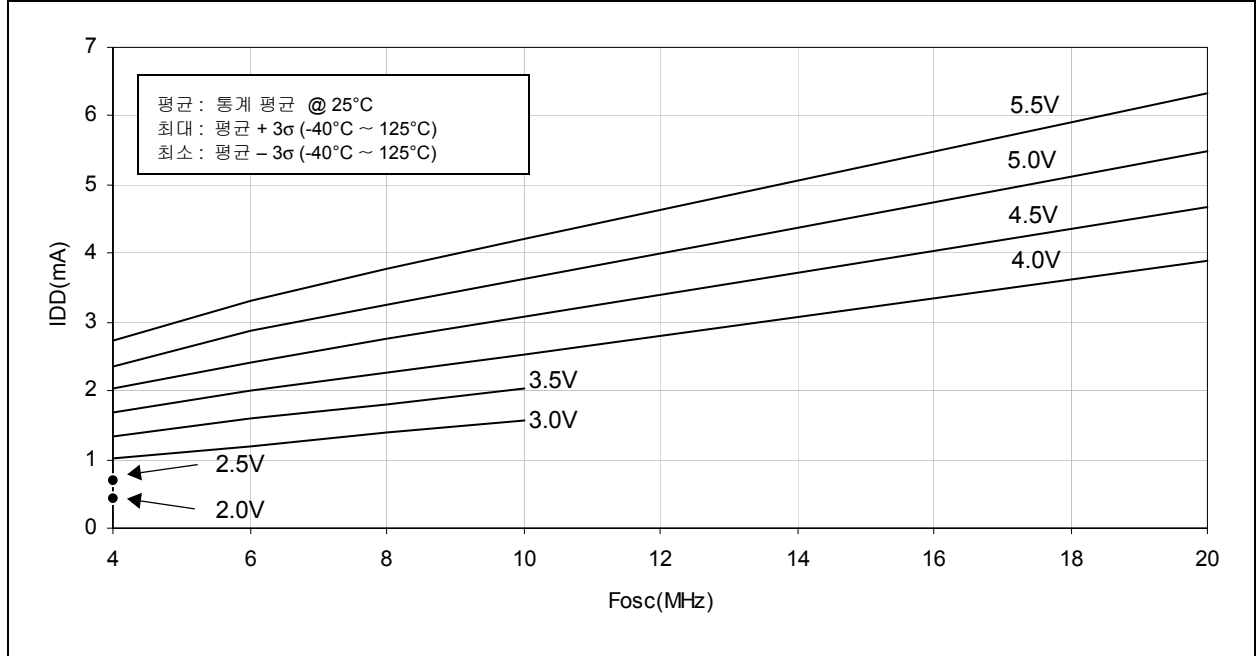
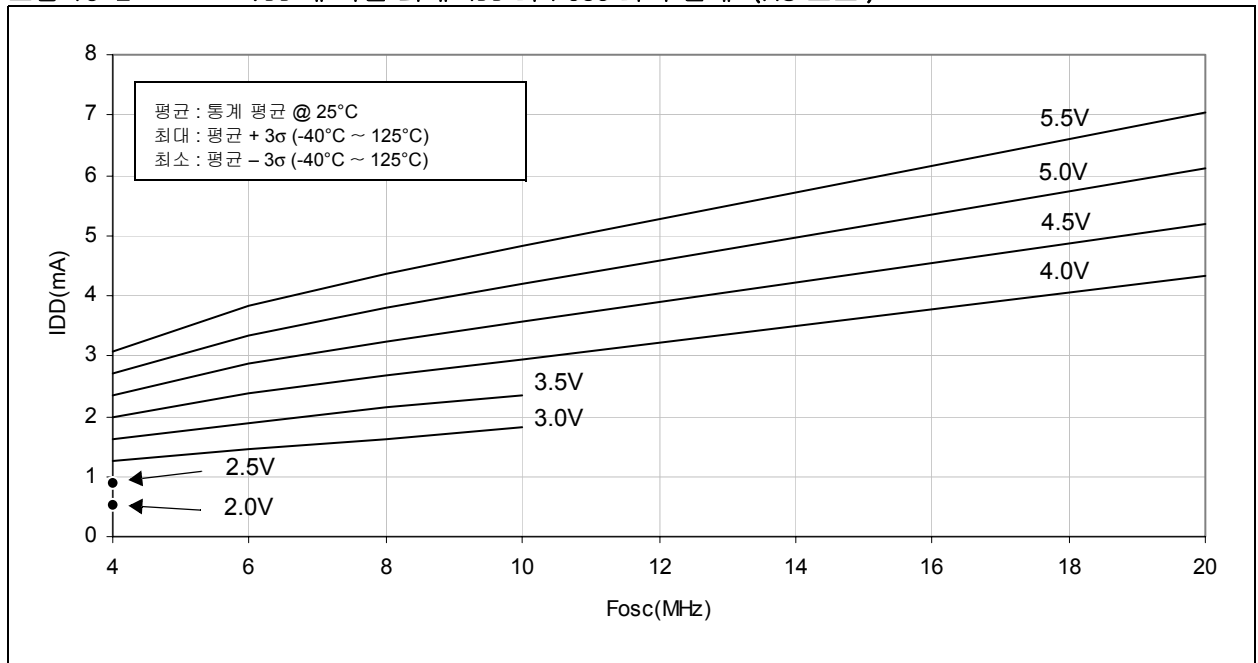


그림 16-2: VDD 에 따른 최대 IDD 와 Fosc 와의 관계 (HS 모드)



# PIC16CR7X

그림 16-3: VDD 에 따른 일반적인 IDD 와 FOSC 와의 관계 (XT 모드)

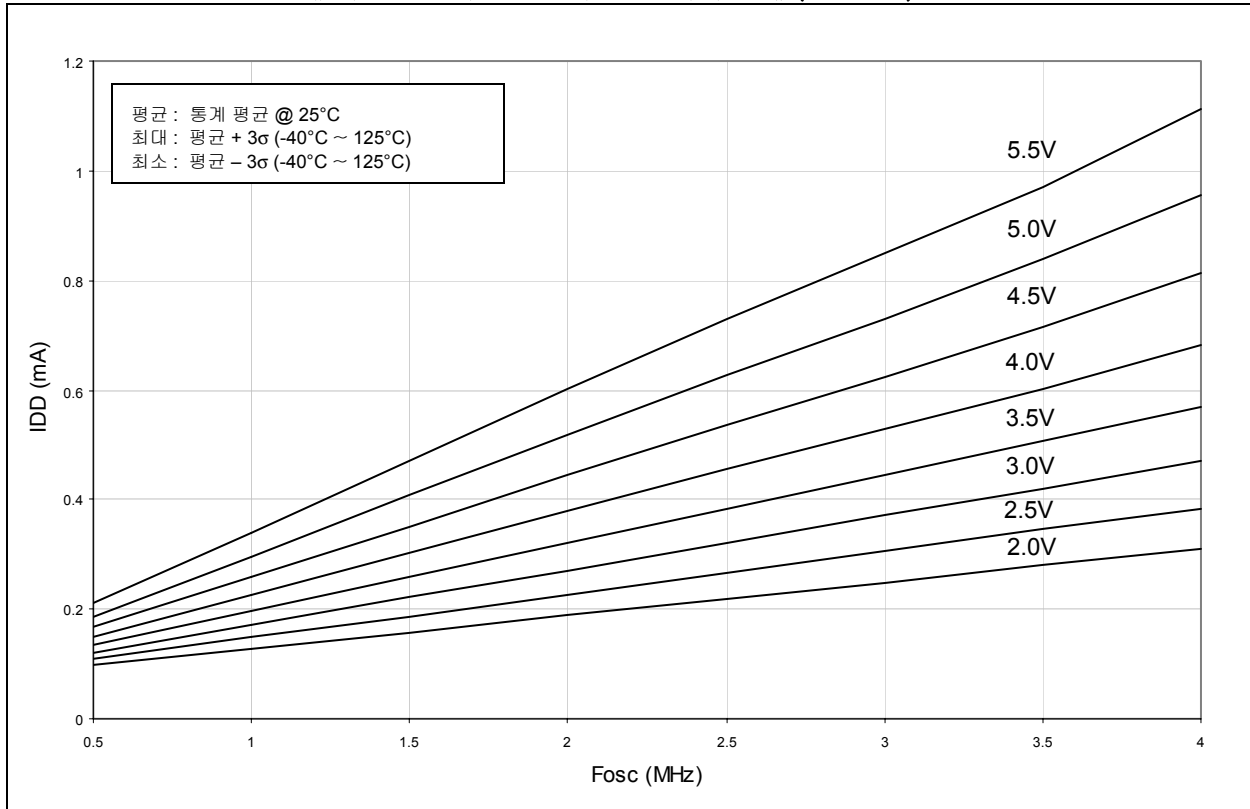


그림 16-4: VDD 에 따른 최대 IDD 와 FOSC 와의 관계 (XT 모드)

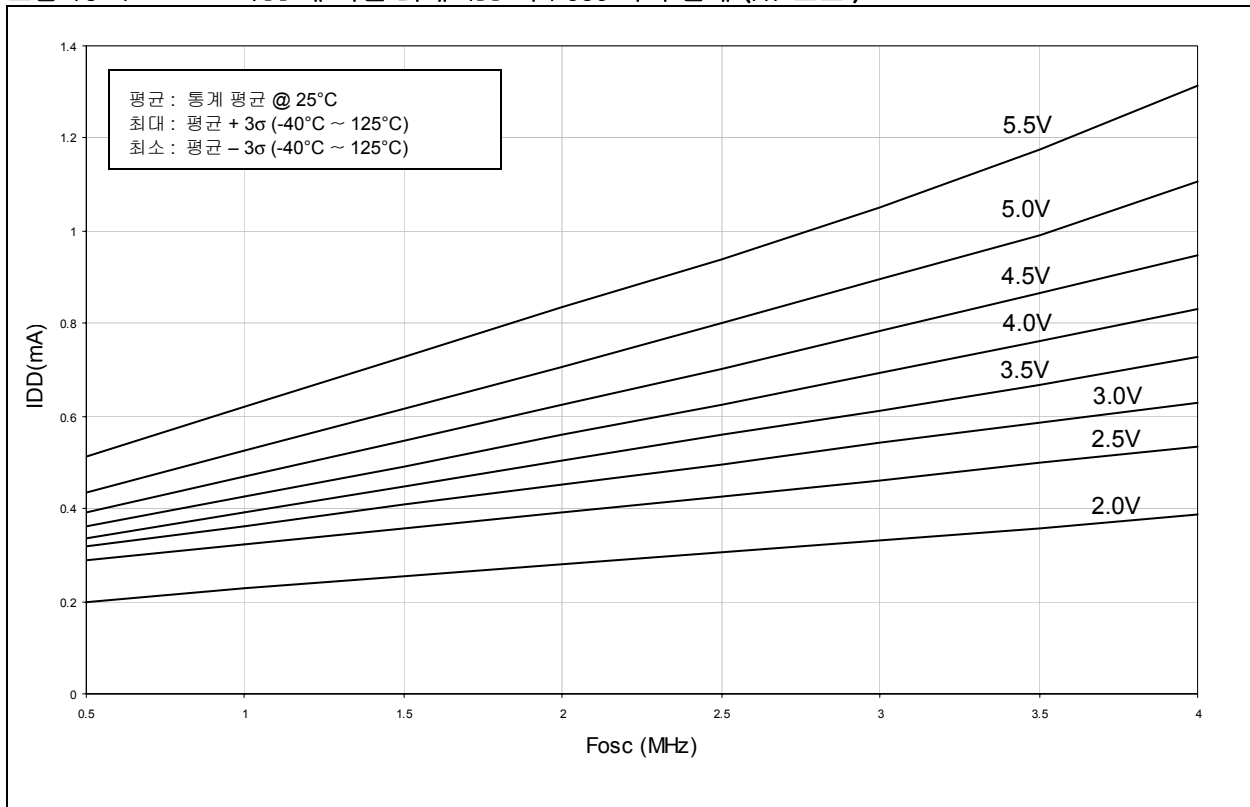


그림 16-5: VDD 에 따른 일반적인 IDD 와 Fosc 와의 관계 (LP 모드)

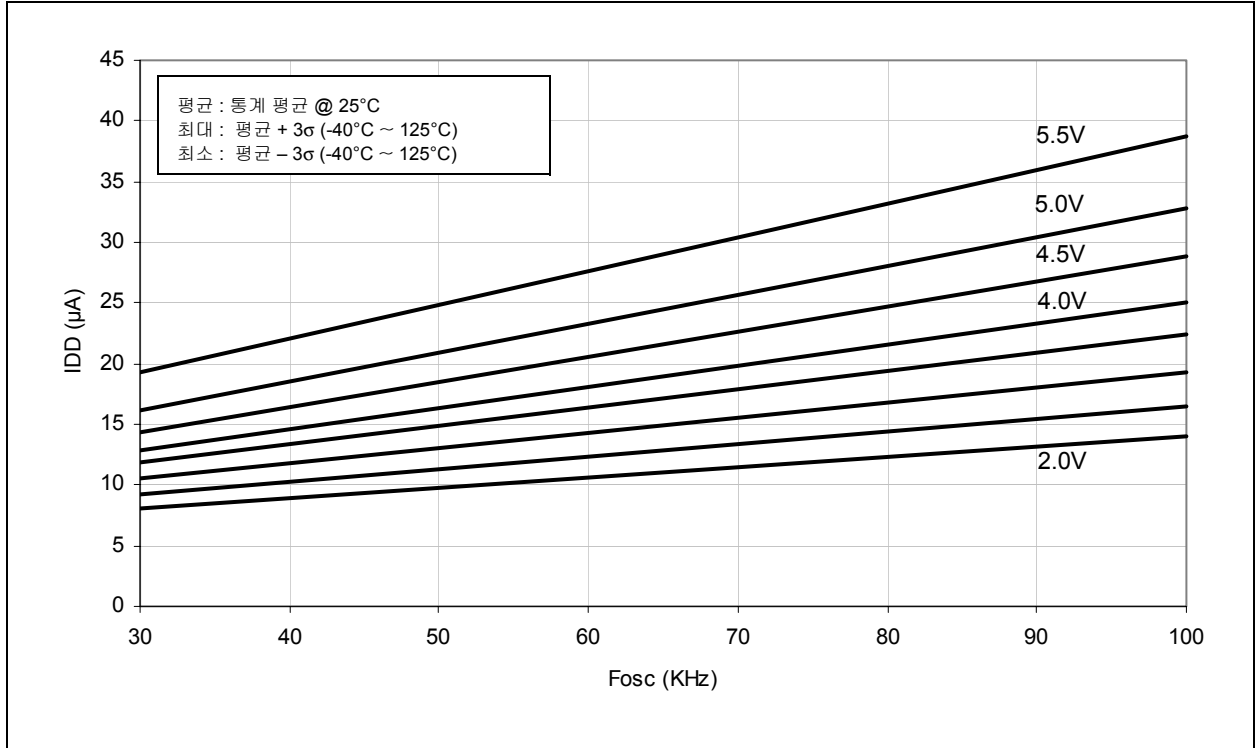
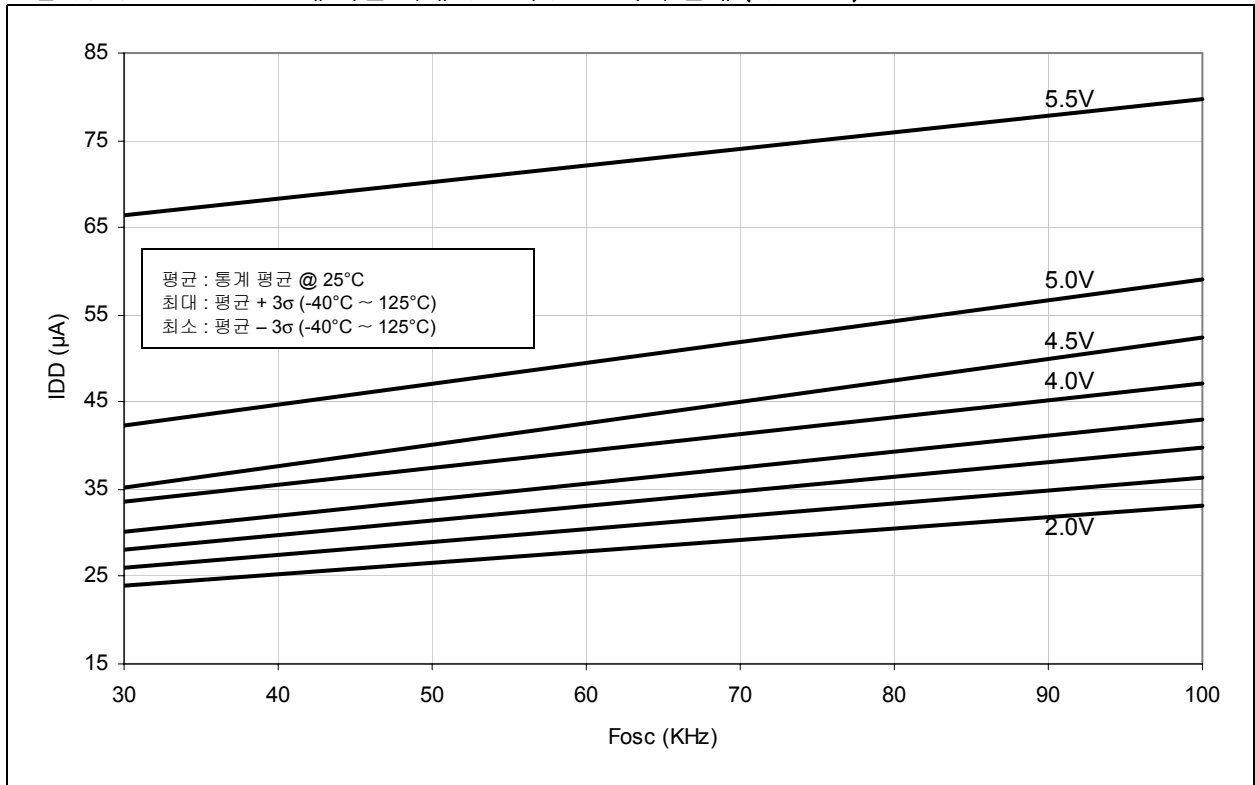


그림 16-6: VDD 에 따른 최대 IDD 와 Fosc 와의 관계 (LP 모드)



# PIC16CR7X

그림 16-7: R의 다양한 값에 따른 평균 Fosc와 VDD와의 관계 (RC 모드, C = 20 pF, 25°C)

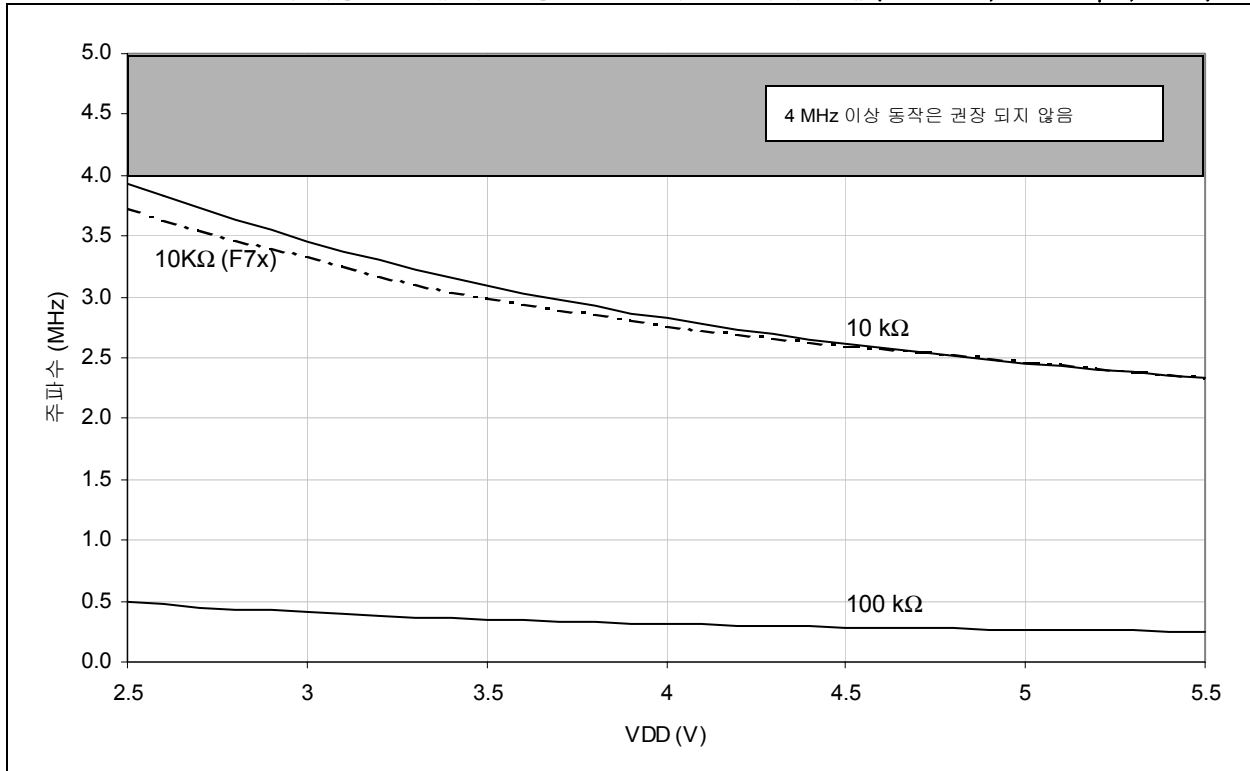


그림 16-8: R의 다양한 값에 따른 평균 Fosc와 VDD와의 관계 (RC 모드, C = 100 pF, 25°C)

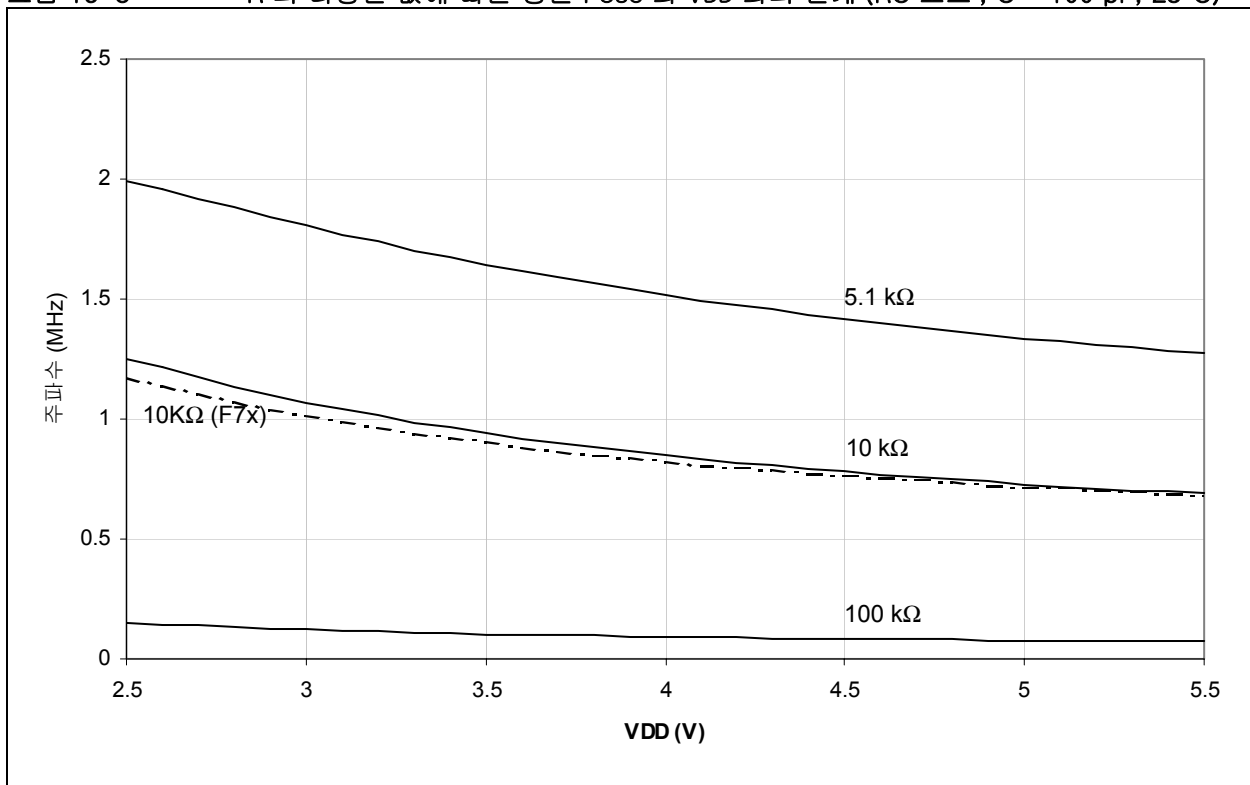




그림 16-9: R의 다양한 값에 따른 평균 Fosc와 VDD와의 관계 (RC 모드, C = 300 pF, 25°C)

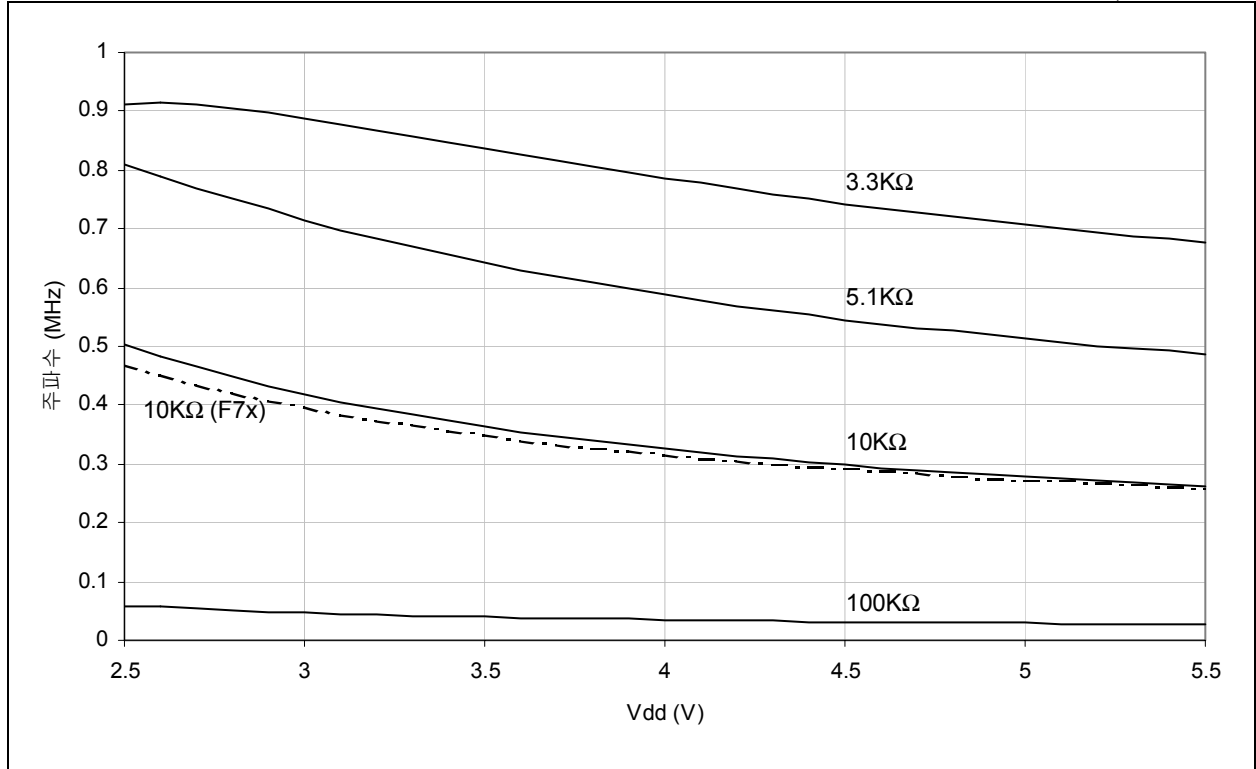
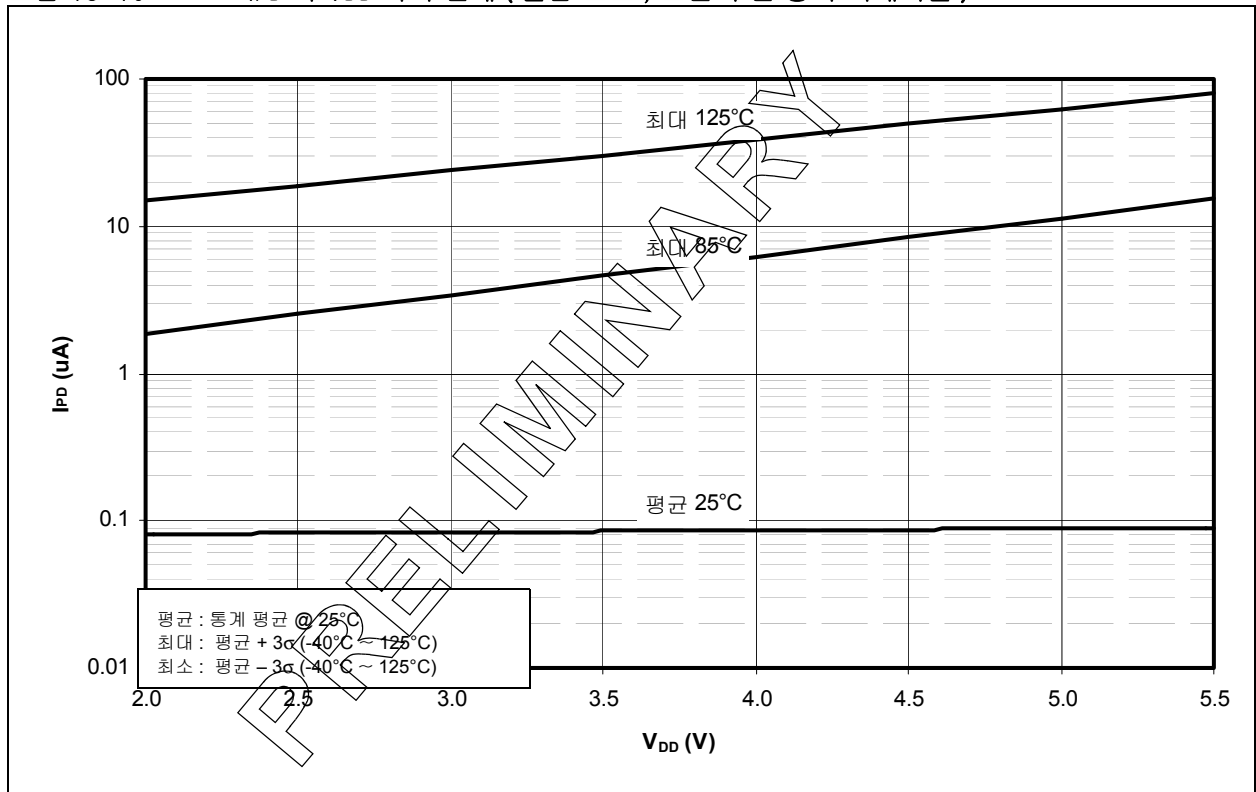


그림 16-10: IPD와 VDD와의 관계 (슬립 모드, 모든 주변 장치 디제이블)



# PIC16CR7X

그림 16-11: 온도에 따른  $\Delta I_{BOR}$  와  $V_{DD}$  와의 관계

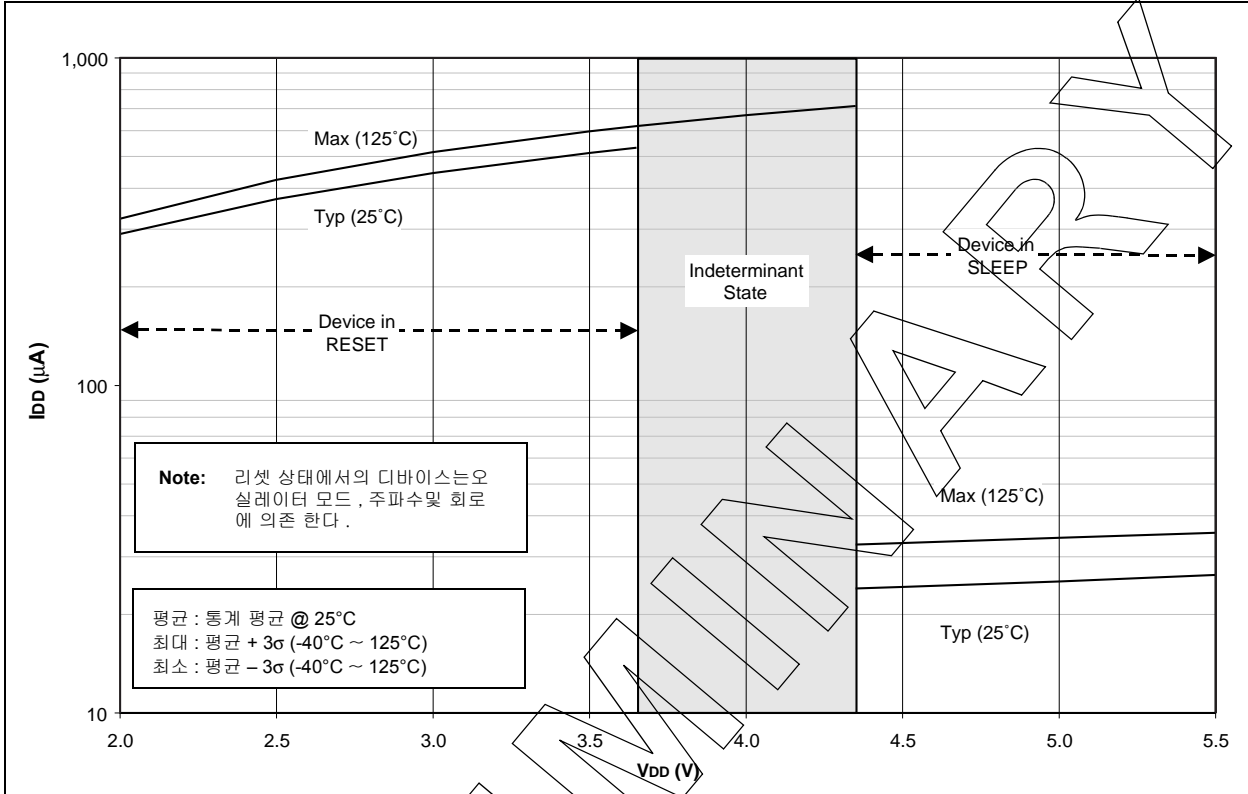


그림 16-12: 온도에 따른 일반 및 최대  $\Delta I_{WDT}$  와  $V_{DD}$  와의 관계

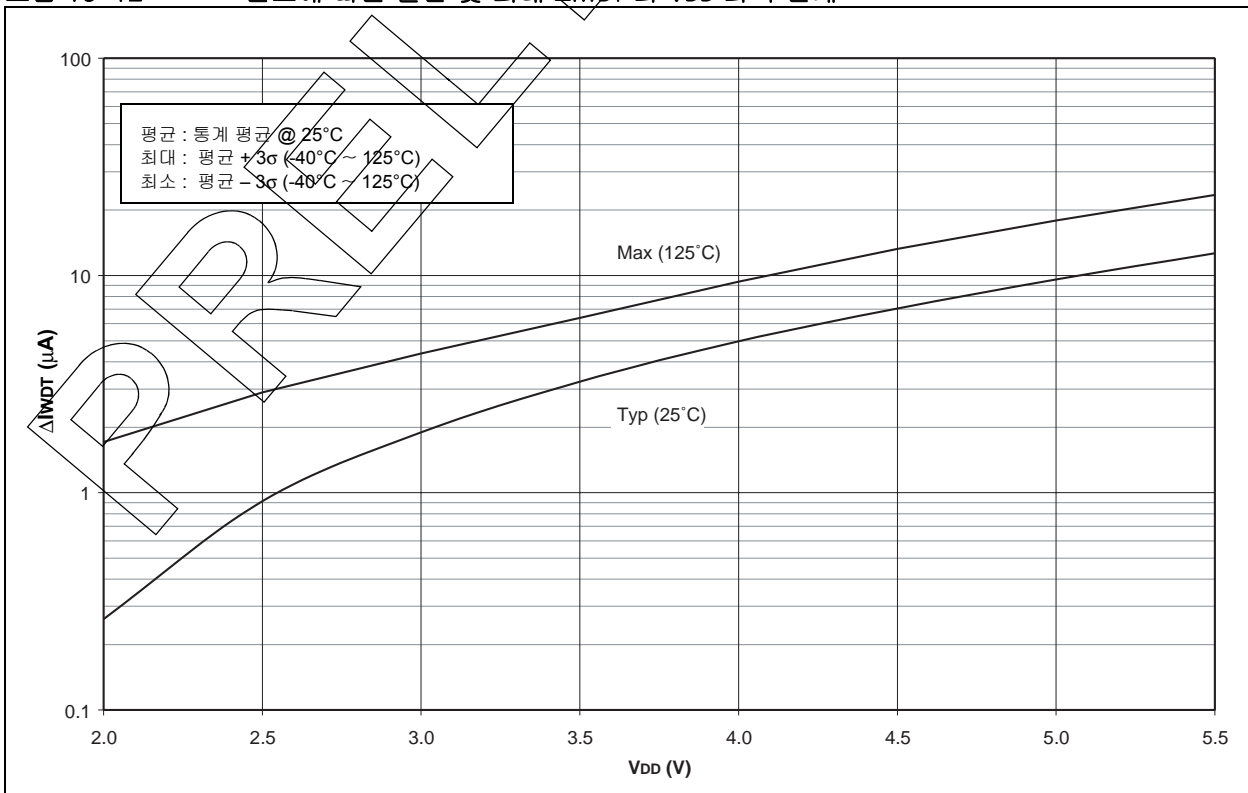


그림 16-13: 평균, 최소, 최대 WDT 주기와 VDD와의 관계 (-40°C ~ 125°C)

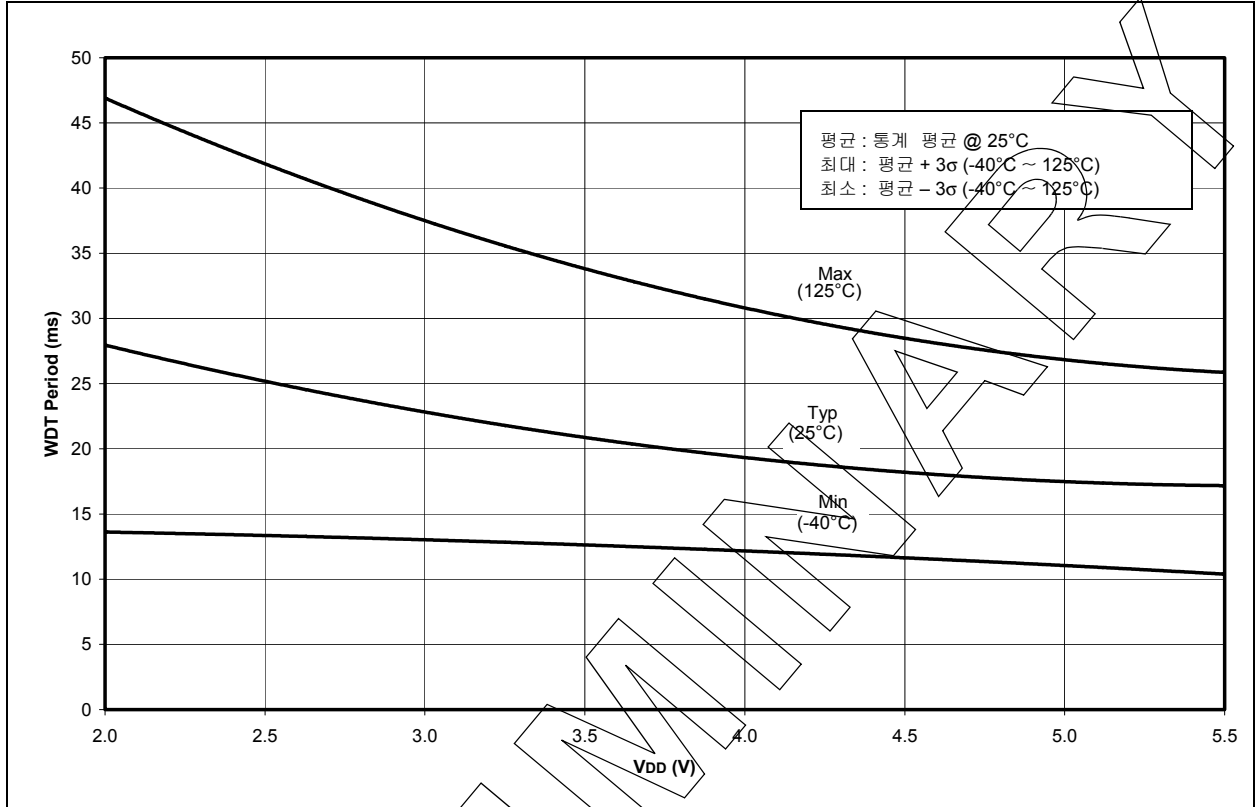
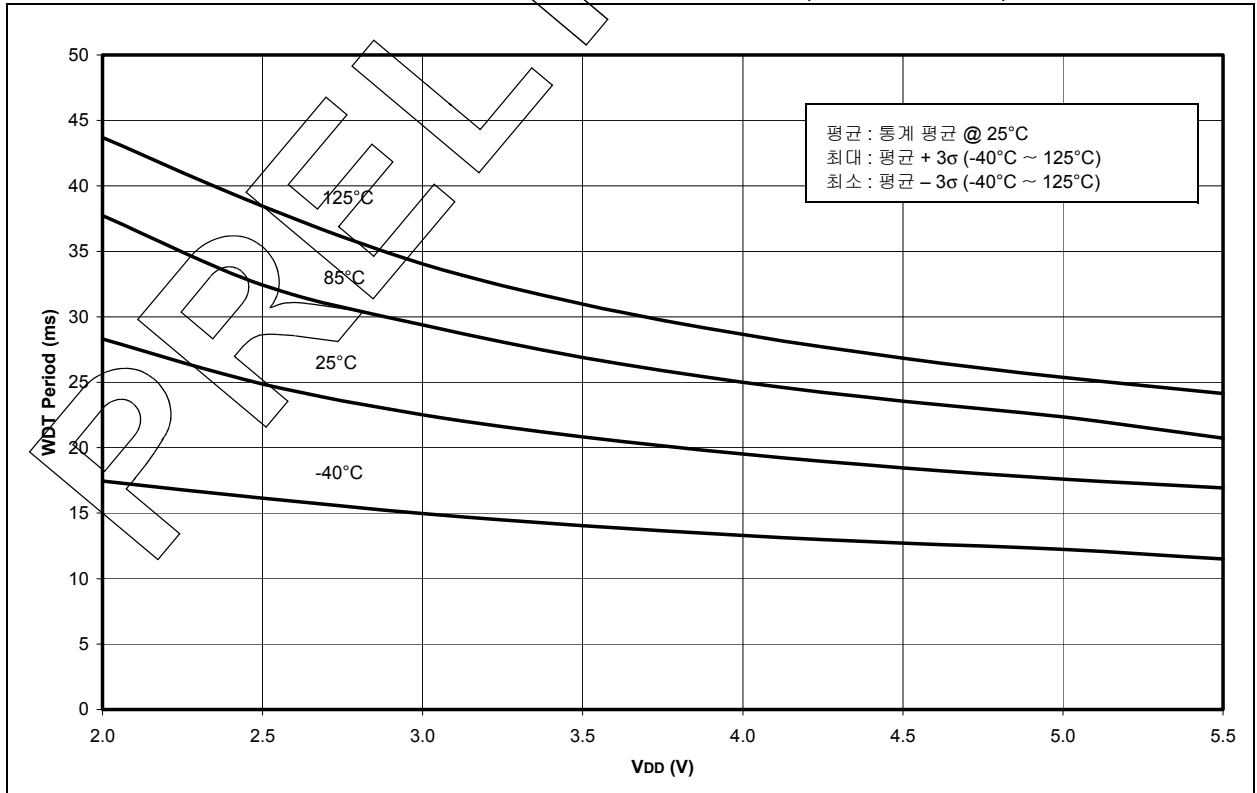


그림 16-14: 온도에 따른 평균 WDT 주기와 VDD와의 관계 (-40°C ~ 125°C)



# PIC16CR7X

그림 16-15: 평균, 최소 및 최대  $V_{OH}$  와  $I_{OH}$  와의 관계 ( $V_{DD} = 5V, -40^{\circ}C \sim 125^{\circ}C$ )

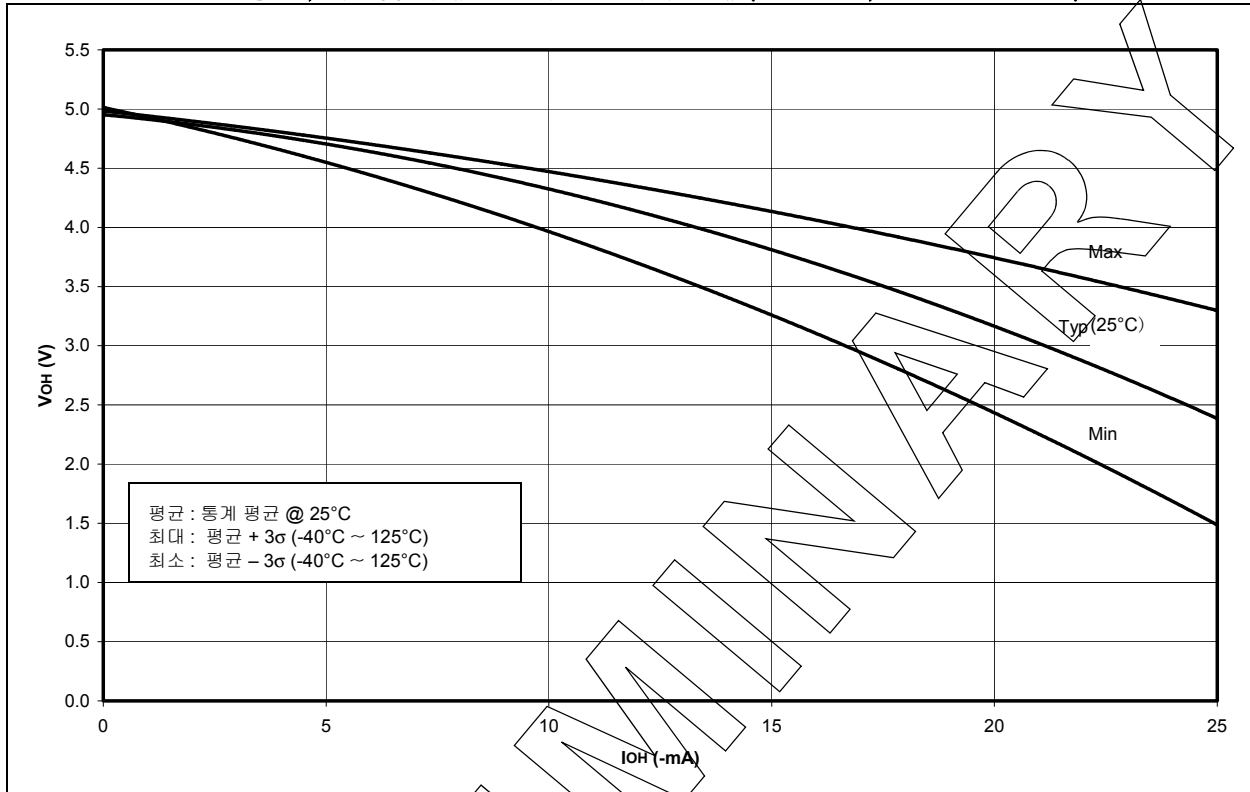


그림 16-16: 평균, 최소 및 최대  $V_{OH}$  와  $I_{OH}$  와의 관계 ( $V_{DD} = 3V, -40^{\circ}C \sim 125^{\circ}C$ )

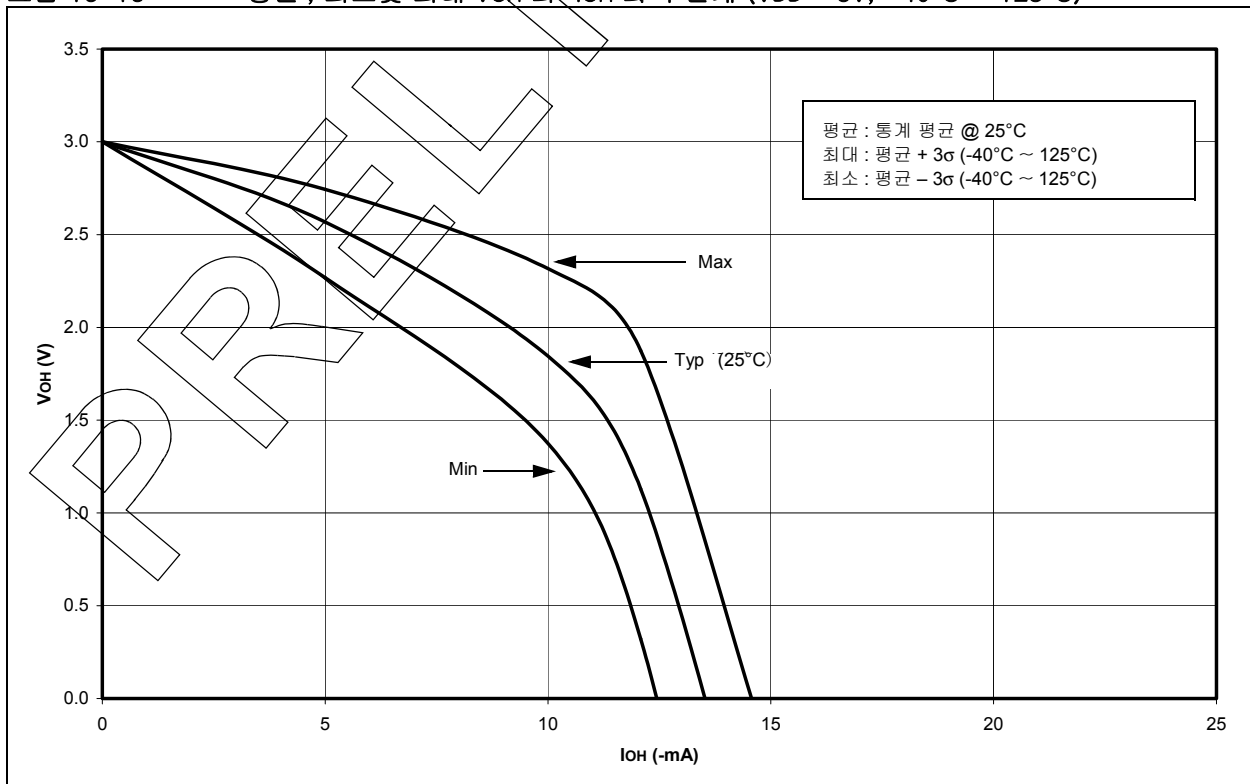


그림 16-17: 평균, 최소 및 최대  $V_{OL}$  과  $I_{OL}$  와의 관계 ( $V_{DD} = 5V, -40^{\circ}C \sim 125^{\circ}C$ )

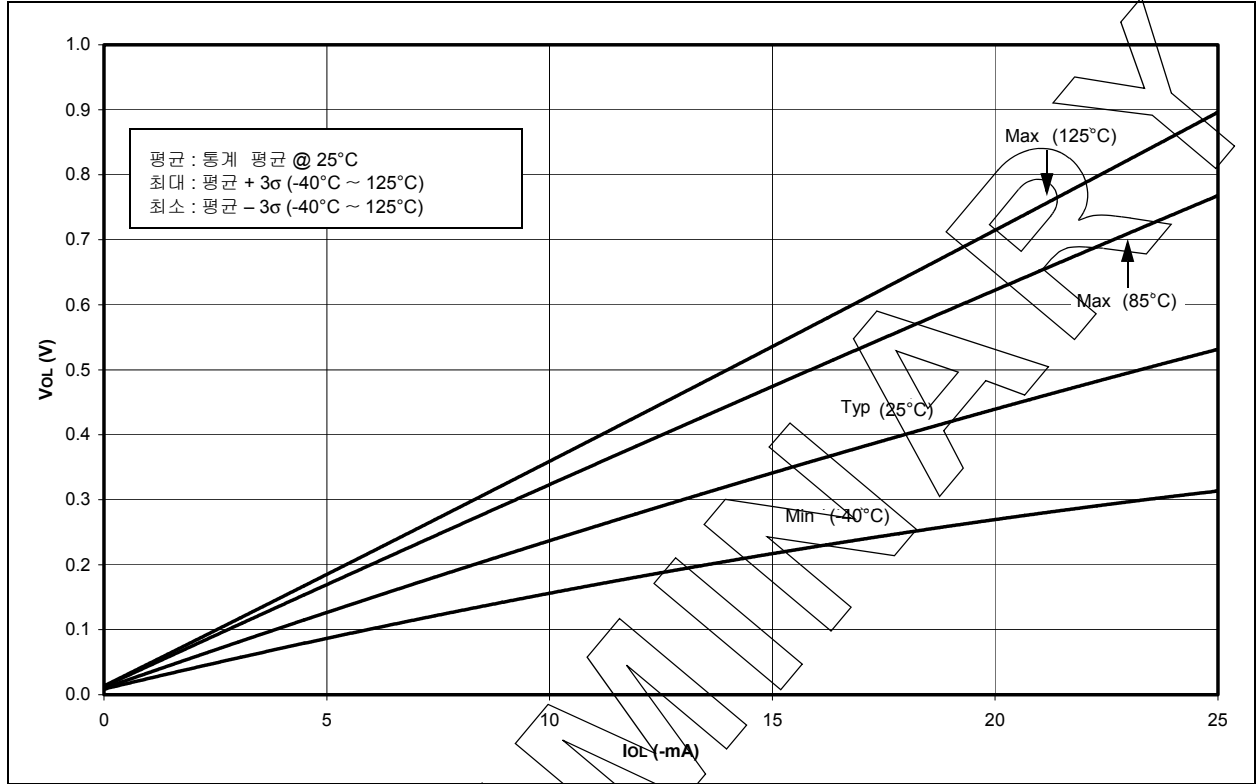
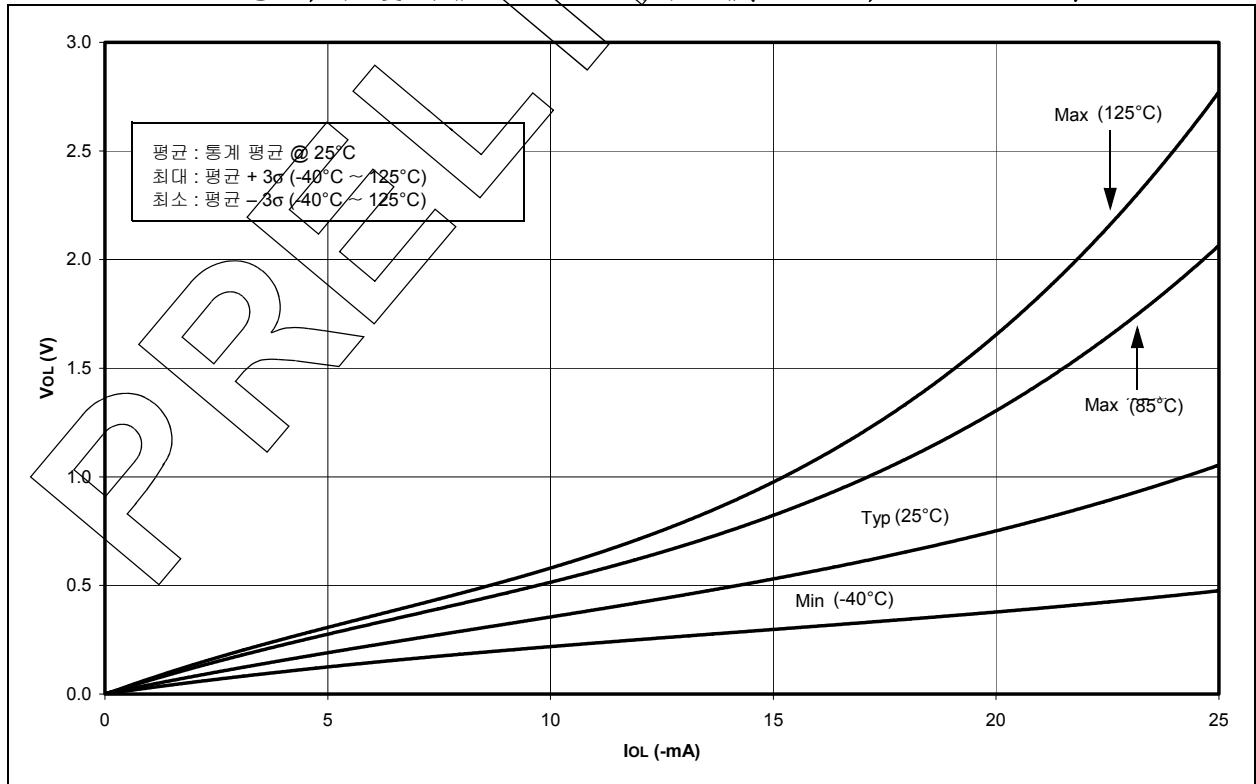


그림 16-18: 평균, 최소 및 최대  $V_{OL}$  과  $I_{OL}$  와의 관계 ( $V_{DD} = 3V, -40^{\circ}C \sim 125^{\circ}C$ )



# PIC16CR7X

그림 16-19: 최소 및 최대 VIN 과 VDD 와의 관계 (TTL 입력, -40°C ~ 125°C)

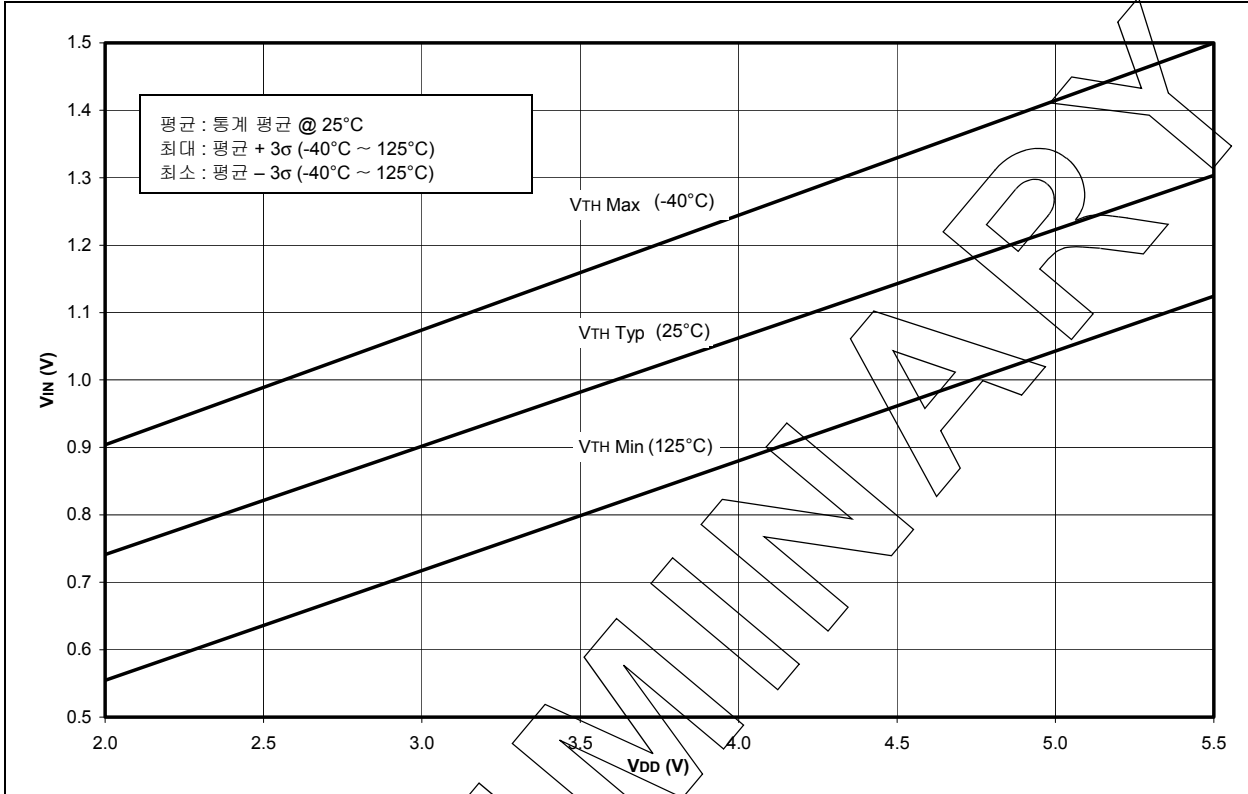
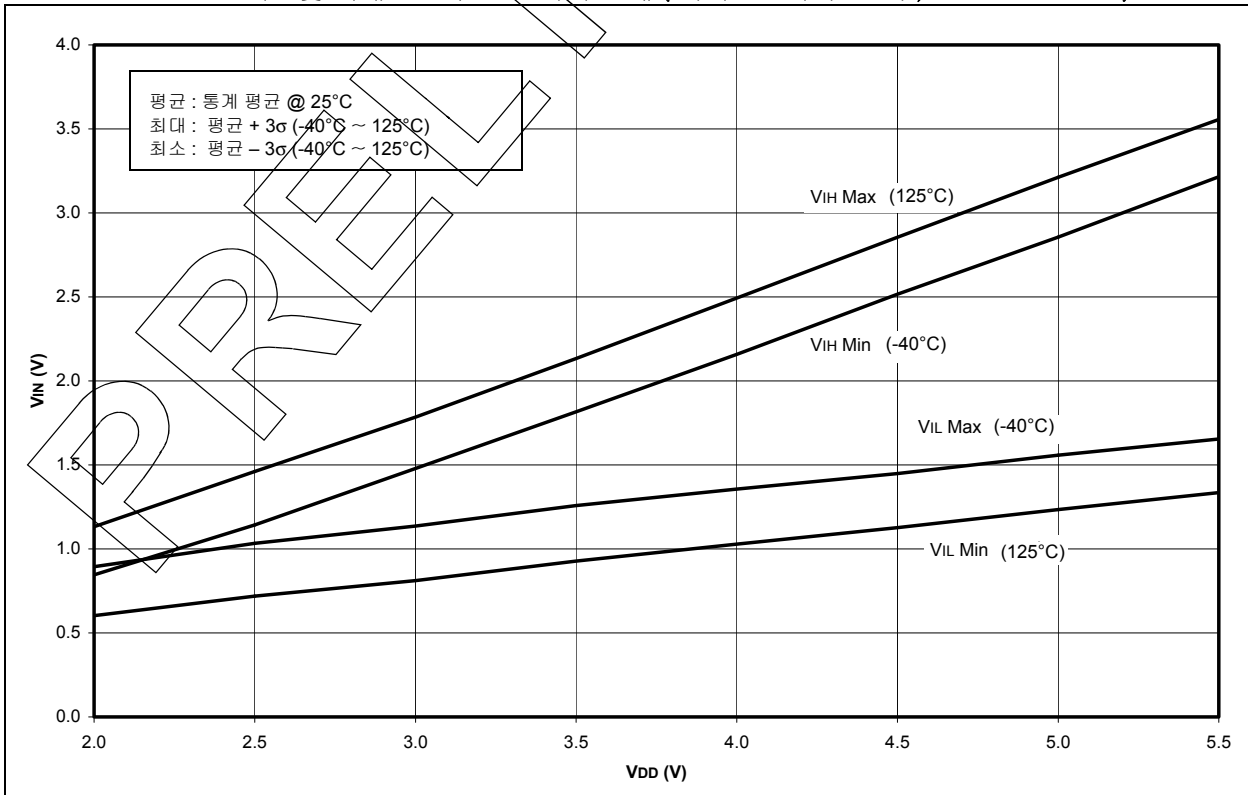


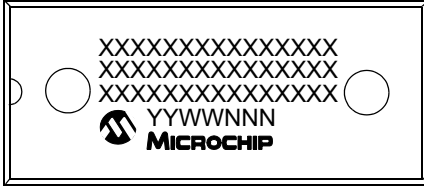
그림 16-20: 최소 및 최대 VIN 과 VDD 와의 관계 (슈미트트리거 입력, -40°C ~ 125°C)



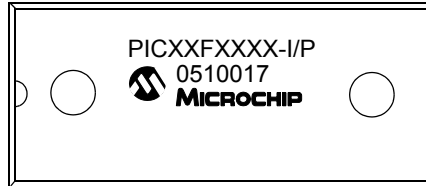
## 17.0 패키지 정보

### 17.1 패키지 마킹 정보

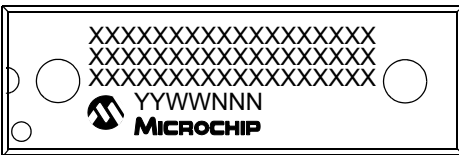
28 핀 PDIP



보기



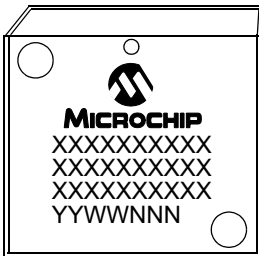
40 핀 PDIP



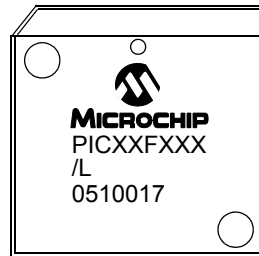
보기



44 핀 PLCC



보기



범례 : XX...X    커스터머의 특별한 정보  
 Y            몇년도에 만들었는지 표시 (캘런터의 마지막 디지트)  
 YY          몇년도에 만들었는지 표시 (캘런터의 나머지 2 디지트)  
 WW          몇번째 주에 만들었는지 표시 (1월의 첫번째 주가 '01' 이다)  
 NNN        추적 코드  
 (e3)        Matte Tin (Sn) 의 Pb-free JEDEC 표시  
 \*            이 패키지는 Pb-free 이다 . Pb-free JEDEC 표시인 (e3)  
               는 이 패키지의 바깥쪽 패키징에서 확인 가능하다 .

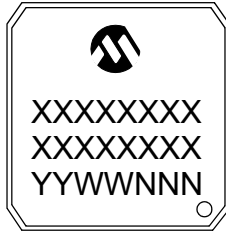
노트 : 모든 마이크로칩 파트 넘버는 한 라인으로 마킹을 할 수가 없다 . 따라서 다음 라인에 추가 정보를 넣어야 하므로 사용자가 원하는 문자의 삽입에는 상당한 제한이 있다 .

\* 일반적인 PICmicro 디바이스 마킹은 파트 넘버, 몇년도, 몇주 및 추적 코드를 포함 하고 있다. 이것을 초과한 PICmicro 마킹은 추가 비용이 요구 된다 . 이것에 대하여 한국 지사와 상의 하기를 바란다 . QTP 디바이스인 경우 추가적인 특별한 마킹은 QTP 가격에 이미 포함 되어 있다 .

# PIC16CR7X

## 17.1 패키지 마킹 정보 ( 앞 페이지에 이어 계속 됨 )

28 핀 QFN



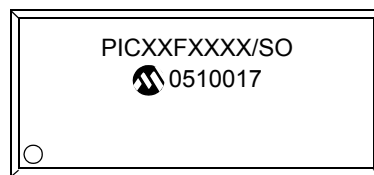
보기



28 핀 SOIC (.300")



보기



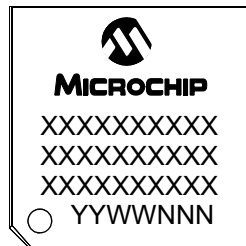
28 핀 SSOP



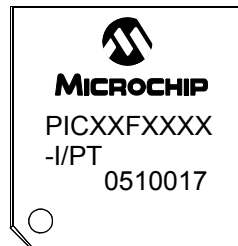
보기



44 핀 TQFP



보기

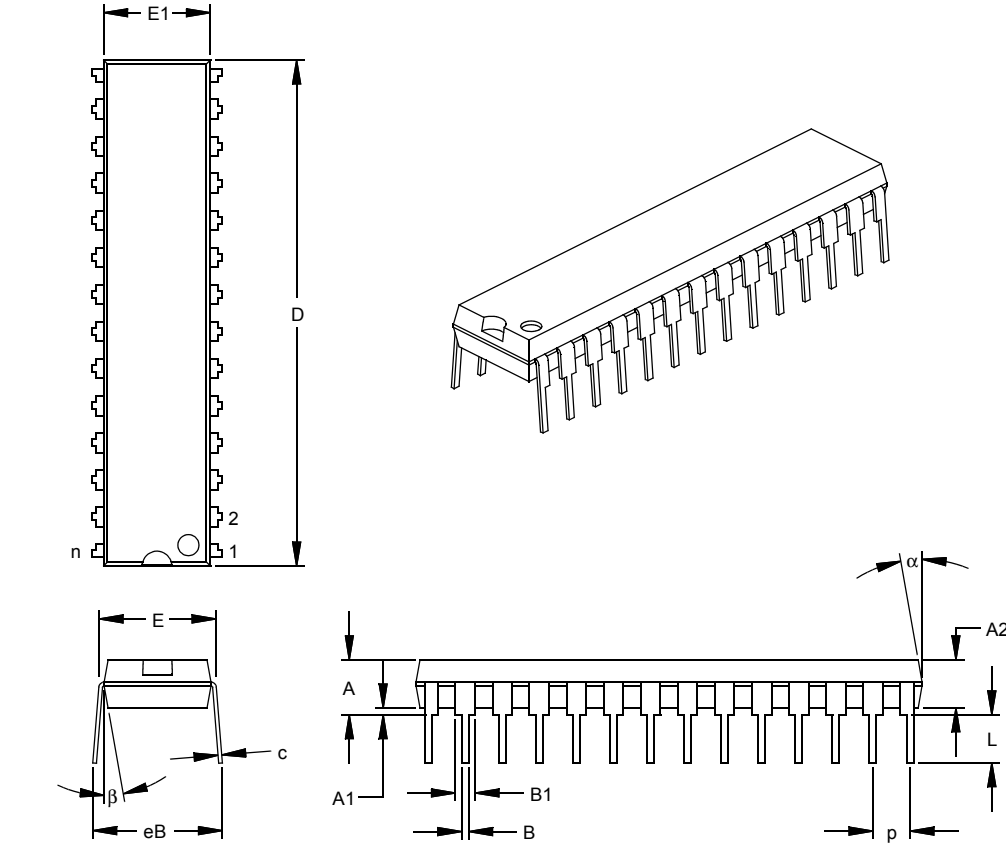




## 17.2 상세한 패키지 정보

앞으로는 각 패키지의 자세한 기술적인 정보에 대하여 나타낸다.

### 28 핀 Skinny Plastic Dual In-line (SP) – 300 밀리 바디 (PDIP)



치수	단위	인치 *			밀리미터		
		최소	평균	최대	최소	평균	최대
Number of Pins	n	28			28		
Pitch	p		.100			2.54	
Top to Seating Plane	A	.140	.150	.160	3.56	3.81	4.06
Molded Package Thickness	A2	.125	.130	.135	3.18	3.30	3.43
Base to Seating Plane	A1	.015			0.38		
Shoulder to Shoulder Width	E	.300	.310	.325	7.62	7.87	8.26
Molded Package Width	E1	.275	.285	.295	6.99	7.24	7.49
Overall Length	D	1.345	1.365	1.385	34.16	34.67	35.18
Tip to Seating Plane	L	.125	.130	.135	3.18	3.30	3.43
Lead Thickness	c	.008	.012	.015	0.20	0.29	0.38
Upper Lead Width	B1	.040	.053	.065	1.02	1.33	1.65
Lower Lead Width	B	.016	.019	.022	0.41	0.48	0.56
Overall Row Spacing	§ eB	.320	.350	.430	8.13	8.89	10.92
Mold Draft Angle Top	α	5	10	15	5	10	15
Mold Draft Angle Bottom	β	5	10	15	5	10	15

\* 제어 파라미터

§ 중요한 특성

노트 :

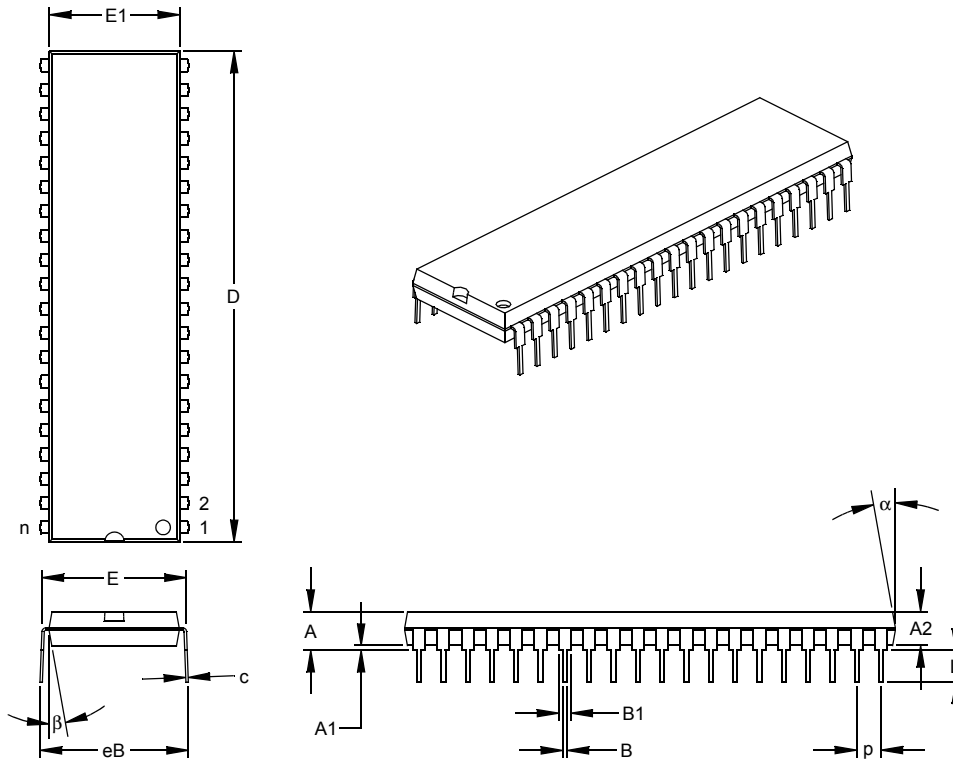
치수 D 와 E1 는 몰드 플래시 또는 돌출부를 포함 하지 않는다 . 몰드플래시 또는 돌출부는 한면당 .010" (0.254mm) 를 초과 하지 않는다 .

JEDEC : MO-095

드로잉 번호 . C04-070

# PIC16CR7X

## 40 핀 Plastic Dual In-line (P) – 600 밀리 바디 (PDIP)



치수	단위	인치 *			밀리미터		
		최소	평균	최대	최소	평균	최대
Number of Pins	n	40			40		
Pitch	p		.100			2.54	
Top to Seating Plane	A	.160	.175	.190	4.06	4.45	4.83
Molded Package Thickness	A2	.140	.150	.160	3.56	3.81	4.06
Base to Seating Plane	A1	.015			0.38		
Shoulder to Shoulder Width	E	.595	.600	.625	15.11	15.24	15.88
Molded Package Width	E1	.530	.545	.560	13.46	13.84	14.22
Overall Length	D	2.045	2.058	2.065	51.94	52.26	52.45
Tip to Seating Plane	L	.120	.130	.135	3.05	3.30	3.43
Lead Thickness	c	.008	.012	.015	0.20	0.29	0.38
Upper Lead Width	B1	.030	.050	.070	0.76	1.27	1.78
Lower Lead Width	B	.014	.018	.022	0.36	0.46	0.56
Overall Row Spacing	§ eB	.620	.650	.680	15.75	16.51	17.27
Mold Draft Angle Top	α	5	10	15	5	10	15
Mold Draft Angle Bottom	β	5	10	15	5	10	15

\* 제어 파라미터

§ 중요한 특성

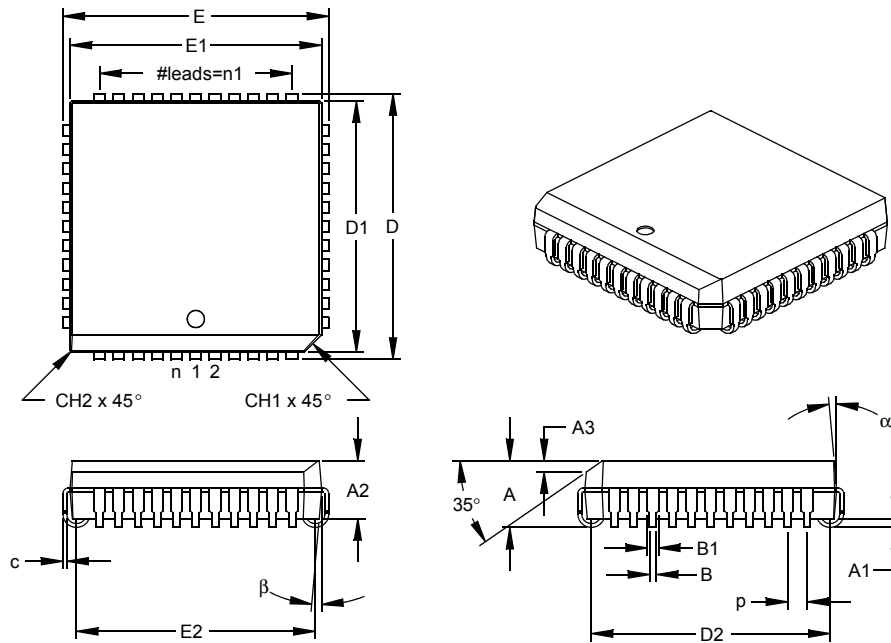
노트 :

치수 D 와 E1 는 몰드 플래시 또는 돌출부를 포함 하지 않는다 . 몰드 플래시 또는 돌출부는 한면당 .010" (0.254mm) 를 초과 하지 않는다 .

JEDEC : MO-011

드로잉 번호 . C04-016

## 44 핀 Plastic Leaded Chip Carrier (L) – 정사각형 (PLCC)



치수	단위	인치 *			밀리미터		
		최소	평균	최대	최소	평균	최대
Number of Pins	n	44			44		
Pitch	p		.050			1.27	
Pins per Side	n1		11			11	
Overall Height	A	.165	.173	.180	4.19	4.39	4.57
Molded Package Thickness	A2	.145	.153	.160	3.68	3.87	4.06
Standoff §	A1	.020	.028	.035	0.51	0.71	0.89
Side 1 Chamfer Height	A3	.024	.029	.034	0.61	0.74	0.86
Corner Chamfer 1	CH1	.040	.045	.050	1.02	1.14	1.27
Corner Chamfer (others)	CH2	.000	.005	.010	0.00	0.13	0.25
Overall Width	E	.685	.690	.695	17.40	17.53	17.65
Overall Length	D	.685	.690	.695	17.40	17.53	17.65
Molded Package Width	E1	.650	.653	.656	16.51	16.59	16.66
Molded Package Length	D1	.650	.653	.656	16.51	16.59	16.66
Footprint Width	E2	.590	.620	.630	14.99	15.75	16.00
Footprint Length	D2	.590	.620	.630	14.99	15.75	16.00
Lead Thickness	c	.008	.011	.013	0.20	0.27	0.33
Upper Lead Width	B1	.026	.029	.032	0.66	0.74	0.81
Lower Lead Width	B	.013	.020	.021	0.33	0.51	0.53
Mold Draft Angle Top	α	0	5	10	0	5	10
Mold Draft Angle Bottom	β	0	5	10	0	5	10

\* 제어 파라미터

§ 중요한 특성

노트 :

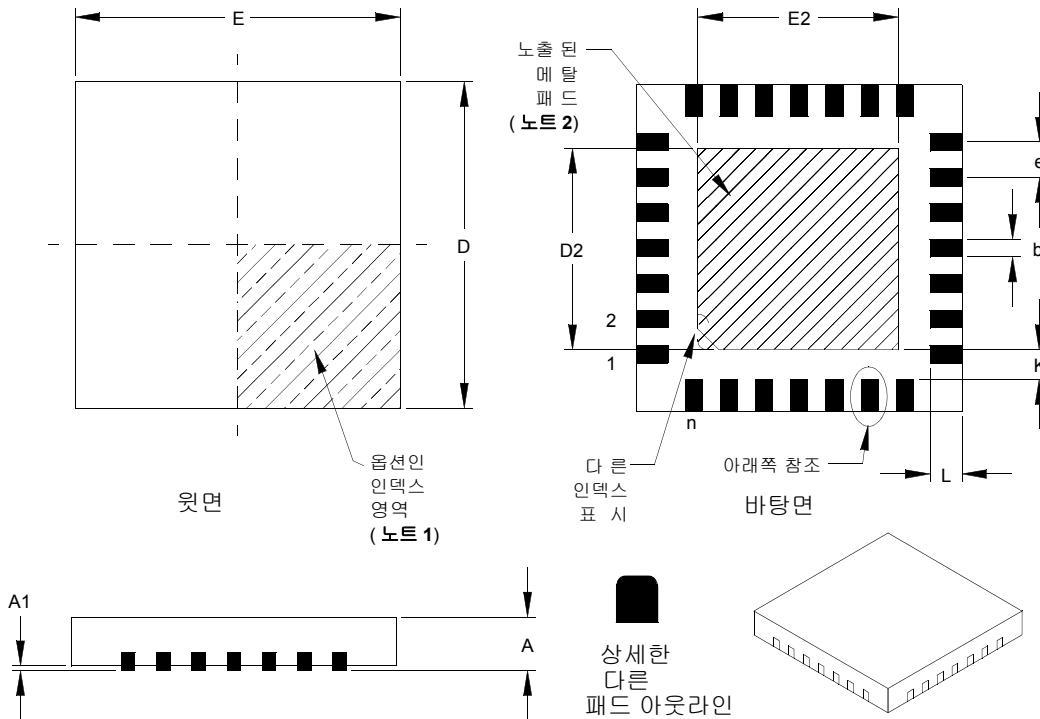
D 와 E1 는 몰드플래시 또는 돌출부를 포함 하지 않는다 . 몰드플래시 또는 돌출부는 한면당 .010" (0.254mm) 를 초과 하지 않는다 .

JEDEC : MO-047

드로잉 번호 . C04-048

# PIC16CR7X

## 28 핀 Plastic Quad Flat No Lead Package (ML) 6x6 mm 바디 (QFN) – With 0.55 mm Contact Length (Saw Singulated)



치수	단위	인치			밀리미터 *		
		최소	평균	최대	최소	평균	최대
Number of Pins	n		28			28	
Pitch	e	.026 BSC			0.65 BSC		
Overall Height	A	.031	.035	.039	0.80	0.90	1.00
Standoff	A1	.000	.001	.002	0.00	0.02	0.05
Contact Thickness	A3	.008 REF			0.20 REF		
Overall Width	E	.232	.236	.240	5.90	6.00	6.10
Exposed Pad Width	E2	.153	.167	.169	3.89	4.24	4.29
Overall Length	D	.232	.236	.240	5.90	6.00	6.10
Exposed Pad Length	D2	.153	.167	.169	3.89	4.24	4.29
Contact Width	β	.009	.011	.013	0.23	0.28	0.33
Contact Length §	L	.018	.022	.024	0.45	0.55	0.65
Contact-to-Exposed Pad	§	K	.008	-	0.20	-	-

\* 제어 파라미터

§ 중요한 특성

노트 :

1. Pin 1 보이는 부분은 변하지만 반드시 제시된 영역 안에는 위치 하여야만 한다 .

2. 나타난 패드는 다이 어태치 패들 사이즈에 따라 변한다 .

BSC: 기본 치수 . 실제 이룬 값은 오차 없이 나타낸다 .

ASME Y14.5M 참조

REF: 보통 오차 없는 참조 치수는 단지 참고를 치수이다 ..

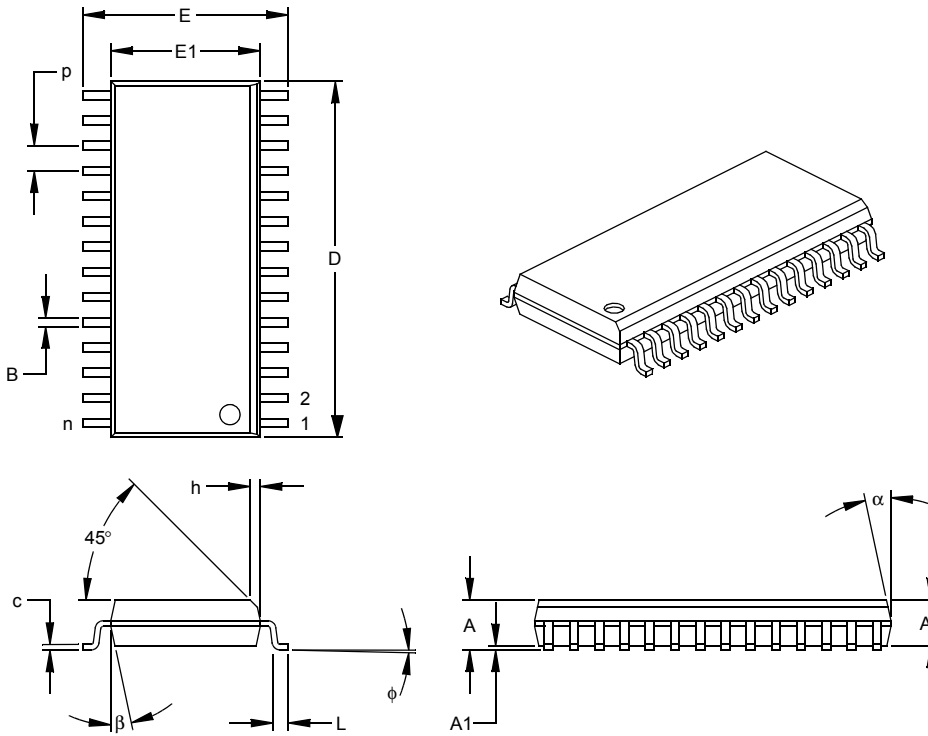
ASME Y14.5M 참조

JEDEC : MO-220

드로잉 번호 . C04-105

개정 됨 09-12-05

## 28 핀 Plastic Small Outline (SO) – 넓음, 300 밀리 바디 (SOIC)



치수	단위	인치 *			밀리미터		
		최소	평균	최대	최소	평균	최대
Number of Pins	n	28			28		
Pitch	p		.050			1.27	
Overall Height	A	.093	.099	.104	2.36	2.50	2.64
Molded Package Thickness	A2	.088	.091	.094	2.24	2.31	2.39
Standoff §	A1	.004	.008	.012	0.10	0.20	0.30
Overall Width	E	.394	.407	.420	10.01	10.34	10.67
Molded Package Width	E1	.288	.295	.299	7.32	7.49	7.59
Overall Length	D	.695	.704	.712	17.65	17.87	18.08
Chamfer Distance	h	.010	.020	.029	0.25	0.50	0.74
Foot Length	L	.016	.033	.050	0.41	0.84	1.27
Foot Angle Top	φ	0	4	8	0	4	8
Lead Thickness	c	.009	.011	.013	0.23	0.28	0.33
Lead Width	B	.014	.017	.020	0.36	0.42	0.51
Mold Draft Angle Top	α	0	12	15	0	12	15
Mold Draft Angle Bottom	β	0	12	15	0	12	15

\* 제어 파라미터

§ 중요한 특성

노트 :

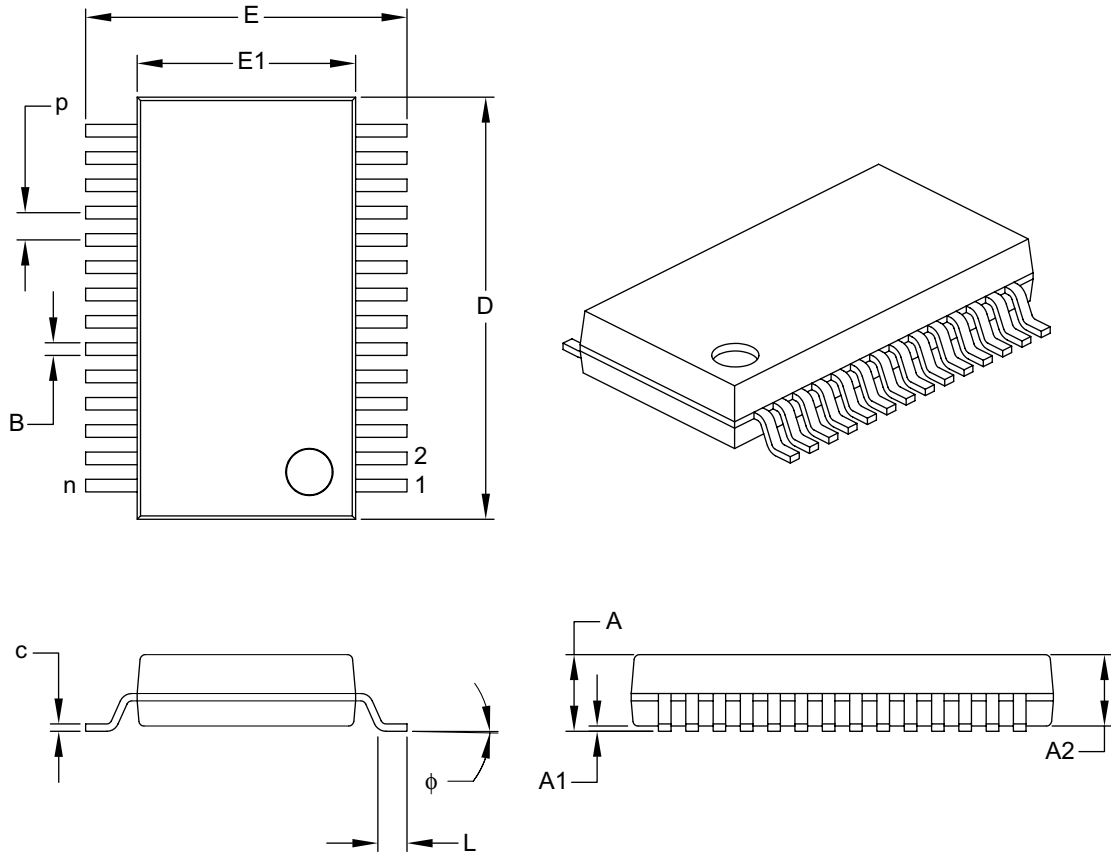
치수 D 와 E1 는 몰드플래시, 돌출부를 포함 하지 않는다. 몰드플래시 또는 돌출부는 한면당 .010" (0.254mm) 를 초과 하지 않는다.

JEDEC : MS-013

드로잉 번호 : C04-052

# PIC16CR7X

## 28 핀 Plastic Shrink Small Outline (SS) – 209 밀리 바디 , 5.30 mm (SSOP)



치수	단위	인치			밀리미터 *		
		최소	평균	최대	최소	평균	최대
Number of Pins	n	28			28		
Pitch	p		.026			0.65	
Overall Height	A	-	-	.079	-	-	2.0
Molded Package Thickness	A2	.065	.069	.073	1.65	1.75	1.85
Standoff	A1	.002	-	-	0.05	-	-
Overall Width	E	.295	.307	.323	7.49	7.80	8.20
Molded Package Width	E1	.197	.209	.220	5.00	5.30	5.60
Overall Length	D	.390	.402	.413	9.90	10.20	10.50
Foot Length	L	.022	.030	.037	0.55	0.75	0.95
Lead Thickness	c	.004	-	.010	0.09	-	0.25
Foot Angle	φ	0°	4°	8°	0°	4°	8°
Lead Width	B	.009	-	.015	0.22	-	0.38

\* 제어 파라미터

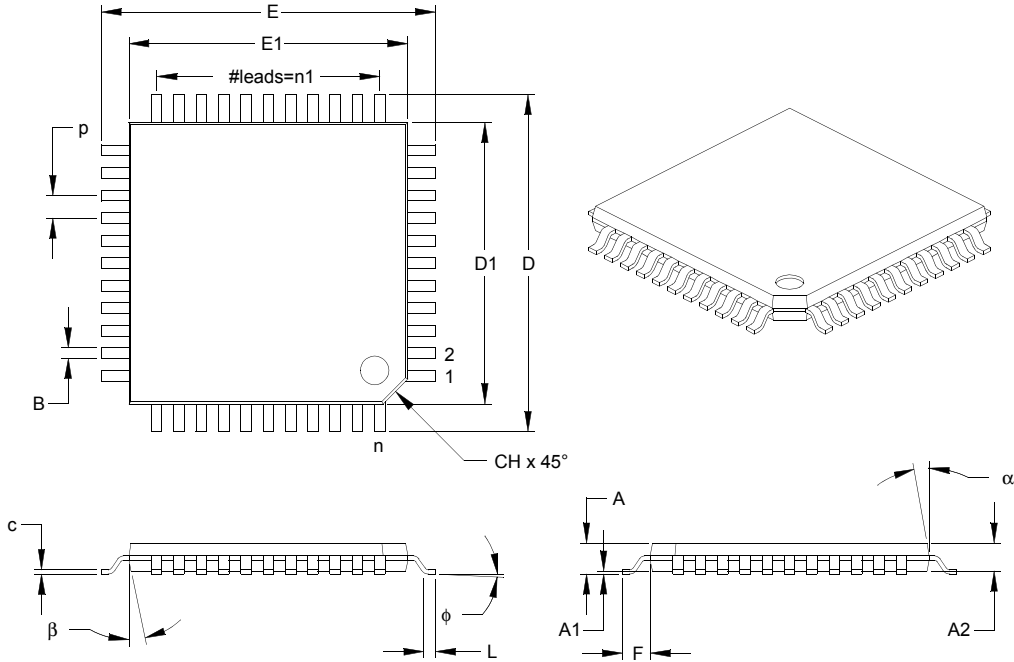
노트 :

치수 D 와 E1 는 몰드 플래시 또는 돌출부를 포함 하지 않는다 . 몰드플래시 또는 돌출부는 한면당 .010" (0.254mm) 를 초과 하지 않는다 .

드로잉 번호 . C04-073

개정 됨 1-12-06

## 44 핀 Plastic Thin-Quad Flatpack (PT) 10x10x1 밀리 바디 , 1.0/0.10 mm Lead Form (TQFP)



단위		인치			밀리미터 *		
치수		최소	평균	최대	최소	평균	최대
Number of Pins	n	44			44		
Pitch	p	.031			0.80		
Pins per Side	n1	11			11		
Overall Height	A	.039	.043	.047	1.00	1.10	1.20
Molded Package Thickness	A2	.037	.039	.041	0.95	1.00	1.05
Standoff	A1	.002	.004	.006	0.05	0.10	0.15
Foot Length	L	.018	.024	.030	0.45	0.60	0.75
Footprint (Reference)	F	.039 REF.			1.00 REF.		
Foot Angle	φ	0	3.5	7	0	3.5	7
Overall Width	E	.463	.472	.482	11.75	12.00	12.25
Overall Length	D	.463	.472	.482	11.75	12.00	12.25
Molded Package Width	E1	.390	.394	.398	9.90	10.00	10.10
Molded Package Length	D1	.390	.394	.398	9.90	10.00	10.10
Lead Thickness	c	.004	.006	.008	0.09	0.15	0.20
Lead Width	B	.012	.015	.017	0.30	0.38	0.44
Pin 1 Corner Chamfer	CH	.025	.035	.045	0.64	0.89	1.14
Mold Draft Angle Top	α	5	10	15	5	10	15
Mold Draft Angle Bottom	β	5	10	15	5	10	15

\* 제어 파라미터

**노트 :**

치수 D 와 E1 는 몰드 플래시 또는 돌출부를 포함 하지 않는다 . 몰드플래시 또는 돌출부는 한면당 .010" (0.254mm) 를 초과 하지 않는다 .

REF: 보통 오차 없는 참조 치수는 단지 참고를 치수이다 .

ASME Y14.5M 참조

JEDEC : MS-026

드로잉 번호 . C04-076

개정 롱 07-22-05

# PIC16CR7X

---

노트 :



## 부록 A: 개정 이력

버전	날짜	개정 서술
A	2006	이것은 새로운 데이터 스위트이다. 그러나 이것은 PIC16F7X 디바이스의 데이터 스위트 (DS30325B) 와 매우 유사하다.

## 부록 B: 디바이스 차이점

데이터 스위트의 각 디바이스의 차이점은 아래 테이블 B-1 에 나타내었다.

테이블 B-1: 디바이스 차이점

항목	PIC16CR73	PIC16CR74	PIC16CR76	PIC16CR77
ROM 프로그램 메모리 (14 비트 워드)	4K	4K	8K	8K
데이터 메모리 (바이트)	192	192	368	368
I/O 포트	3	5	3	5
A/D	5 채널, 8 비트	8 채널, 8 비트	5 채널, 8 비트	8 채널, 8 비트
병렬 슬레이브 포트	없음	있음	없음	있음
인터럽트 소스	11	12	11	12
패키지	28 핀 PDIP 28 핀 SOIC 28 핀 SSOP 28 핀 QFN	40 핀 PDIP 44 핀 TQFP 44 핀 PLCC	28 핀 PDIP 28 핀 SOIC 28 핀 SSOP 28 핀 MLF	40 핀 PDIP 44 핀 TQFP 44 핀 PLCC

# PIC16CR7X

## 부록 C:            컨버전시 고려 사항

이전 버전의 디바이스로부터 이 데이터 스위트에 제시된 하나의 디바이스로 컨버전 하고자 하는 경우 고려 사항은 아래 테이블 C-1 같다 .

테이블 C-1:    컨버전시 고려 사항

항목	PIC16CR7X	PIC16F87X	PIC16F7X
핀 수	28/40	28/40	28/40
타이머	3	3	3
인터럽트	11 or 12	13 또는 14	11 또는 12
통신	PSP, USART, SSP (SPI, I <sup>2</sup> C™ 슬레이브 )	PSP, USART, SSP (SPI, I <sup>2</sup> C 마스터 / 슬레이브 )	PSP, USART, SSP (SPI, I <sup>2</sup> C 슬레이브 )
주파수	20 MHz	20 MHz	20 MHz
A/D	8 비트	10 비트	8 비트
CCP	2	2	2
프로그램 메모리	4K, 8K ROM	4K, 8K 플래시 (1,000 E/W 사이클 )	4K, 8K 플래시 (100 E/W 사이클 , 일반적 )
RAM	192, 368 바이트	192, 368 바이트	192, 368 바이트
EEPROM 데이터	없음	128, 256 바이트	없음
그 외	—	인 - 서킷 디버거 , 저 전압 프로그래밍	—

## 찾아보기

### A

A/D	
A/D Conversio Status (GO/DONE Bit)	83
Acquisition Requirements	86
ADCON0 Register	83
ADCON1 Register	83
ADRES Register	83
Analog Port Pins	8, 10, 12, 39
Analog-to-Digital Converter	83
Associated Registers	88
Configuring Analog Port Pins	87
Configuring the Interrupt	85
Configuring the Module	85
Conversion Clock	87
Conversion Requirements	137
Conversions	87
Converter Characteristics	136
Effects of a RESET	87
Faster Conversion - Lower Resolution Trade-off	87
Internal Sampling Switch (Rss) Impedance	86
Operation During SLEEP	87
Source Impedance	86
Using the CCP Trigger	88
Absolute Maximum Ratings	117
ACK pulse	65, 66
ADCON0 Register	83
GO/DONE Bit	83
ADCON1 Register	83
ADRES Register	83
Analog Port Pins. See A/D	
Application Notes	
AN552 (Implementing Wake-up on Key Strokes)	
Using PIC16F7X)	33
AN556 (Implementing a Table Read)	26
AN578 (Use of the SSP Module in the I <sup>2</sup> C	
Multi-Master Environment)	59
AN607 (Power-up Trouble Shooting)	94
Assembler	
MPASM Assembler	114
<b>B</b>	
Banking, Data Memory	13
BF bit	60
Block Diagrams	
A/D	85
Analog Input Model	86
Capture Mode Operation	55
Compare	55
Crystal/Ceramic Resonator Operation (HS, XT	
or LP Osc Configuration)	91
External Clock Input Operation	
(HS Osc Configuration)	91
Interrupt Logic	99
PIC16CR73 and PIC16CR76	6
PIC16CR74 and PIC16CR77	7
PORTA	
RA3:RA0 and RA5 Port Pins	31
RA4/T0CKI Pin	31
PORTB	
RB3:RB0 Port Pins	33
RB7:RB4 Port Pins	33
PORTC (Peripheral Output Override)	35
PORTD (In I/O Port Mode)	36
PORTD and PORTE (Parallel Slave Port)	40

PORTE (In I/O Port Mode)	37
PWM Mode	57
RC Oscillator Mode	92
Recommended MCLR Circuit	94
Reset Circuit	93
SSP (I <sup>2</sup> C Mode)	65
SSP (SPI Mode)	62
Timer0/WDT Prescaler	43
Timer1	48
Timer2	51
USART	
Receive	76
USART Transmit	74
Watchdog Timer (WDT)	101
BOR. See Brown-out Reset	
BRGH bit	71
Brown-out Reset (BOR)	89, 93, 94, 95, 96
<b>C</b>	
C Compilers	
MPLAB C18	114
MPLAB C30	114
Capture/Compare/PWM (CCP)	
Associated Registers	56, 58
Capture Mode	55
Prescaler	55
CCP Pin Configuration	55, 56
CCP1	
RC2/CCP1 Pin	9, 11
CCP2	
RC1/T1OSI/CCP2 Pin	9, 11
Compare Mode	55
Software Interrupt Mode	56
Special Trigger Output	56
Timer1 Mode Selection	56
Example PWM Frequencies and Resolutions	58
Interaction of Two CCP Modules	53
PWM Duty Cycle	57
PWM Mode	57
PWM Period	57
Setup for PWM Operation	58
Special Event Trigger and A/D Conversions	56
Timer Resources	53
CCP1 Module	53
CCP2 Module	53
CCPR1H Register	53
CCPR1L Register	53
CCPxM<3:0> bits	54
CCPxX and CCPxY bits	54
CKE bit	60
CKP bit	61
Code Examples	
Call of a Subroutine in Page 1 from Page 0	26
Changing Between Capture Prescalers	55
Changing Prescaler Assignment to Timer0	45
Changing Prescaler Assignment to WDT	45
Indirect Addressing	27
Initializing PORTA	31
Reading a 16-bit Free-Running Timer	49
ROM Program Read	30
Saving STATUS, W, and PCLATH Registers	
in RAM	100
Writing a 16-bit Free-Running Timer	49
Code Protection	89, 103

# PIC16CR7X

Computed GOTO .....	26	CLRWDT .....	108		
Configuration Bits .....	89	COMF .....	108		
Continuous Receive Enable (CREN Bit) .....	70	DECF .....	108		
Conversion Considerations .....	160	DECFSZ .....	109		
Customer Change Notification Service .....	167	GOTO .....	109		
Customer Notification Service .....	167	INCF .....	109		
Customer Support .....	167	INCFSZ .....	109		
<b>D</b>					
D/A bit .....	60	IORLW .....	109		
Data Memory .....	13	IORWF .....	109		
Bank Select (RP1:RP0 Bits) .....	13	RETURN .....	110, 111		
General Purpose Registers .....	13	RLF .....	111		
Register File Map, PIC16CR74/73 .....	15	RRF .....	110, 111		
Register File Map, PIC16CR77/76 .....	14	SLEEP .....	110, 111		
Special Function Registers .....	16	SUBLW .....	110, 111		
Data/Address bit (D/A) .....	60	SUBWF .....	110, 111		
DC and AC Characteristics .....		SWAPF .....	112		
Graphs and Tables .....	139	XORLW .....	112		
DC Characteristics .....	119	XORWF .....	112		
Development Support .....	113	Summary Table .....	106		
Device Differences .....	159	INT Interrupt (RB0/INT). See Interrupt Sources .....			
Device Overview .....	5	INTCON Register .....	21		
Features .....	5	GIE Bit .....	21		
Direct Addressing .....	27	INTE Bit .....	21		
<b>E</b>				INTF Bit .....	21
Electrical Characteristics .....	117	RBIF Bit .....	21, 33		
Errata .....	4	TMR0IE Bit .....	21		
External Clock Input (RA4/T0CKI). See Timer0 .....		Inter-Integrated Circuit (I <sup>2</sup> C). See I <sup>2</sup> C Mode .....			
External Interrupt Input (RB0/INT). See Interrupt Sources .....		Internet Address .....	167		
<b>F</b>				Interrupt Sources .....	89, 99
Firmware Instructions .....	105	Interrupt-on-Change (RB7:RB4) .....	33		
FSR Register .....	27	RB0/INT Pin, External .....	8, 11, 100		
<b>I</b>				TMR0 Overflow .....	100
I/O Ports .....	31	USART Receive/Transmit Complete .....	69		
I <sup>2</sup> C Mode .....		Interrupts .....			
Addressing .....	66	Synchronous Serial Port Interrupt .....	23		
Associated Registers .....	68	Interrupts, Context Saving During .....	100		
Master Mode .....	68	Interrupts, Enable Bits .....			
Mode Selection .....	65	Global Interrupt Enable (GIE Bit) .....	21, 99		
Multi-Master Mode .....	68	Interrupt-on-Change (RB7:RB4) Enable (RBIE Bit) ..	100		
Operation .....	65	RB0/INT Enable (INTE Bit) .....	21		
Reception .....	66	TMR0 Overflow Enable (TMR0IE Bit) .....	21		
Slave Mode .....		Interrupts, Flag Bits .....			
SCL and SDA pins .....	65	Interrupt-on Change (RB7:RB4) Flag (RBIF Bit) .....	21		
Transmission .....	67	Interrupt-on-Change (RB7:RB4) Flag .....			
ID Locations .....	103	(RBIF Bit) .....	21, 33, 100		
INDF Register .....	27	RB0/INT Flag (INTF Bit) .....	21		
Indirect Addressing .....	27	TMR0 Overflow Flag (TMR0IF Bit) .....	100		
FSR Register .....	13	<b>L</b>			
Instruction Format .....	105	Load Conditions .....	123		
Instruction Set .....	105	Loading of PC .....	26		
ADDLW .....	107	<b>M</b>			
ADDWF .....	107	Master Clear ( $\overline{\text{MCLR}}$ ) .....	8		
ANDLW .....	107	MCLR Reset, Normal Operation .....	93, 95, 96		
ANDWF .....	107	MCLR Reset, SLEEP .....	93, 95, 96		
BCF .....	107	Operation and ESD Protection .....	94		
BSF .....	107	MCLR Pin .....	10		
BTFSC .....	107	MCLR/VPP Pin .....	8		
BTFSS .....	107	Memory Organization .....	13		
CALL .....	108	Data Memory .....	13		
CLRF .....	108	Program Memory .....	13		
CLRW .....	108	Program Memory and Stack Maps .....	13		
		Microchip Internet Web Site .....	167		
		MPLAB ASM30 Assembler, Linker, Librarian .....	114		
		MPLAB ICD 2 In-Circuit Debugger .....	115		

MPLAB ICE 2000 High-Performance Universal In-Circuit Emulator .....	115	TRISA Register .....	31
MPLAB ICE 4000 High-Performance Universal In-Circuit Emulator .....	115	PORTA Register .....	31
MPLAB Integrated Development Environment Software ..	113	PORTB .....	8, 11
MPLAB PM3 Device Programmer .....	115	Associated Registers .....	34
MPLINK Object Linker/MPLIB Object Librarian .....	114	PORTB Register .....	33
<b>O</b>		Pull-up Enable (RBPU Bit) .....	20
OPCODE Field Descriptions .....	105	RB0/INT Edge Select (INTEDG Bit) .....	20
OPTION_REG Register .....	20	RB0/INT Pin, External .....	8, 11, 100
INTEDG Bit .....	20	RB7:RB4 Interrupt-on-Change .....	100
PS2:PS0 Bits .....	20	RB7:RB4 Interrupt-on-Change Enable (RBIE Bit) .....	100
PSA Bit .....	20	RB7:RB4 Interrupt-on-Change Flag (RBIF Bit) ...	21, 33, 100
RBPU Bit .....	20	TRISB Register .....	33
T0CS Bit .....	20	PORTB Register .....	33
T0SE Bit .....	20	PORTC .....	9, 11
OSC1/CLKI Pin .....	8, 10	Associated Registers .....	35
OSC2/CLKO Pin .....	8, 10	PORTC Register .....	35
Oscillator Configuration .....	89	RC0/T1OSO/T1CKI Pin .....	9, 11
Oscillator Configurations .....	91	RC1/T1OSI/CCP2 Pin .....	9, 11
Crystal Oscillator/Ceramic Resonators .....	91	RC2/CCP1 Pin .....	9, 11
HS .....	91, 95	RC3/SCK/SCL Pin .....	9, 11
LP .....	91, 95	RC4/SDI/SDA Pin .....	9, 11
RC .....	91, 92, 95	RC5/SDO Pin .....	9, 11
XT .....	91, 95	RC6/TX/CK Pin .....	9, 11, 70
Oscillator, WDT .....	101	RC7/RX/DT Pin .....	9, 11, 70, 71
<b>P</b>		TRISC Register .....	35
P (STOP) bit .....	60	PORTC Register .....	35
Packaging .....	149	PORTD .....	12
Marking .....	149	Associated Registers .....	36
PDIP Details .....	151	Parallel Slave Port (PSP) Function .....	36
Paging, Program Memory .....	26	PORTD Register .....	36
Parallel Slave Port		TRISD Register .....	36
Associated Registers .....	41	PORTD Register .....	36
Parallel Slave Port (PSP) .....	36, 40	PORTE .....	12
RE0/RD/AN5 Pin .....	12, 39	Analog Port Pins .....	12, 39
RE1/WR/AN6 Pin .....	12, 39	Associated Registers .....	39
RE2/CS/AN7 Pin .....	12, 39	Input Buffer Full Status (IBF Bit) .....	38
Select (PSPMODE Bit) .....	36, 37	Input Buffer Overflow (IBOV Bit) .....	38
PCFG0 bit .....	84	PORTE Register .....	37
PCFG1 bit .....	84	PSP Mode Select (PSPMODE Bit) .....	36, 37
PCFG2 bit .....	84	RE0/RD/AN5 Pin .....	12, 39
PCL Register .....	26	RE1/WR/AN6 Pin .....	12, 39
PCLATH Register .....	26	RE2/CS/AN7 Pin .....	12, 39
PCON Register .....	25, 95	TRISE Register .....	37
POR Bit .....	25	PORTE Register .....	37
PICSTART Plus Development Programmer .....	116	Postscaler, WDT	
PIE1 Register .....	22	Assignment (PSA Bit) .....	20
PIE2 Register .....	24	Rate Select (PS2:PS0 Bits) .....	20
Pinout Descriptions		Power-down Mode. See SLEEP	
PIC16CR73/PIC16CR76 .....	8–9	Power-on Reset (POR) .....	89, 93, 95, 96
PIC16CR74/PIC16CR77 .....	10–12	Oscillator Start-up Timer (OST) .....	89, 94
PIR1 Register .....	23	POR Status (POR Bit) .....	25
PIR2 Register .....	24	Power Control (PCON) Register .....	95
PMADR Register .....	29	Power-down (PD Bit) .....	93
PMADRH Register .....	29	Power-up Timer (PWRT) .....	89, 94
POP .....	26	Time-out (TO Bit) .....	19, 93
POR. See Power-on Reset		PR2 Register .....	51
PORTA .....	8, 10	Prescaler, Timer0	
Analog Port Pins .....	8, 10	Assignment (PSA Bit) .....	20
Associated Registers .....	32	Rate Select (PS2:PS0 Bits) .....	20
PORTA Register .....	31	Program Counter	
RA4/T0CKI Pin .....	8, 10	RESET Conditions .....	95
RA5/SS/AN4 Pin .....	8, 10	Program Memory .....	29
		Associated Registers .....	30
		Interrupt Vector .....	13
		Memory and Stack Maps .....	13

# PIC16CR7X

Operation During Code Protect.....	30	ADRES (A/D Result).....	83
Organization.....	13	CCP1CON/CCP2CON Register.....	54
Paging.....	26	Configuration Word Register.....	90
PMADR Register.....	29	Initialization Conditions (table).....	96–97
PMADRH Register.....	29	INTCON (Interrupt Control).....	21
Reading ROM.....	30	INTCON Register.....	21
Reading, PMADR Register.....	29	OPTION_REG.....	20
Reading, PMADRH Register.....	29	OPTION_REG Register.....	20, 44
Reading, PMCON1 Register.....	29	PCON (Power Control).....	25
Reading, PMDATA Register.....	29	PCON Register.....	25
Reading, PMDATH Register.....	29	PIE1 (Peripheral Interrupt Enable 1).....	22
RESET Vector.....	13	PIE1 Register.....	22
Program Verification.....	103	PIE2 (Peripheral Interrupt Enable 2).....	24
Programming, Device Instructions.....	105	PIE2 Register.....	24
PUSH.....	26	PIR1 (Peripheral Interrupt Request 1).....	23
<b>R</b>		PIR1 Register.....	23
R/W bit.....	60, 66, 67	PIR2 (Peripheral Interrupt Request 2).....	24
RA0/AN0 Pin.....	8, 10	PIR2 Register.....	24
RA1/AN1 Pin.....	8, 10	PMCON1 (Program Memory Control 1) Register.....	29
RA2/AN2 Pin.....	8, 10	RCSTA Register.....	70
RA3/AN3/VREF Pin.....	8, 10	Special Function, Summary.....	16–18
RA4/T0CKI Pin.....	8, 10	SSPCON Register.....	61
RA5/SS/AN4 Pin.....	8, 10	SSPSTAT Register.....	60
RAM. See Data Memory		STATUS Register.....	19
RB0/INT Pin.....	8, 11	T1CON Register.....	47
RB1 Pin.....	8, 11	T2CON Register.....	52
RB2 Pin.....	8, 11	TRISE Register.....	38
RB3 Pin.....	8, 11	TXSTA Register.....	69
RB4 Pin.....	8, 11	RESET.....	89, 93
RB5 Pin.....	8, 11	Brown-out Reset (BOR). See Brown-out Reset (BOR)	
RB6 Pin.....	8, 11	MCLR Reset. See MCLR	
RB7 Pin.....	8, 11	Power-on Reset (POR). See Power-on Reset (POR)	
RC0/T1OSO/T1CKI Pin.....	9, 11	RESET Conditions for All Registers.....	96
RC1/T1OSI/CCP2 Pin.....	9, 11	RESET Conditions for PCON Register.....	95
RC2/CCP1 Pin.....	9, 11	RESET Conditions for Program Counter.....	95
RC3/SCK/SCL Pin.....	9, 11	RESET Conditions for STATUS Register.....	95
RC4/SDI/SDA Pin.....	9, 11	Reset	
RC5/SDO Pin.....	9, 11	WDT Reset. See Watchdog Timer (WDT)	
RC6/TX/CK Pin.....	9, 11	Revision History.....	159
RC7/RX/DT Pin.....	9, 11	<b>S</b>	
RCSTA Register		S (START) bit.....	60
CREN Bit.....	70	SCI. See USART	
OERR Bit.....	70	SCL.....	65
SPEN Bit.....	69	Serial Communication Interface. See USART	
SREN Bit.....	70	SLEEP.....	89, 93, 102
RD0/PSP0 Pin.....	12	SMP bit.....	60
RD1/PSP1 Pin.....	12	Software Simulator (MPLAB SIM).....	114
RD2/PSP2 Pin.....	12	Special Features of the CPU.....	89
RD3/PSP3 Pin.....	12	Special Function Registers.....	16, 16–18
RD4/PSP4 Pin.....	12	Speed, Operating.....	1
RD5/PSP5 Pin.....	12	SPI Mode.....	59
RD6/PSP6 Pin.....	12	Associated Registers.....	64
RD7/PSP7 Pin.....	12	Serial Clock (SCK pin).....	59
RE0/RD/AN5 Pin.....	12	Serial Data In (SDI pin).....	59
RE1/WR/AN6 Pin.....	12	Serial Data Out (SDO pin).....	59
RE2/CS/AN7 Pin.....	12	Slave Select.....	59
Reader Response.....	168	SSP	
Read-Modify-Write Operations.....	105	Overview	
Receive Overflow Indicator bit (SSPOV).....	61	RA5/SS/AN4 Pin.....	8, 10
Register File.....	13	RC3/SCK/SCL Pin.....	9, 11
Registers		RC4/SDI/SDA Pin.....	9, 11
ADCON0 (A/D Control 0).....	83	RC5/SDO Pin.....	9, 11
ADCON0 Register.....	83	SSP I <sup>2</sup> C Operation.....	65
ADCON1 (A/D Control 1).....	83	Slave Mode.....	65
ADCON1 Register.....	84	SSPEN bit.....	61

SSPIF bit.....	23	I <sup>2</sup> C Bus Start/Stop Bits .....	132
SSPM<3:0> bits .....	61	I <sup>2</sup> C Reception (7-bit Address).....	67
SSPOV bit.....	61	I <sup>2</sup> C Transmission (7-bit Address) .....	67
Stack .....	26	Parallel Slave Port .....	129
Overflows .....	26	Parallel Slave Port Read Waveforms .....	41
Underflow .....	26	Parallel Slave Port Write Waveforms .....	41
STATUS Register		Power-up Timer .....	126
DC Bit.....	19	PWM Output .....	57
IRP Bit.....	19	RESET .....	126
PD Bit.....	93	Slow Rise Time (MCLR Tied to VDD	
TO Bit.....	19, 93	Through RC Network).....	98
Z Bit.....	19	SPI Master Mode (CKE = 0, SMP = 0) .....	130
Synchronous Serial Port Enable bit (SSPEN).....	61	SPI Master Mode (CKE = 1, SMP = 1) .....	130
Synchronous Serial Port Interrupt bit (SSPIF) .....	23	SPI Mode (Master Mode) .....	63
Synchronous Serial Port Mode Select bits (SSPM<3:0>)... 61		SPI Mode (Slave Mode with CKE = 0).....	63
Synchronous Serial Port. See SSP		SPI Mode (Slave Mode with CKE = 1).....	64
		SPI Slave Mode (CKE = 0).....	131
<b>T</b>		SPI Slave Mode (CKE = 1).....	131
T1CKPS0 bit .....	47	Start-up Timer.....	126
T1CKPS1 bit .....	47	Time-out Sequence on Power-up	
T1OSCN bit .....	47	(MCLR Not Tied to VDD)	
T1SYNC bit .....	47	Case 1 .....	98
T2CKPS0 bit .....	52	Case 2 .....	98
T2CKPS1 bit .....	52	Time-out Sequence on Power-up	
TAD .....	87	(MCLR Tied to VDD Through RC Network).....	97
Time-out Sequence.....	94	Timer0 .....	127
Timer0 .....	43	Timer1 .....	127
Associated Registers .....	45	USART Asynchronous Master Transmission .....	74
Clock Source Edge Select (T0SE Bit).....	20	USART Asynchronous Master Transmission	
Clock Source Select (T0CS Bit).....	20	(Back to Back) .....	75
External Clock .....	44	USART Asynchronous Reception .....	76
Interrupt.....	43	USART Synchronous Receive (Master/Slave) .....	135
Overflow Enable (TMR0IE Bit).....	21	USART Synchronous Reception	
Overflow Flag (TMR0IF Bit) .....	100	(Master Mode, SREN) .....	80
Overflow Interrupt .....	100	USART Synchronous Transmission .....	79
Prescaler .....	45	USART Synchronous Transmission	
RA4/T0CKI Pin, External Clock .....	8, 10	(Master/Slave) .....	135
T0CKI .....	44	USART Synchronous Transmission	
Timer1 .....	47	(Through TXEN) .....	79
Associated Registers .....	50	Wake-up from Sleep via Interrupt.....	103
Asynchronous Counter Mode .....	49	Watchdog Timer .....	126
Capacitor Selection .....	50	Timing Parameter Symbology .....	123
Counter Operation .....	48	Timing Requirements	
Operation in Timer Mode .....	48	Capture/Compare/PWM (CCP1 and CCP2).....	128
Oscillator .....	50	CLKOUT and I/O .....	125
Prescaler .....	50	External Clock .....	124
RC0/T1OSO/T1CKI Pin .....	9, 11	I <sup>2</sup> C Bus Data.....	134
RC1/T1OSI/CCP2 Pin.....	9, 11	I <sup>2</sup> C Bus Start/Stop Bits .....	133
Resetting of Timer1 Registers .....	50	Parallel Slave Port .....	129
Resetting Timer1 using a CCP Trigger Output .....	50	Reset, Watchdog Timer, Oscillator Start-up	
Synchronized Counter Mode .....	48	Timer, Power-up Timer and Brown-out Reset. 126	
TMR1H Register .....	49	SPI Mode.....	132
TMR1L Register .....	49	Timer0 and Timer1 External Clock .....	127
Timer2 .....	51	USART Synchronous Receive .....	135
Associated Registers .....	52	USART Synchronous Transmission .....	135
Output .....	51	TMR1CS bit .....	47
Postscaler .....	51	TMR1ON bit.....	47
Prescaler .....	51	TMR2ON bit.....	52
Prescaler and Postscaler .....	51	TOUTPS<3:0> bits .....	52
Timing Diagrams		TRISA Register.....	31
A/D Conversion .....	137	TRISB Register.....	33
Brown-out Reset .....	126	TRISC Register.....	35
Capture/Compare/PWM (CCP1 and CCP2) .....	128	TRISD Register.....	36
CLKOUT and I/O.....	125		
External Clock .....	124		
I <sup>2</sup> C Bus Data .....	133		

# PIC16CR7X

TRISE Register .....	37
IBF Bit .....	38
IBOV Bit .....	38
PSPMODE Bit .....	36, 37
TXSTA Register	
SYNC Bit .....	69
TRMT Bit .....	69
TX9 Bit .....	69
TX9D Bit .....	69
TXEN Bit .....	69
<b>U</b>	
UA .....	60
Universal Synchronous Asynchronous Receiver Transmitter. See USART	
Update Address bit, UA .....	60
USART .....	69
Asynchronous Mode .....	73
Asynchronous Receiver .....	75
Asynchronous Reception .....	76
Associated Registers .....	77
Asynchronous Transmission	
Associated Registers .....	75
Asynchronous Transmitter .....	73
Baud Rate Generator (BRG) .....	71
Baud Rate Formula .....	71
Baud Rates, Asynchronous Mode (BRGH = 0) ..	72
Baud Rates, Asynchronous Mode (BRGH = 1) ..	72
Sampling .....	71
Mode Select (SYNC Bit) .....	69
Overrun Error (OERR Bit) .....	70
RC6/TX/CK Pin .....	9, 11
RC7/RX/DT Pin .....	9, 11
Serial Port Enable (SPEN Bit) .....	69
Single Receive Enable (SREN Bit) .....	70
Synchronous Master Mode .....	78
Synchronous Master Reception .....	80
Associated Registers .....	81
Synchronous Master Transmission .....	78
Associated Registers .....	79
Synchronous Slave Mode .....	81
Synchronous Slave Reception .....	82
Associated Registers .....	82
Synchronous Slave Transmission .....	81
Associated Registers .....	82
Transmit Data, 9th Bit (TX9D) .....	69
Transmit Enable (TXEN Bit) .....	69
Transmit Enable, Nine-bit (TX9 Bit) .....	69
Transmit Shift Register Status (TRMT Bit) .....	69
User Code .....	103

## W

Wake-up from SLEEP .....	89
Interrupts .....	95, 96
MCLR Reset .....	96
WDT Reset .....	96
Wake-up from Sleep .....	102
Wake-up Using Interrupts .....	102
Watchdog Timer (WDT) .....	89, 101
Associated Registers .....	101
Enable (WDTE Bit) .....	101
Postscaler. See Postscaler, WDT	
Programming Considerations .....	101
RC Oscillator .....	101
Time-out Period .....	101
WDT Reset, Normal Operation .....	93, 95, 96
WDT Reset, SLEEP .....	93, 95, 96
WCOL bit .....	61
Write Collision Detect bit (WCOL) .....	61
WWW Address .....	167
WWW, On-Line Support .....	4



## 마이크로칩 웹 사이트

마이크로칩은 [www.microchip.com](http://www.microchip.com) 을 통하여 온 - 라인 지원을 하고 있다 . 이 웹 사이트는 다양한 정보의 파일을 지원하며 쉽게 사용이 가능하다 .

사용자는 인터넷 브라우저를 이용하여 쉽게 액세스가 가능하며 다음과 같은 정보들을 포함 하고 있다 . :

- **제품 지원** - 데이터 시트, 에라타자료, 어플리케이션 노트, 예제 프로그램, 디자인 리소스, 유저스 가이드, 하드웨어를 지원 하는 자료, 최신 소프트웨어, 다양한 소프트웨어
- **기술 지원** - 자주 질문 하는 내용 (FAQ), 기술 지원 상담, 온라인 상담 그룹, 마이크로칩 컨설턴트 프로그램 멤버 리스트
- **기타 비즈니스** - 디바이스 선택 가이드 및 오더링 가이드, 최신 마이크로칩 소식, 세미나 및 이벤트 안내, 마이크로칩 지사, 공장, 대리점 소개

## 변경 통지 서비스

마이크로칩 고객 통지 서비스는 마이크로칩 제품을 사용하는 사용자에게 해당 된다 .

사용자는 관심있는 개발 장비 및 제품에 대하여 변경 사항, 업데이트, 개정, 오류 등에 대하여 이메일로 연락을 받을 것이다

등록을 하기 위해서는 마이크로칩 웹 - 사이트 [www.microchip.com](http://www.microchip.com) 를 방문 하여 **Customer Change Notification** 을 클릭 하신후 다음 안내에 따르면 된다 ..

## 커스터머 지원

마이크로칩 제품을 사용 하는 사용자는 아래의 채널을 통하여 도움을 받을수 있다 .

- 대리점
- 한국 지사
- 필드 어플리케이션 엔지니어 (FAE)
- 기술 지원

사용자는 자신의 대리점 및 대표자 그리고 필드 어플리케이션 엔지니어들을 통하여 기술 지원을 받을 수 있으며 또한 한국 지사를 통하여서도 가능하다 . 각 나라의 지사 및 위치들의 목록은 이 데이터 시트의 후반부에 표시한다 .

웹 사이트를 통한 기술 지원은 [http:// support.microchip.com](http://support.microchip.com) 에서 가능하다

# PIC16CR7X

---

---

## 설문지

이 것은 보다 높은 신뢰성을 가지고 마이크로칩 제품을 성공적으로 사용 하기 위해서 필요한 질문입니다 .

만약 당신이 생각 하기에 마이크로칩 자료가 좀 더 신뢰적인 방향으로 나아가는데 의견이 있으신 분은 당신의 의견을 마이크로칩 테크니컬 매니저에게 보내 주십시오 . Fax 번호는 1-480-792-4150 입니다

이 자료에 대한 당신의 의견을 아래의 질문 내용을 작성 하셔서 마이크로칩으로 제공하여 주시길 바랍니다 ..

To: 마이크로칩 테크니컬 매니저 보내는 페이지 수 \_\_\_\_\_

RE: 사용자로부터

From: 이름 \_\_\_\_\_

회사 \_\_\_\_\_

주소 \_\_\_\_\_

시 / 주 / 우편번호 / 도 \_\_\_\_\_

전화번호 : (\_\_\_\_\_) \_\_\_\_\_ - \_\_\_\_\_      팩스 : (\_\_\_\_\_) \_\_\_\_\_ - \_\_\_\_\_

어플리케이션 ( 옵션 ):

당신은 응답을 하시겠습니까?    \_\_\_Y \_\_\_N

디바이스PIC16CR7X

문서 번호 : DS21993A\_KR

질문 :

1. 이 자료의 가장 큰 장점은 무엇이라 생각 하십니까 ?

---

---

2. 당신은 당신의 하드웨어와 소프트웨어 개발에 이자료가 도움이 되셨습니까 ?

---

---

3. 당신은 이 자료의 구조를 쉽게 파악 하셨습니까 ? ( 만약 아니라면 무엇 때문입니까 ?)

---

---

4. 당신은 보다 더 자세하게 첨가시켜야 할 내용과 주제를 무엇이라 생각 하십니까 ?

---

---

5. 전체적인 내용에 영향을 미치지 않고 삭제 되어야 할 부분은 무엇입니까 ?

---

---

6. 이 데이터 북에 부정확하고 잘못 기재된 내용은 없었습니까 ? ( 무엇 ? 어디에 ?)

---

---

7. 당신은 이 데이터 슈트를 어떻게 개선 시키 시겠습니까 ?

---

---

## 제품 아이디 시스템

가격이나 납기에 대한 정보는 공장이나 한국지사와의 상의 하기를 바란다 ..

파트 넘버	X	XX	XXX
디바이스	온도 범위	패키지	패턴
<p><b>디바이스 :</b></p> <p>PIC18F248/258<sup>(1)</sup>, PIC18F448/458<sup>(1)</sup>, PIC18F248/258T<sup>(2)</sup>,            PIC18F448/458T<sup>(2)</sup>;            VDD 범위 4.2V ~ 5.5V            PIC18LF248/258<sup>(1)</sup>, PIC18LF448/458<sup>(1)</sup>, PIC18LF248/258T<sup>(2)</sup>,            PIC18LF448/458T<sup>(2)</sup>;            VDD 범위 2.0V ~ 5.5V</p>	<p><b>온도 범위 :</b></p> <p>I = -40°C ~ +85°C (산업용)            E = -40°C ~ +125°C (오토모티브)</p>	<p><b>패키지 :</b></p> <p>PT = TQFP (Thin Quad Flatpack)            L = PLCC            SO = SOIC            SP = Skinny Plastic DIP            P = PDIP</p>	<p><b>패턴 :</b></p> <p>QTP, SQTP, 또는 특별한 요구에 의해 기재 됨            (다른 경우는 비어 있음)</p>
<p><b>예제 :</b></p> <p>a) PIC18LF258 - I/L 301 = 산업용 온도, PLCC 패키지, 저 전압용, QTP 패턴 #301.            b) PIC18LF458 - I/PT = 산업용 온도, TQFP 패키지, 저 전압용.            c) PIC18F258 - E/L = 오토모티브 온도 범위, PLCC 패키지, 표준 전압 범위</p>			
<p><b>노트 1:</b> F = 표준 전압 범위            LF = 낮은 전압 범위 까지 지원</p> <p><b>2:</b> T = 테이프 앤 릴 타입 PLCC, and TQFP 패키지에서만 지원.</p>			



## 전 세계 영업망 및 서비스

### 미국

본사  
2355 West Chandler Blvd.  
Chandler, AZ 85224-6199  
전화 : 1-480-792-7200  
팩스 : 1-480-792-7277  
기술 지원 :  
<http://support.microchip.com>  
웹 주소 :  
[www.microchip.com](http://www.microchip.com)

아틀란타  
Alpharetta, GA  
전화 : 1-770-640-0034  
팩스 : 1-770-640-0307

보스턴  
Westborough, MA  
전화 : 1-774-760-0087  
팩스 : 1-774-760-0088

시카고  
Itasca, IL  
전화 : 1-630-285-0071  
팩스 : 1-630-285-0075

달라스  
Addison, TX  
전화 : 1-972-818-7423  
팩스 : 1-972-818-2924

디트로이트  
Farmington Hills, MI  
전화 : 1-248-538-2250  
팩스 : 1-248-538-2260

코코모  
Kokomo, IN  
전화 : 1-765-864-8360  
팩스 : 1-765-864-8387

로스엔젤레스  
Mission Viejo, CA  
전화 : 1-949-462-9523  
팩스 : 1-949-462-9608

산호세  
Mountain View, CA  
전화 : 1-650-215-1444  
팩스 : 1-650-961-0286

토론토  
Mississauga, Ontario,  
Canada  
전화 : 1-905-673-0699  
팩스 : 1-905-673-6509

### 아시아 패시픽

오스트레일리아 - 시드니  
전화 : 61-2-9868-6733  
팩스 : 61-2-9868-6755

중국 - 베이징  
전화 : 86-10-8528-2100  
팩스 : 86-10-8528-2104

중국 - 청두  
전화 : 86-28-8676-6200  
팩스 : 86-28-8676-6599

중국 - 쑤저우  
전화 : 86-591-8750-3506  
팩스 : 86-591-8750-3521

중국 - 홍콩 SAR  
전화 : 852-2401-1200  
팩스 : 852-2401-3431

중국 - 상해  
전화 : 86-21-5407-5533  
팩스 : 86-21-5407-5066

중국 - 쑤양  
전화 : 86-24-2334-2829  
팩스 : 86-24-2334-2393

중국 - 쑤젠  
전화 : 86-755-8203-2660  
팩스 : 86-755-8203-1760

중국 - 선드  
전화 : 86-757-2839-5507  
팩스 : 86-757-2839-5571

중국 - 우한  
전화 : 86-27-5980-5300  
팩스 : 86-27-5980-5118

중국 - 지안  
전화 : 86-29-8833-7250  
팩스 : 86-29-8833-7256

### 아시아 패시픽

인디아 - 뱅갈로  
전화 : 91-80-2229-0061  
팩스 : 91-80-2229-0062

인디아 - 뉴델히  
전화 : 91-11-5160-8631  
팩스 : 91-11-5160-8632

인디아 - 푸네  
전화 : 91-20-2566-1512  
팩스 : 91-20-2566-1513

일본 - 요코하마  
전화 : 81-45-471-6166  
팩스 : 81-45-471-6122

한국 - 구미  
전화 : 82-54-473-4301  
팩스 : 82-54-473-4302

한국 - 서울  
전화 : 82-2-554-7200  
팩스 : 82-2-558-5932 or  
82-2-558-5934

말레이시아 - 펜항  
전화 : 011-604-646-8870  
팩스 : 011-604-646-5086

필리핀 - 마닐라  
전화 : 011-632-634-9065  
팩스 : 011-632-634-9069

싱가폴  
전화 : 65-6334-8870  
팩스 : 65-6334-8850

대만 - 선쑤  
전화 : 886-3-572-9526  
팩스 : 886-3-572-6459

대만 - 카오싱  
전화 : 886-7-536-4818  
팩스 : 886-7-536-4803

대만 - 타이페이  
전화 : 886-2-2500-6610  
팩스 : 886-2-2508-0102

타일랜드 - 방콕  
전화 : 66-2-694-1351  
팩스 : 66-2-694-1350

### 유럽

오스트리아 - 웨이스  
전화 : 43-7242-2244-3910  
팩스 : 43-7242-2244-393

덴마크 - 코펜하겐  
전화 : 45-4450-2828  
팩스 : 45-4485-2829

프랑스 - 파리  
전화 : 33-1-69-53-63-20  
팩스 : 33-1-69-30-90-79

독일 - 무니치  
전화 : 49-89-627-144-0  
팩스 : 49-89-627-144-44

이태리 - 밀란  
전화 : 39-0331-742611  
팩스 : 39-0331-466781

네덜란드 - 드루벤  
전화 : 31-416-690399  
팩스 : 31-416-690340

스페인 - 마드리드  
전화 : 34-91-708-08-90  
팩스 : 34-91-708-08-91

UK - 워킹햄  
전화 : 44-118-921-5869  
팩스 : 44-118-921-5820